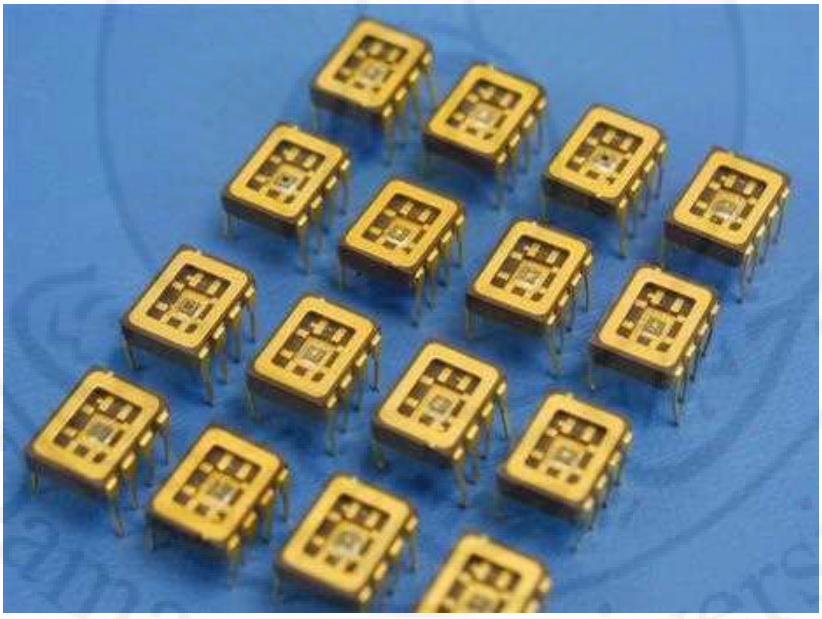
منشورات جامعة دمشق
كلية الهندسة الميكانيكية والكهربائية

الدارات الالكترونية المتكاملة

(علم الالكترونيات الدقيقة – مايكرو & نانو تكنولوجي)

الدكتور المهندس نديم شاهين
أستاذ في قسم الهندسة الالكترونية وهندسة الاتصالات



جامعة دمشق

2012-2011
1433-1432

الدارات الالكترونية المتكاملة

منشورات جامعة دمشق
كلية الهندسة الميكانيكية والكهربائية

الدارات الالكترونية المتكاملة

(علم الالكترونيات الدقيقة– المايكرو & نانو تكنولوجي)

إعداد

الدكتور المهندس نديم شاهين
أستاذ في قسم الهندسة الالكترونية وهندسة الاتصالات

جامعة دمشق
2012-2011
1433-1432

وقل رب زدني علما
جامعة دمشق
Damascus University

فهرس المحتويات

الموضوع	الصفحة
مقدمة	11
الفصل الأول	17
1 1 رحلة في تاريخ الدارات الالكترونية المتكاملة	
1 2 ومستقبل الالكترونيات الدقيقة	
1 3 استمرار التطوير التقني التصنيعي لتكنولوجيا أنصاف النواقل وتطبيقاتها	
الفصل الثاني	69
تقنيات الدارات الالكترونية المتكاملة	
2 1 تقنية طبقة الأفلام السميكة	
2 2 تقنية طبقات الأفلام الرقيقة	
2 3 الدارات المتكاملة بتقنية أنصاف النواقل	
2 3 تقنيات النظم الميكروية الالكترونية الميكانيكية	

الفصل الثالث **107**

الدارات المتكاملة وحيدة البلورة

3-1- الوصف العام للدارات المتكاملة وحيدة البلورة

3-2- تصنيع الدارات المتكاملة وحيدة البلورة

الفصل الرابع **133**

تحضير الشرائح نصف الناقلة

4-1- نمو و تنقية بلورات السيلكون

4-2- أشابة القاعدة

4-3- تشريح وصقل القاعدة

4-4- نمو الطبقة الايبتاكسية

4-5- تقييم خصائص الطبقات البلورية

الفصل الخامس **169**

نمو طبقة الأوكسيد وتحضير النوافذ

5-1- نمو طبقة الأوكسيد على السيلكون وخواصها

5-2- تحضير القناع الضوئي

5-3- تحضير النوافذ بواسطة الحفر الضوئي

الفصل السادس **193**

انتشار الشوائب

6-1- مقدمة

6-2- طبيعة انتشار الشوائب

6-3- انتشار الشوائب بدرجة مركزة

6-4- الحل العام لمعادلة الانتشار

6-5- تشكيل الوصلة

6-6- مجموعات الانتشار العملية

الفصل السابع **247**

مركبات الدارة المتكاملة

1.7. مكثفات الدارة المتكاملة

2.7. مقاومات الدارة المتكاملة

3.7. ملفات الدارة المتكاملة

4.7. الترانزستورات التكاملية

7-5- الثنائي التكاملي

7-6- العناصر المتكاملة ذات الأثر الحقلي

7-7- عناصر أخرى ذات اثر حقلي

7-8- تكنولوجيا الدارات الهجين

الفصل الثامن 349

العزل الكهربائي ، الوصل الداخلي ، التغليف

8- العزل الكهربائي . التوصيلات الداخلية

8-1- العزل الكهربائي

8-2- الوصلات الداخلية – التقاطع العلوي – التقاطع السفلي

8-3- وصلات الأسلاك – التغليف

8-4- ملخص عام لمبادئ تقنية الدارات المتكاملة

الفصل التاسع 393

9-1- المقدمة

9-2- الدارات المتكاملة الرقمية

9-3- استخدام الترانزستور كعنصر ثنائي

9-4- الدارات المنطقية ذات الترابط المباشر DCTL

9-5- الدارات المنطقية- ترانزستور- مقاومات RTL

9-6- الدارات المنطقية ترانزستور- ثنائي DTL
9-7- دارات ترانزيستور- ترانزيستور المنطقية TTL
9-8- الدارات المنطقية ذات الترابط الباعثي ECL
9-9- الدارات المنطقية ذات الأثر الحقلي
9-10- الترابط بين البوابات المنطقية
9-11- المصفوفات المنطقية Logic array

10-الملحقات العلمية 539

Damascus University

وقل رب زدني علما
Damascus University

المقدمة Introduction

من مقدمة الطبعات السابقة :1982-2006

لقد ازداد التطور التكنولوجي والتقني لصناعة الدارات الالكترونية في السنوات الأخيرة زيادة سريعة ونوعيه حتى أنه يمكن التساؤل هل هذا ثور ة في التقنية الالكترونية ؟

إن العاملين في مجال تصميم الدارات المتكاملة واستخداماتها ستكون إجاباتهم وبدون تحفظ (نعـــم)..

ففي الحقيقة تعطي الصناعات الالكترونية عناصر ذات أحجام صغيرة وصغيرة باستمرار وذات قدرة أداء عالية و وثوقية ممتازة إضافة إلى الزيادة الهائلة في سرعة الاستجابة والانخفاض الكبير في التكلفة مما أعطى بالتالي جودة عالية في التطبيقات والنتائـج.

وليس بالأمر المبالغ به أن نقول إن معظم التقنيات العصرية تعتمد بشكل أساسي على علم الالكترونيات الصغرية فالحجم الصغير الوثوقية العالية وتعدد الوظائف تعتبر العناصر الأساسية في المجموعات المعقدة التي أوصلت الإنسان إلى القمر والى القيام بأبحاث الفضاء إضافة إلى الدور الذي تلعبه في توجيه الأهداف الإستراتيجية والتحكم بها عبر القارات مما أدى إلى حدوث تغيرات سياسية دولية.

إن العناصر الصغرية تعتبر المساعد الأساسي في إنشاء شبكة اتصالات عبر الفضاء– الأقمار الصناعية .

وكذلك للحصول على الحواسب الالكترونية التي أصبحت تستخدم في كافة مجالات الحياة وربما كان أثر علم الدارات الصغرية أكثر فعالية في هذا المجال فالسعة للحاسب من أجل خزن المعلومات ومعالجتها والإظهار قد ازداد بشكل كبير جداً .

أضف إلى ذلك أن الحاسب الالكتروني قد أدخل في مجالات عمل عديدة في حياتنا اليومية .

إن ثورة الدارا ت الصغرية لا زالت واقعية تعلمنا باستمرار كيفية تطوير الدارات المتكاملة وتصميم دارات الكترونية جديدة.

ونرجو أن نكون قادرين على السير مع هذه الثورة واستيعابها .

من خلال كتابي هذا أوضح المعالم الأساسية للدارات المتكاملة التي لا تزال خافية على الكثيرين من العاملين في حقل الالكترونيات ويعتبر هذا الكتاب الأول من نوعه باللغة العربية وقد تم إعداده بالاستعانة بأحدث المراجع العلمية والنشرات الصادرة عن مراكز الأبحاث الدولية ، ونتيجة لتطور هذا العلم وقلة العاملين فيه في العالم العربي كان لا بد من وجود بعض المصطلحات الفنية صعب إيجاد مرادفها باللغة العربية فوضعت بشكل يسهل فهمه معتمداً على أصلها اللاتيني آملاً أن أتمكن مستقبلاً وبمساعدة العاملين في حقل المصطلحات اللغوية من التوصل إلى المرادف اللغوي العربي الأكثر ملائمة.

أضف إلى ذلك أن ضرورة إخراج الكتاب بأسرع ما يمكن ليكون بين أيدي مهندسي المستقبل في سنتهم الدراسية الأخيرة أدى إلى وجود بعض النقاط التي لم تشبع تمحيصاً وتحليلاً وسيتم استدراك ذلك خلال المحاضرات كماً ونوعاً .

آملاً أن يكون هذا الكتاب بداية لعمل أوسع في مجال الدارات الصغرية .

وقل رب زدني علما
Damascus University

مقدمة الطبعة الجديدة New General introduction

تطورت الصناعة الالكترونية بتكنولوجيا أنصاف النواقل Semiconductor Technology منذ اكتشاف الترانزيستور في عام 1949 وإلى الآن بشكل متسارع وكبير ، ولا توجد صناعة في العالم تطورت كما حدث لصناعة تكنولوجيا أنصاف النواقل Semiconductor Technology .

وإذا نظرنا إلى أية صناعة أو منتج ، نرى أن تطور هذه الصناعة ونموها وتحسين منتجاتها ، مرتبط ارتباطاً وثيقاً باستخدام الالكترونيات بتكنولوجيا أنصاف النواقل في مكوناتها الأساسية [1] .

من أجل ذلك نلاحظ أن الأسواق العالمية تشهد قفزات نوعية وكمية مميزة في كافة المجالات مثل الاتصالات ، والطب ، والنقل وغيرها ، وعنصرها المطور الأساسي هو استخدام متسارع ومتعدد الوظائف لعناصر الكترونية متكاملة Integrated أو متفردة Discrete element مصنعة بتكنولوجيا أنصاف النواقل .

كما سنرى في فقرات هذا الكتاب أن مبيعات الصناعة بتكنولوجيا أنصاف النواقل بلغ عام 1994 ما يعادل 100 Billion U S $ ، وتزايدت هذه المبيعات بشكل كبير حيث وصلت في عام 2000 إلى حدود 200 Billion U S $ [2]

ووفقاً لتحليلات السوق التجارية للتكنولوجيا الالكترونية فإن الذواكر Memories لوحدها تشغل بحدود 36 % من إجمالي تكنولوجيا أنصاف النواقل وتشغل المعالجات الميكروية Microprocessors والمتحكمات الصغرية Microcontrollers بحدود 25 % من هذه السوق الهائلة .

ومن الملاحظ أن شهية الأسواق للصناعات الالكترونية وعناصرها لن تتوقف وإنما هي بتزايد متواصل ، فالذاكرة 256Mbit قادرة على خزن أكثر من 16000 صفحة كتابة ، وهذا يزيد عن حجم أية موسوعة علمية معروفة .

كذلك فإن متطلبات سوق الوسائط المتعددة multimedia يزداد بشكل هائل في استخدامه للذواكر عالية الاندماج وهذا ما نشاهد أثره بشكل واضح و متسارع وعلى المستوى الشعبي في أجهزة الخلوي بأجيالها وأنواعها المتعددة .

كل ذلك يشير خبراء السوق التجارية والصناعية ، إلى أن الدارات الالكترونية المتكاملة IC logic وأنصاف النواقل المنفردة (DSD) Discrete Semiconductor Devices وأنصاف النواقل الضوئية Opt semiconductor ، سيزداد استهلاكها بمعدل جيد بالمقارنة مع السنوات الماضية .

إن هذا التطور التقني وانعكاساته الاقتصادية على المستوى العالمي ، أدى إلى خلق شركات ضخمة قادرة على تحمل تكاليف التطوير والتصنيع لتغطية متطلبات السوق ، وتقديم إمكانيات وظيفية للمستهلكين لم يكونوا يحلموا بها يوماً ما .

[1 , 2 , 3 , ...]

من خلال فقرات هذا الكتاب سوف أحاول وبأسلوب سلس وسهل وضع طالب الهندسة، وهو البنيةِ الأساسية للمستقبل ، في هذا الجو التقني التكنولوج ي المعاصر ذو التسارع العلمي والاقتصادي الكبير.

خريف عام 2010

ندیم یوسف شاهین

أستاذ الدارات الالكترونية الدقيقة في جامعة دمشق

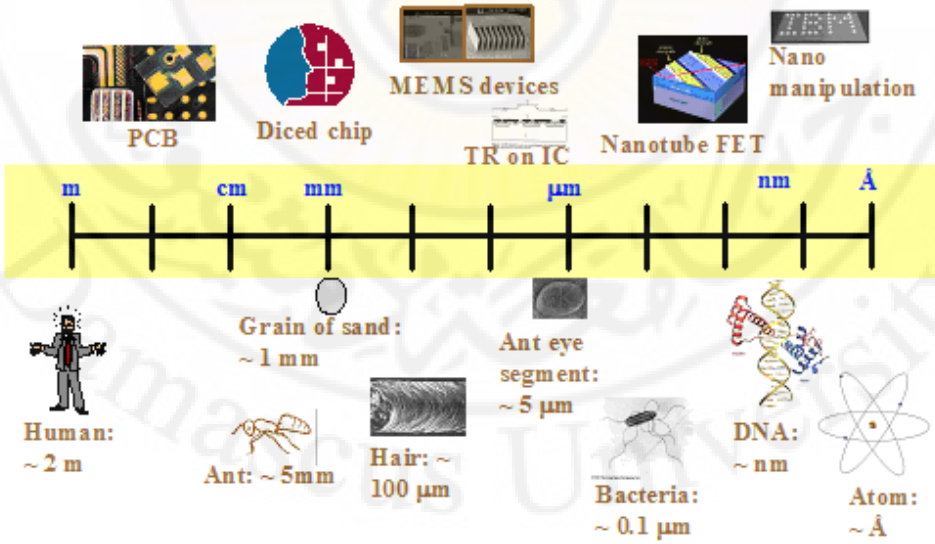
الفصل الأول

رحلة في تاريخ الدارات الالكترونية المتكاملة

ومستقبل

الالكترونيات الدقيقة

Historical Roadmap of Integrated Circuits
&
Mapping the future of Microelectronics



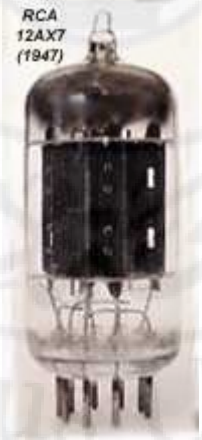
1- رحلة في تاريخ الدارات الالكترونية المتكاملة ومستقبل الالكترونيات الدقيقة Roadmap of Integrated Circuits .

شكلت تكنولوجيا السيلكون القاعدة للأنظمة الالكترونية والالكترونيات الدقيقة خلال النصف الأخير من القرن الماضي ، ومن الواضح أن ذلك سيستمر في المستقبل المنظور ، ولكي يتكون لدينا فكرة عن التغيرات والتطورات التي كانت هذه التكنولوجيا رائدتها ، لابد من إلقاء نظرة تاريخية على خارطة التطور التكنولوجي الملونة بالكثير من المعرفة العلمية والتأثيرات الاقتصادية والتي أدت إلى نقلة نوعية في العلائق الدولية والإنسانية .

في عام 1949أنشأت مخابر Bell الأمريكية دارة تكبير (مقاومة تحويلية Transfer Resistor) تستخدم أنصاف النواقل و التي شكلت العنصر الأول الذي أطلق علية اسم الترانزستور .

Transistor = **Tran**sfer Re**sistor**

وبهذا الاكتشاف بدأت النهاية لعصر الصمامات الالكترونية وفتح باب عصر تكنولوجيا أنصاف النواقل Semiconductor Technology



الشكل(1-1) الصمام الإلكتروني بداية النهاية مع اختراع الترانزيستور





الشكل (2−1) الترانزستور الأول منفذ بطريقة الاتصال النقطي First Bell Labs, 1948 transistor

- في عام 1950 بدأ ظهور الدارات المتكاملة و التي كانت تقتصر على العناصر غير الفعالة.

- في عام 1954 ظهر أول ترانزستور ثنائي القطبية (BJT) تجاري من السيلكون إنتاج شركة (Texas Instrument) وقد صنع عن طريق قطع قضيب مربع من بلورات السليكون المتبلور من حالة الانصهار والمشابه

، واستخدم في تصنيع أول راديو يحتوي على ترانزستورات (كان الراديو يحوي على أربعة ترانزستورات).

- في عام 1954 أيضاً – تم تطوير عملية الأقنعة الضوئية والأكسدة : طورت مختبرات Bell الأكسدة ، التقنيع الضوئي ، الحك ، عملية الانتشار التي شكلت أساساً لتصنيع الدارات المتكاملة وإلى يومنا هذا .

- 1955 – تصنيع أول ترانزستور ذو أثر حقلي FET في مختبرات Bell

- 1958 – اختراع الدارة المتكاملة :

في تموز/ 1958 كان Jack Kilby موظفا جديداً في Texas Instruments، 1958 و في مختبر تصنيع العناصر الصغيرة كتب Kilby في دفتر ملاحظاته الخاص بالمختبر بأن عناصر الدارة الالكترونية كالمقاومات ، المكثفات ، و الترانزستورات يمكن أن تضمَّن جميعها في كسرة وحيدة إذا صنعت جميعها من نفس المادة .

- بحلول 12 / أيلول/ 1958 بنى Kilby دارة مهتز بسيط متكاملة مؤلفة من خمسة عناصر متكاملة فعالة وغير فعالة التي دعيت فيما بعد بتقنية SSI (Small Scale Integration) .
- في عام 1959 تقدم Kilby بطلب لنيل براءة اختراع و تم تسجيل براءة لـ Texas Instruments برقم 3138743 لـ " الدارات الالكترونية الدقيقة " .

- (في عام 2000 ظهرت الأهمية الكبيرة للدارات المتكاملة عندما منح Kilby مع اثنين آخرين جائزة نوبل في الفيزياء . عُيِّن Kilby عضواً في لجنة نوبل لجهوده في اختراع الدارات المتكاملة .)



الشكل (3–1) أول دارة متكاملة منفذة في مخابر شركة Texas Instruments

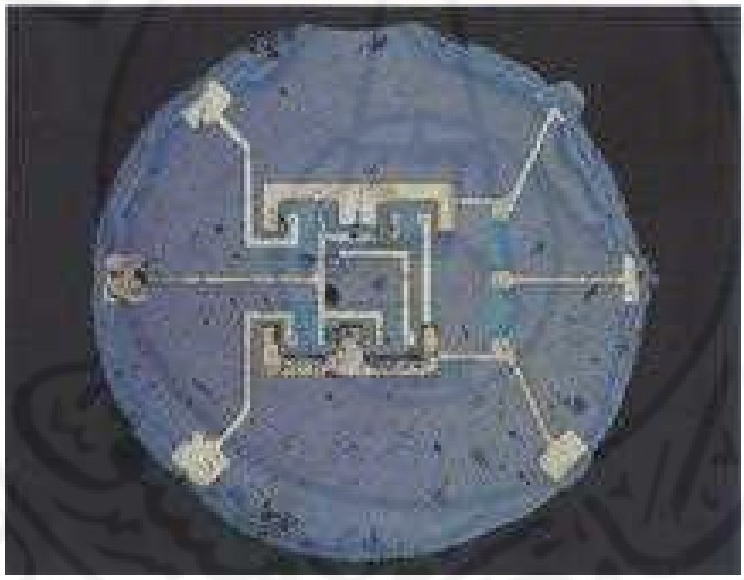
- **1959 – اكتشاف التقنية السطحية: Planer Technology**

كان لاكتشاف Kilby معيقات كبيرة ، فالعناصر الخاصة بالدارة كانت موصولة مع بعضها البعض بأسلاك ذهبية تجعل من الصعب زيادة العناصر لتعقيد الدارة .

- في أواخر 1958 طور Jean Hoerni في Fairchild بنية بوصلة P - N مشكلة في السليكون ، فوق الوصلة طبقة رقيقة من ثاني أكسيد السليكون

استخدمت كعازل و حُفرت ثقوب في ثاني أكسيد السليكون لتأمين الاتصال للوصلة .

- في عام 1959 كان Robert Noyce العامل في Fairchild صاحب الفكرة في تكثيف طبقة معدنية رقيقة على الدارات المصنوعة ، ووصلت الطبقة المعدنية بالطبقات نصف الناقلة من خلال الثقوب في ثاني أكسيد السليكون و من ثم كانت تثقب وفق مخطط معين لتأمين ترابط الدارة . التقنية السطحية أطلقت مرحلة الدارات المتكاملة المعقدة و هي التقنية المستخدمة اليوم .



الشكل (4–1) أول دارة مصنعة بالتقنية السطحية (تحت عدسة الميكروسكوب)

عقد الستينات

- 1960 – تطور الترسيب (epitaxial deposition) البلوري :

طورت مختبرات Bell تقنية النمو البلوري و التي يتم من خلالها يتم ترسيب السليكون على طبقة كريستاليّة قاعدة (كريستالية) بلورية وتشكل المجموعة تركيب بلوري وحيد خط التبلور. الترسيب البلوري مستخدم بكثرة في صناعة الدارات المتكاملة وسيتم في الفصول القادمة شرحه بشكل مفصل .

- 1960 –أول ترانزيستور من نوع MOSFET صنع في مختبرات Bell

- 1961 – ظهور أول الدارات المتكاملة على المستوى التجاري صنع في مختبرات Bell :

قامت كلا من Texas Instruments & Fairchild بتقديم أولى الدارات المتكاملة التجارية .

- 1962 – ظهور الدارات المتكاملة الرقمية نوع (TTL) .

- **1962 – وصلت لأول مرة المبيعات في صناعات أنصاف النواقل إلى ما يزيد على 1 مليار$ US.**

- 1963 – أول دارة متكاملة نوع MOS :

RCA تقدم أول دارة متكاملة نوع PMOS .

- 1963 – تم ظهور تقنية الـ CMOS :

Frank Wanlass في Fairchild Semiconductor أنشأ و نشر فكرة CMOS . ما خطر لـ Wanlass هو أن دارة متتامة من NMOS & PMOS سوف تستجر تياراً صغيراً جداً.

و في 18 / حزيران/ 1963 قدم Wanlass طلباً من أجل الحصول على براءة اختراع . وفي 5 /كانون الأول/ 1967 منح Wanlass براءة اختراع أمريكية برقم 3356858 لـ " دارات الأثر الحقلي المتتامة ذات الاستطاعة المنخفضة " .

تشكل CMOS أساس الأغلبية الساحقة من الدارات المتكاملة عالية الكثافة المصنعة هذه الأيام .

• 1965 – قانون Moore :

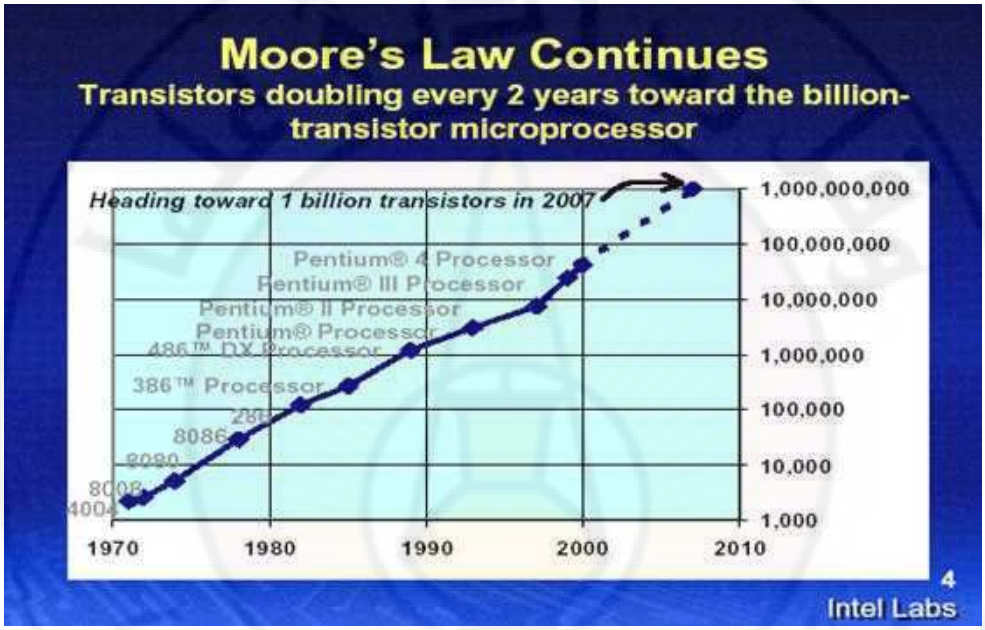


في عام 1965 كتب Gordon Moore (مدير التطوير و الأبحاث في Fairchild Semiconductor)

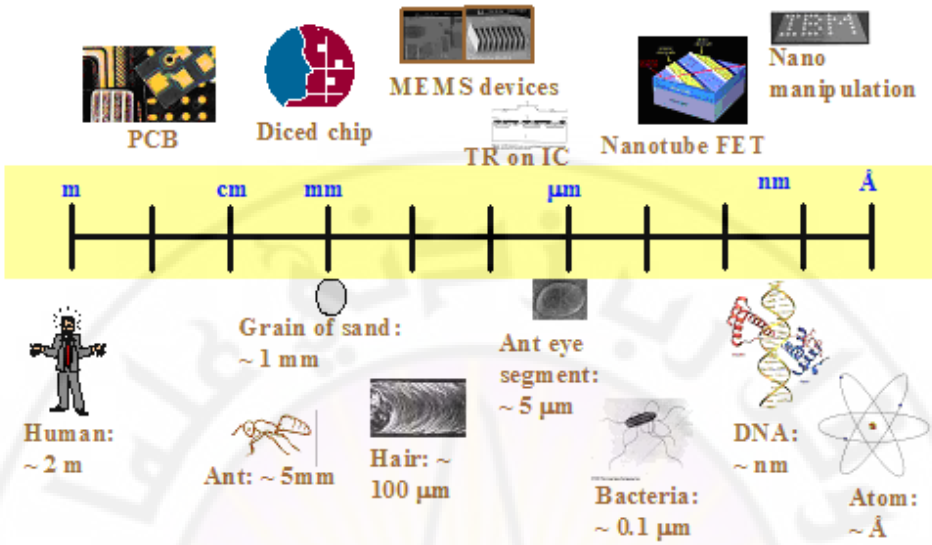
ملاحظة مضمونها " حشو مزيد من المكونات في الدارات المتكاملة " .

أوضح Moore من خلال هذه الملاحظة ، فيما عرف بعد بقانون Moore ، بأن عدد المكونات في الدارة المتكاملة الواحدة يتضاعف مرتين كل سنة .

قانون Moore عدِّل فيما بعد لـ " عدد العناصر في الدارة المتكاملة الواحدة يتضاعف مرتين كل ثمانية عشر شهراً " ، وقد استمر قانون Moore لغاية يومنا هذا .



الشكل (5- 1) قانون مور Moore ، يتضاعف عدد الترانزستورات على الكسرة تقريباً كل 18 شهر، و قد تم الحفاظ على هذه النسبة لعدة سنوات و من المتوقع أن يستمر ذلك حتى بعد العام 2010.



الشكل(6–1) لتبيان فكرة عن القياس مقارنة مع الطبيعة

- 1965 – ظهور مسجل إزاحة 100-bit :

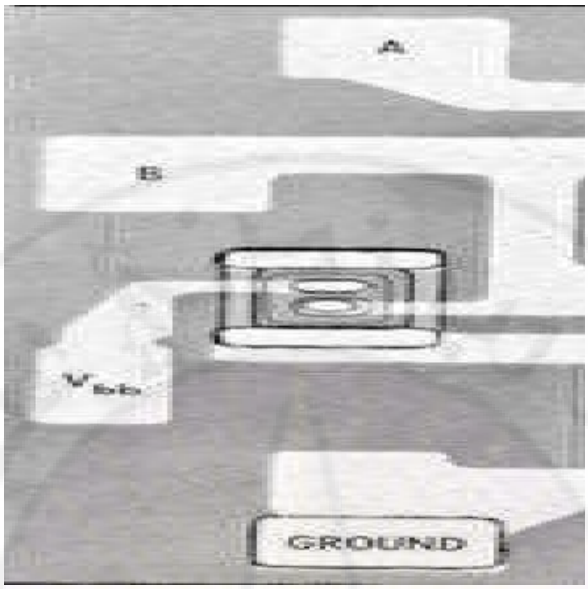
مسجل إزاحة بـ 100-bit و 600 ترانزستور ، مسجل إزاحة 21 bit ستاتيكي بـ 160 ترانزستور ، مفكك ترميز ثنائي/رقمي بـ 150 ترانزستور TEXAS INSTRUMENTS .

- 1966 – 16-bit bipolar memory :

طرحت IBM كسرة 16-bit bipolar memory في نظام تطوير لـ NASA

- 1966 الدارة المنطقية الأولى first bipolar logic

من إنتاج شركة Motorola وهي من نوع ECL ذات ثلاث مداخل



Bipolar logic ECL 3-input Gate
Motorola 1966

الشكل(7–1) دارة متكاملة من إنتاج موتورلا عام 1966

- 1966 – اختراع خلية DRAM:

- 1967 – الكشف عن البوابة العائمة :

سجلت مختبرات Bell كشفاً في مجلة Bell System التقنية عن استخدام البوابة العائمة في تطبيقات الذاكرة

وتعتبر البوابات العائمة تقنية شائعة جداً تستخدم لصناعة EEPROM .

- 1967 – الكشف عن NMOS واستخدامه في الذواكر :

- 1968 – 64-bit bipolar array chip :

طرحت IBM كسرة مصفوفة ثنائية القطبية ذات 64-bit كعازل ذاكرة عالي السرعة، احتوت الكسرة على 64 خلية تخزين و 664 مكوناً .

- 1969 – اختراع BiCMOS :

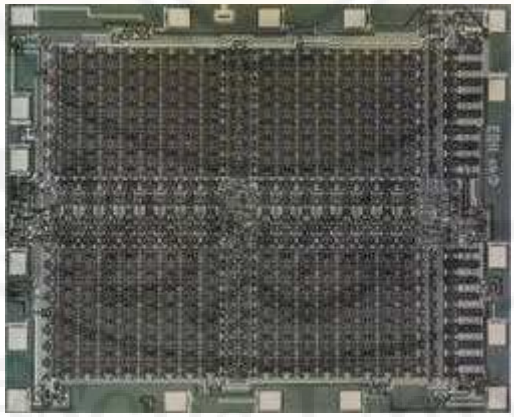
عقد السبعينات

- 1970 – أول دارة متكاملة نوع NMOS :

ضمن مخابر IBM بتصنع دارات NMOS تتميز بأن لها بوابة معدنية .

- 1970 – أول DRAM تجارية بسعة 1 Kbit :

الدارة الناتجة i 1103 احتوت على ذاكرة بمساحة $2400\ \mu m^2$ ، و مساحة كسرة أصغر بقليل من $10\ mm^2$ و بيعت بحوالي 21$.



الشكل(8–1) الذاكرة الأولى نوع 1 Kbit DRAM (i1103)

- 1970 – IBM تستبدل الذاكرة المغناطيسية بذواكر ترانزيستورية :

- 1971 – اختراع UVEPROM :

بعد مشاركة Intel في عام 1969 و بعد تصنيع الـ DRAM ذات 1 Kbit اخترع Dov Frohman الذاكرة UVEPROM وهي ذاكرة تبرمج كهربائياً و تحتفظ بالقيم المبرمجة حتى يتم محوها بالأشعة فوق البنفسجية.

- 1971 – قصة اختراع المعالج الصغري Micro processor :

بحلول عام 1969 كان مفهوم المعالج المبرمج (المعالج الصغري) مطروحاً في الصناعة ، و لكن لم يكن أحد قادراً على صناعة أي شيء معقد بالقدر الكافي ، وكانت Intel قد طورت مؤخراً عملية Silicon gate التي قدمت إمكانية تصنيع دارات أكثر تعقيداً بالمقارنة من بقية المصنعين في ذلك الوقت .

طلبت شركة الآلات الحاسبة اليابانية Busicom من Intel تزويدها بمجموعة ذات 12 كسرة للآلات الحاسبة المكتبية ، و على الرغم من أن Intel كانت منكبة على الذواكر في ذلك الوقت إلا أنهم كانوا يعملون جاهدين بما فيه الكفاية لقبول المشروع . شعر Ted Hoff من Intel بأن تصميم الـ 12 كسرة معقداً جداً لهذا قرر البحث عن حل برمجي .

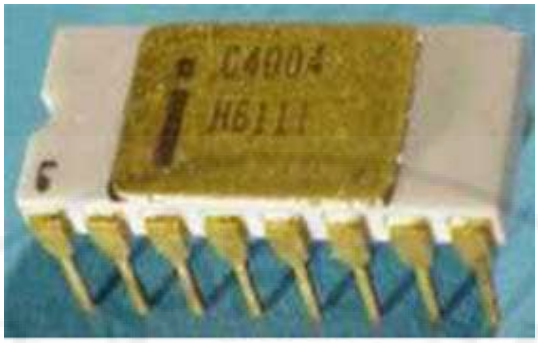
اجتمع تطبيق Busicom والإمكانية العملية لـ Intel معاً فقررت إدارة Intel دعم المشروع بتوقيع اتفاقية بـ 60000$. صمم Hoff مجموعة تجريبية بسيطة

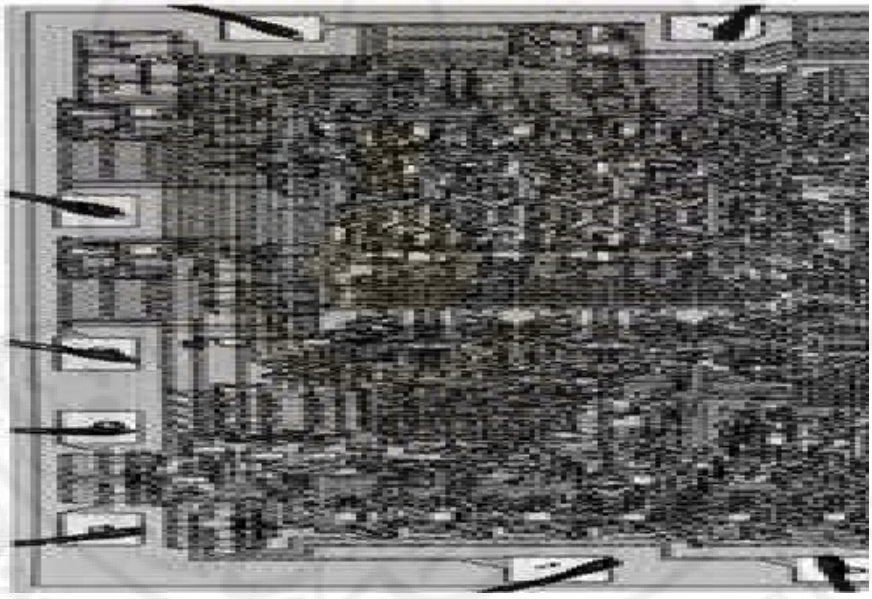
يمكن إنجازها نسبياً بعدة ترانزستورات . لستة أشهر كان المشروع مضنياً حتى عام 1970 حين أصبح Federico Faggin عضواً في Intel و تم تكليفه بتصميم الكسرة .

في يومه الأول في العمل جوبه Faggin بواسطة Masatoshi Shima مندوب Busicom المنزعج من التقصير في سير العمل خلال الستة أشهر الماضية ، بعد عدة مناقشات وافقت Busicom على الاستمرار في المشروع و بعد 8 أشهر من العمل اليومي لـ 12 – 16 ساعة ظهرت أول كسرة ولكنها لم تقم بأي عمل ، كانت المشكلة خطأً تصنيعياً بسيطاً .

بحلول 1971 ظهر المعالج 4004 (أول معالج صغري 4-bit) في الصناعة.
كان بنية المعالج 4004 عبارة عن مجموعة من ثلاث وحدات ، وحدة الـ 2 Kbit ROM ، وحدة الـ 320 bit RAM وعنصر المعالجة ذاته ، وضعت جميع هذه الوحدات ضمن مجموعة متكاملة نوع DIP ذات 16 pin .

احتاج المعالج 4004 وبعد ضغط شديد لـ 2300 ترانزستور لإنجازه ، وبالاعتماد على عملية silicon gate PMOS ذات عرض خطوط 10 µm ، كان ذا تردد ساعة 108 kHz ومساحة كسرة $13.5\ mm^2$. ولم يتم الرضاء عنه بشكل كاف ولم تمتلك Intel التصميم في البداية و لم يحدث ذلك حتى طلبت Busicom تخفيضاً في التكاليف، عندها حازت Intel على حقوق التقنية .





الشكل (9–1) المعالج الأول First Microprocessor 1000 transistors

بحلول 1972 كان Faggin يعمل مع Shima على تطويرمعالج 8008 خليفة الـ 4004 ذو الـ 8-bit ، وفي عام 1974 طرحت Intel 8080 أول معالج صغري ناجح تجارياً .

- 1972 – تطوير تقنية الـ MOSFET:

في عام 1970 كانت IBM تبحث عن تقنية لخفض تكلفة الـ RAM لجعلها منافسة للأقراص المغناطيسية على صعيد التكلفة للبت الواحد . مجموعة Dare Critchlow في IBM بذلت جهدها من أجل تحقيق 1milliCent/bit .

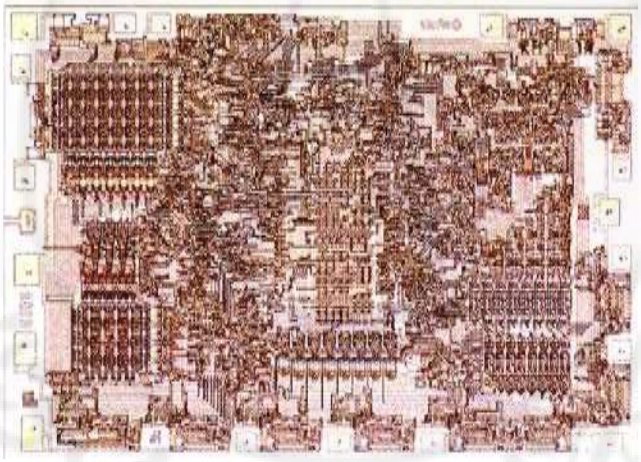
إن تقنية MOSFET حققت ذلك و مع حلول بدايات التسعينات كانت هي المسيطرة بين تقنيات التصنيع .

- 1972 – Intel 8008 :

كان الـ 8008 خليفة الـ 4004 ذا الـ 8-bit و كان مستخدماً في حاسب Mark-8 ، واحد من أوائل الحواسب المنزلية . مصنع وفق نفس مبدأ بوابات السيليكون PMOS مع عرض خطوط 10 µm ، طبقة واحدة من البولي سليكون و طبقة معدنية واحدة ، الـ 8008 احتوى على 3500 ترانزستور ، و ساعة بتردد 200 kHz و $15.2mm^2$ مساحة للكسرة .



المعالج **8008** APR 1972
3500 ترانزستور (10 µm)
التردد:200 KHz .



الشكل (10–1) المعالج 8008 البدء بطريق التطوير للمعالجات الميكروية Microprocessor

- 1973 ظهور الدارات المتكاملة التجارية من نوع BiCMOS

Keller , Schade & Polinsky من RCA يكشفون " تقنية الدارات المتكاملة وحيدة البلورة من نوع CMOS ثنائي القطبية " في IEDM .تستخدم تقنية BiCMOS ذات البوابة المعدنية لصناعة مكبرات العمليات .

- 1974 – أول DRAM بسعة 4 kbit وبخلية وحيدة الترانزستور

كانت ذاكرة الـ DRAM ذات الحجم 4kbit أول من جسد وحقق فكرة الخلية وحيدة الترانزستور وبوابات السيليكون من NMOS . إن التحول من خلية الذاكرة ثلاثية الترانزستور 3T Cell إلى و حيدة الترانزستور 1 T Cell كان أول تحول رئيسي للـ DRAM .

تطلبت عملية تصنيع بوابات السيليكون نوع NMOS ستة أقنعة و كانت ذات أبعاد 8 µm على الأقل . المنتج النهائي كان ذاكرة ذات خلية بحجم $1280\ \mu m^2$ ، الحجم الكامل كان غالباً $15\ mm^2$ و بيع بحوالي 18$ في البداية .

- 1974 – تصنيع معالج Intel 8080 :

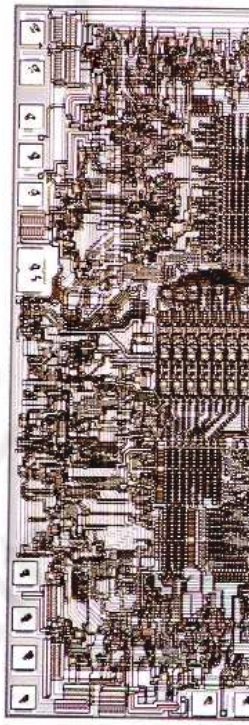
استخدم الـ 8080 في الحاسب البديل ، و صُنع باستخدام تقنية البوابة السيليكونية نوع NMOS بعرض خطوط 6 µm ، وبطبقة واحدة من البولي سليكون و طبقة معدنية واحدة ، و احتوى على 6000 ترانزستور وسرعة عمل تصل إلى 2 MHz و مساحة للكسرة $20.0\ mm^2$.



المعالج **8080** DEC 1974

6000 ترانزستور (6 µm)

التردد:2 MHz .



الشكل (11–1) المعالج (8080)

1976 – ظهور كسرات سليكون 16 Kbit DRAM:

أظهرت الـ DRAM بسعة 16 kbit فكرة طبقات البولي سليكون dual polysilicon layer سمحت بإصدار خلايا ذاكرة أكثر عملية ، وتعتبر عملية الانتقال من فكرة السيليكون الوحيد إلى البولي سيليكون هي التحول الرئيسي الثاني في إنتاج الـ DRAM .

تطلبت فكرة البولي سليكون نوع NMOS 7 أقنعة و كانت ذات أبعاد 5 µm على الأقل ، والنتيجة كانت عبارة عن ذاكرة بحجم خلية 500 µm2 وبمساحة كسرة تبلغ على الأغلب $19mm^2$ و بيعت بحوالي 33$ عند الطرح .



الشكل (12–1) الذاكرة 16 Kbit DRAM

1978 – Intel 8086 / 8088 :

تم اختيار الـ 8088 من قبل IBM من أجل تسخيرها في حواسبها الشخصية والتي اعتبرت في ذلك الوقت أكبر تصميم نصف ناقل لاقى نجاحاً باهراً.

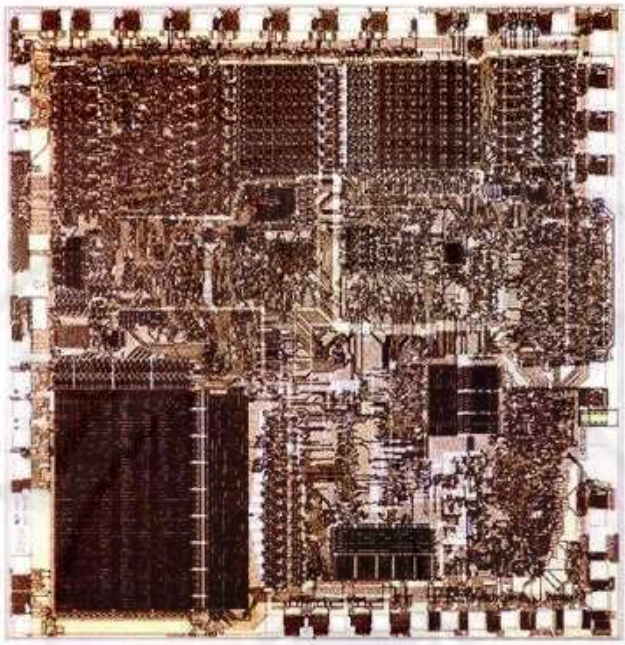
صنع 8088 / 8086 اعتماداً على فكرة بوابات السيليكون نوع NMOS بعرض خطوط 3 µm وباستخدام طبقة واحدة من البولي سليكون مع طبقة معدنية واحدة احتوى هذان المعالجان على 29000 ترانزستور وقد كانا قادرين على العمل عند ترددات ساعة Khz(10-5) ، أما المساحة للكسرة فكانت تساوي $28.6\ mm^2$.من الناحية النظرية كان كلا المعالجين ذوا 16-bit ..... الـ 8086 كانت ذات خطوط نقل 16-bit والـ 8088 ذات 8-bit .



المعالج 8086 SEP 1978
29000 ترانزستور (3 µm)
التردد: 10 MHz .



المعالج 8088 JUN 1979
29000 ترانزستور (3 µm)
التردد: 8 MHz .



الشكل (13–1) استخدام المعالجات 8086 / 8088 في الحواسب الشخصية

- 1978 – اختراع نظام الخطوة و التكرار Step & repeat system:

طرحت GCA نظام الخطوة و التكرار من أجل عمليات تعريض الرقائق للأشعة وتصويرها.

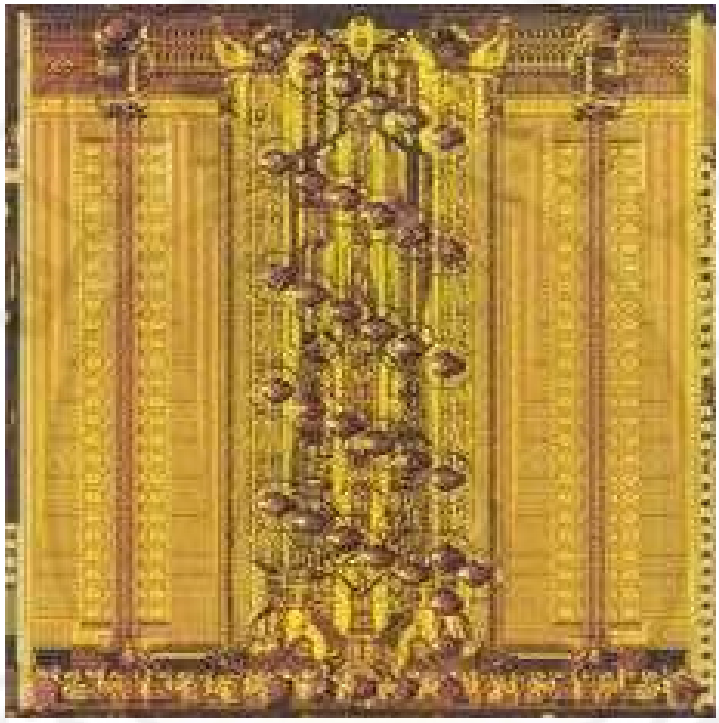
فجَّرت فكرة الخطوة و التكرار الطباعة بالصفائح المعدة ضوئياً في الثمانينات زائدة الدقة و إمكانية تقليص عرض الخطوط .

- 1978 – صناعة أنصاف النواقل تخطَّت القيمة 10 مليار $.

- 1979 – طرح DRAM بسعة 64 kbit :

تم إنتاجها اعتمادا على Dual Polysilicon نوع NMOS ، تطلبت عملية التصميم 8 – 10 أقنعة أبعادها 3 µm على الأقل ، المنتج النهائي كان عبارة

عن ذاكرة بحجم خلية $180\ \mu m^2$ و مساحة للكسرة بحدود $31\ mm^2$ و قد بيعت بحوالي $47 عند الطرح .



الشكل (14-1) الذاكرة 64 k DRAM

عقد الثمانينات :

- 1980 – شركة IBM تختار معالجات INTEL 8080 من أجل الحواسب الشخصية PC

1982 – ظهور ذواكر 256Kbit DRAM

بشكل مبدئي تم تصنيع هذه الذواكر بطريقة dual polysilicon على عدة طبقات من نوع NMOS متطلبة 8–10 أقنعة من أجل تصميم النموذج وبسماكة أصغرية للطبقة قدرها 2 µm .

كانت النتيجة عبارة عن ذاكرة بأبعاد خلية 70µm2 ومنطقة كسرة مساحتها 45mm2 ، تم بيعها بسعر مبدئي قدره 51$ ’ النسخ الأحدث منها استخدمت رقاقات CMOS بسماكة 1.5 µm.

1982– ظهور معالج Intel 80286:

يعتبر 80268 خطوة أساسية للأمام في إنجاز المعالجات إضافة لقابلية احتواءه البرمجيات القديمة والتوافق معها .

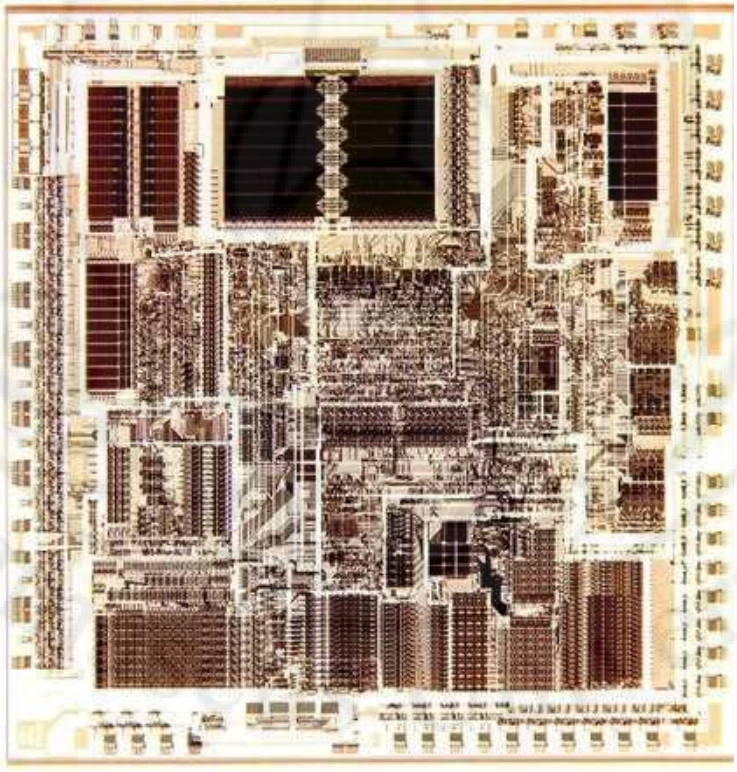
استخدمت بوابات CMOS ذات عرض خطوط 1.5µm إضافة إلى طبقتين من المعدن وطبقة من السيلكون ، يحتوي هذا المعالج في داخله على 134000 ترانزستور ويعمل ضمن مجال ترددي 12,5 MHz ، وقد حققت الكسرة مساحة 68.7µm2 .



المعالج **286** FEB 1982

134000 ترانزستور (1.5 µm)

التردد: 12.5 MHz .



الشكل (15–1) المعالج 80286

- 1983 – الظهور الأول لـ 1st CMOS DRAM:

انتجت Intel ذواكر CMOS DRAM بحجم 1Mbit والتي شكلت الانطلاقة الأولى لذواكر DRAM في الأسواق التجارية.

- 1983 – اختراع ذواكر EEPROM :

تم إنتاج ذواكر EEPROM بحجم 16Kbit معتمدة على مبدأ البوابة العائمة و MNOS .

- 1984 – اختراع ذواكر الـ FLASH :

صرح Masuoka من معامل Toshiba في مجالس IEDM عن فكرة ذواكر تتم برمجتها كهربائياً ويتم التخلص من معلوماتها دفعة واحدة وهو سبب تسميتها بـ Flash memory أي Flash Erase .

تحتوي هذه الذواكر على ترانزستور واحد من أجل كل خلية وهذا يعتبر عملاً مميزاً مقارنة مع ذواكر EEPROM التي احتاجت إلى ترانزستورين من أجل كل خلية .

- 1985 – الإنتاج التجاري لذواكر FLASH :

قامت شركة Toshiba بإنتاج ذواكر نوع FLASH وبحجم 256Kbit.

- 1985 – ظهور المعالج Intel 80386DX :

وهو أول معالج 32Bit تنتجه Intel تم تصنيعه وفق تقنية بوابات سيليكون نوع CMOS وبسماكة خطوط قدرها 1.5µm. احتاجت عملية التصميم إلى 10 أقنعة وطبقة واحدة من البولي سيليكون وإلى طبقتين من المعدن .

يحتوي داخله على 275000 ترانزستور وهو يعمل على تردد ساعة 20 MHz مساحة الكسرة $104\ mm^2$.



الشكل (16–1) أول معالج 32 Bit

- 1986 – إنتاج ذواكر Flash ذات الطراز ETOX :

أنتجت شركة Intel ذواكر بحجم 256Kbit طراز ETOX والتي تعتبر (ذواكر ETOX) الشكل الأكثر شيوعا ضمن عائلة ذواكر Flash في الوقت الراهن.

- 1986 – تصنيع ذواكر 1Mbit DRAM :

تم تصنيع هذه الذواكر وفق تقنية الطبقات المتعددة لتأخذ بنية مشابهة للمكدس بالتالي تم الاستغناء عن تقنية الطبقة الوحيدة (بالرغم من هذا تم في الوقت الراهن إنتاج بعض الذواكر باستخدام طريقة الطبقة الواحدة).

يعتبر الانتقال من تقنية الطبقة الواحدة إلى تقنية الطبقات المتعددة التحول الرئيسي الثالث في عالم ذواكر DRAM .

لقد أنتجت ذواكر 1Mbit باستخدام CMOS وتطلبت عملية الإنتاج ما يقارب 18 قناع و2–3 طبقة مدمجة من السيليكون بسماكة 1.2µm .

كانت النتيجة عبارة عن ذاكرة ذات مساحة $25\mu m^2$ ومساحة كسرة قدرها $70mm^2$ وقد بيعت بسعر وسطي قدره 100$.

- 1988 – ظهور ذواكر 4Mbit DRAM :

أنتجت ذواكر 4Mbit وفق تقنية CMOS وقد تطلبت عملية الإنتاج ما يقارب 20–25 قناع و 2–3 طبقة مدمجة من السيليكون وطبقتين من المعدن بسماكة 0.8µm

جميع ذواكر الـ 4Mbit أنتجت وفق تقنية المكدس (تعتبر ذواكر 1Mbit أخر من صنع وفق تقنية الطبقة الوحيدة)

نتيجة العمل كانت عبارة عن خلية ذاكرة مساحتها $12\mu m^2$ ومساحة كسرة قدرها وسطيا $95mm^2$ وقد بيعت بسعر 124$.

المنتج الأخير صمم مع مراعاة سماكات خطوط أقل من أجل تقليص المساحة الميتة .

- 1989 – إنتاج معالج Intel 80486DXTM :

وهو أول معالج من Intel الذي يتضمن وحدة معالجة للنقطة العائمة والقادر على تنفيذ تعليمة كاملة في كل نبضة ساعة.

صمم 80486 على بوابة من السيليكون CMOS وبسماكة خطوط 1.0µm

تطلب التصميم طبقة واحدة من البولي سيليكون و 3 طبقات من المعدن وقد بلغت المساحة للكسرة حوالي $136mm^2$.

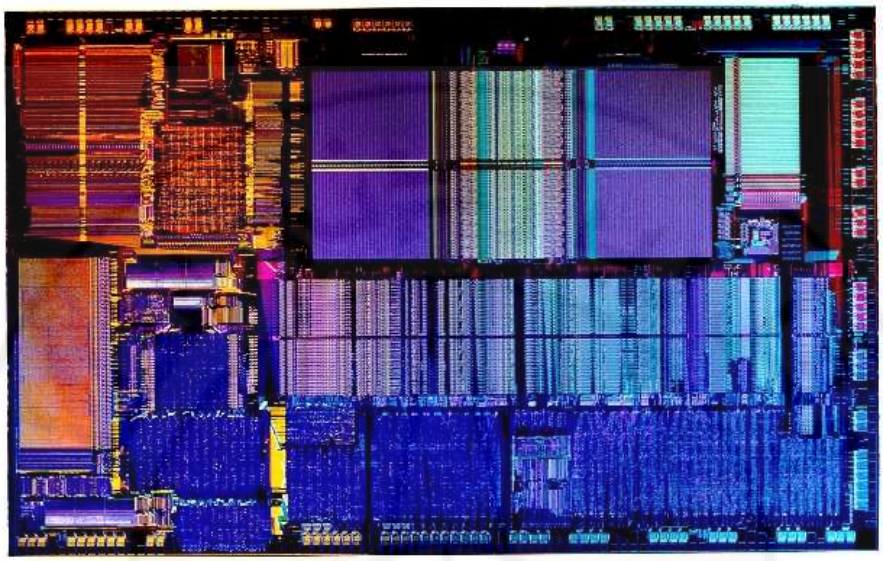
25- يحتوي هذا المعالج على 1.4 مليون ترانزستور ويعمل ضمن مجال ترددي 50 MHZ .



المعالج 486 APR 1989

1400000 ترانزستور (0.8 µm)

التردد:50 MHz .



الشكل (17–1) المعالج 486 بدء ظهور ملايين
الترانزستورات على الكسرة الواحدة

عقد التسعينات:

- 1991 ظهور ذواكر 16Mbit DRAM :

أنتجت هذه الذواكر على معالج نوع CMOS وقد احتاجت لعدد من طبقات البولي سيليكون يتراوح بين 3–4 طبقات ،بالإضافة لطبقتي معدن بأبعاد قدرها 0.5µm كحد أصغري.

النتيجة كانت عبارة عن خلية ذاكرة بمساحة $4,2\mu m^2$ وبمساحة للكسرة قدرها $130mm^2$.

بيعت هذه الذواكر بسعر وسطي قدره 275$.

النماذج المتقدمة من هذه الذاكرة كانت ذات عرض خطوط أقل من أجل تقليص الحجم.

- 1993 ظهور معالجات Intel Pentium™ :

كان هذا المعالج هو الأول من Intel القادر على تنفيذ أكثر من تعليمة خلال نبضة الساعة الواحدة .

تم تصنيع هذا المعالج على وحدة معالجة ذات بوابة من السيليكون نوعها BiCMOS وبسماكة خطوط قدرها 0.8µm ومساحة للكسرة قدرها $246mm^2$

تطلبت عملية الإنتاج 18 قناع باستخدام طبقة واحدة من البولي سيليكون و 3 طبقات من المعدن .

يحتوي هذا المعالج ضمنه على 3.1 مليون ترانزستور وهو قادر على التعامل مع ترددات تتراوح بين 60-66MHz

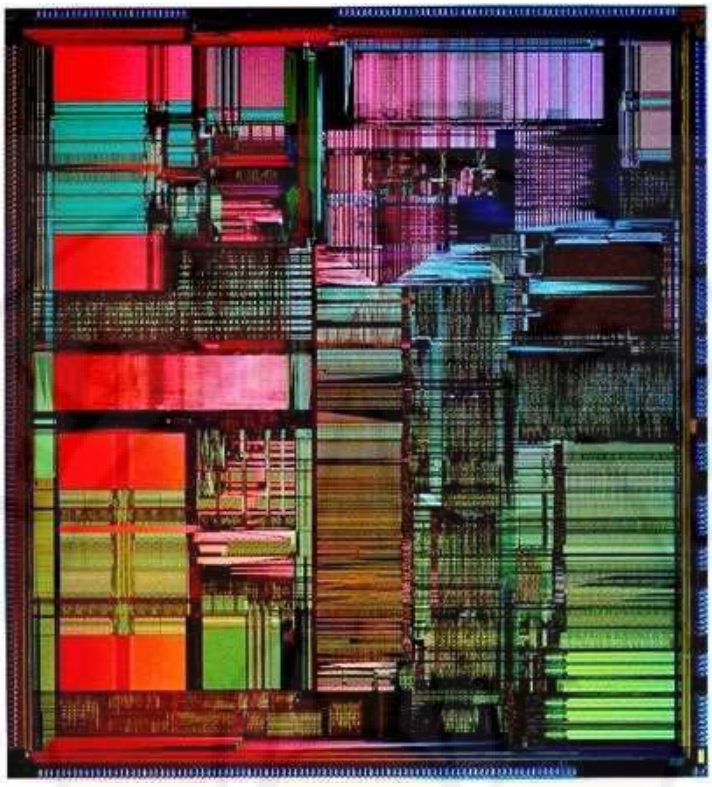


MAR 1990 pentium

1.6 مليون ترانزستور (0.6 µm)

التردد: 75-100 MHz.

Damascus University



الشكل (18–1) المعالج بنتيوم

- **1994 صناعة أنصاف النواقل تتجاوز الـ 100 مليار دولار $**

- 1994 ظهور ذواكر 64Mbit DRAM :

تم تصنيعها على معالج CMOS واحتاجت عملية الإنتاج إلى 3–5 طبقة من البولي سيليكون و 2–3 طبقة من المعدن بأبعاد أصغرية قدرها0.35µm

النتيجة كانت عبارة عن خلية ذاكرة بمساحة $1.5\mu m^2$ وبمساحة كسرة قدرها $170mm^2$.

بيعت هذه الذواكر بسعر وسطي قدره 575$ ،النماذج المتقدمة من هذه الذاكرة كانت ذات عرض خطوط أقل من أجل تقليص الحجم للكسرة .

- 1995 ظهور المعالج Intel Pentium Pro™ :-

تم في هذا المعالج وضع كل من كسرة المعالج وكسرة الذاكرة Cash ضمن غلاف مجوف مزدوج .

تم تصنيع هذا المعالج وفق تقنية بوابات BiCMOS ذات سماكة الخطوط $0.35\mu m$.

تطلبت عملية التصميم 20 قناعاً واحتاجت عملية التصنيع طبقة واحدة من البولي سيليكون و 4 طبقات من المعدن ، يحتوي هذا المعالج ضمنه على 5.5 مليون ترانزستور وهو قادر على التعامل مع ترددات تتراوح بين 150-200MHz بلغت مساحة الكسرة $310mm^2$.

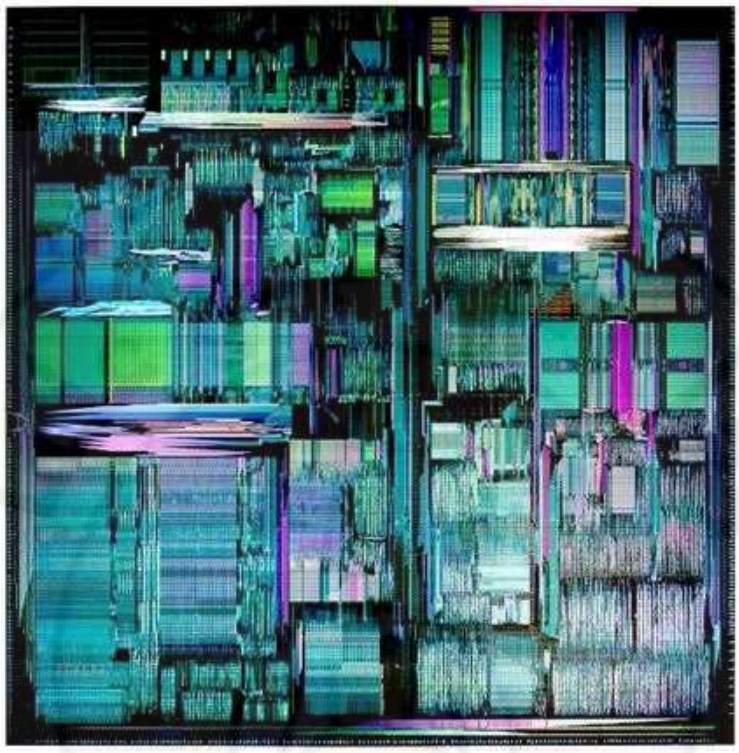


JAN1997 pentium-pro

4.5مليون ترانزستور (0.35 µm)

التردد:150-200 MHz .

Damascus University



الشكل (19–1) بنتيوم برو

1997 ظهور المعالج Intel Pentium II™:

تم في هذا المعالج تغليف كل من شريحة المعالج وشريحة الذاكرة Cache العاملة بسرعة تساوي نصف سرعة المعالج بتغليف من نوع Single in Line وتم تصنيعه وفق تقنية بوابات BiCMOS ذات سماكة الخطوط 0.35µm

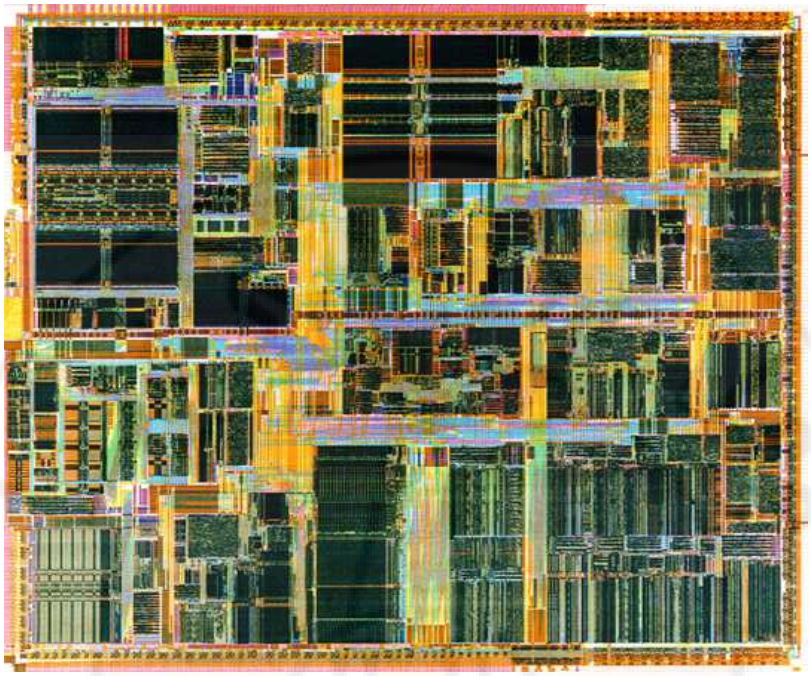
تطلبت عملية التصميم 16 قناعا واحتاجت لطبقة واحدة من البولي سيليكون و 4 طبقات من المعدن ، يحتوي هذا المعالج ضمنه على 7.5 مليون ترانزستور وهو قادر على التعامل مع ترددات تتراوح بين 233-300MHz بلغت مساحة الكسرة $209mm^2$.



JAN1998 pentium 2

7.5مليون ترانزستور (0.25 µm)

التردد:266-450 MHz .



الشكل (20–1) بنتيوم 2 وملايين الترانزيستورات على الكسرة الواحدة

- 1998 ذواكر 256Mbit DRAM:

صنعت هذه الذواكر باستخدام الـ CMOS وقد احتاجت عملية التصنيع إلى 4–5 طبقات من البولي سيليكون و 2–3 طبقات معدنية. نتيجة العمل أدت إلى مساحة للكسرة تقارب $204mm^2$ وقد بيعت بثمن 575$.

النماذج المتقدمة من هذه الذاكرة كانت ذات عرض خطوط أقل من أجل تقليص الحجم للكسرة .

- 1999 ظهور Intel Pentium III™:

استخدمت هذه المعالجات تقنية التغليف القاسي مجدداً PGA وتم دمج الـ Cache على الكسرة

استخدمت هذه المعالجات بوابات CMOS بعرض خطوط 0.18µm وقد تطلبت عملية تصميمها 21 قناع أما التصنيع فقد لزم طبقة واحدة من البولي سيليكون و 6 طبقات معدنية .

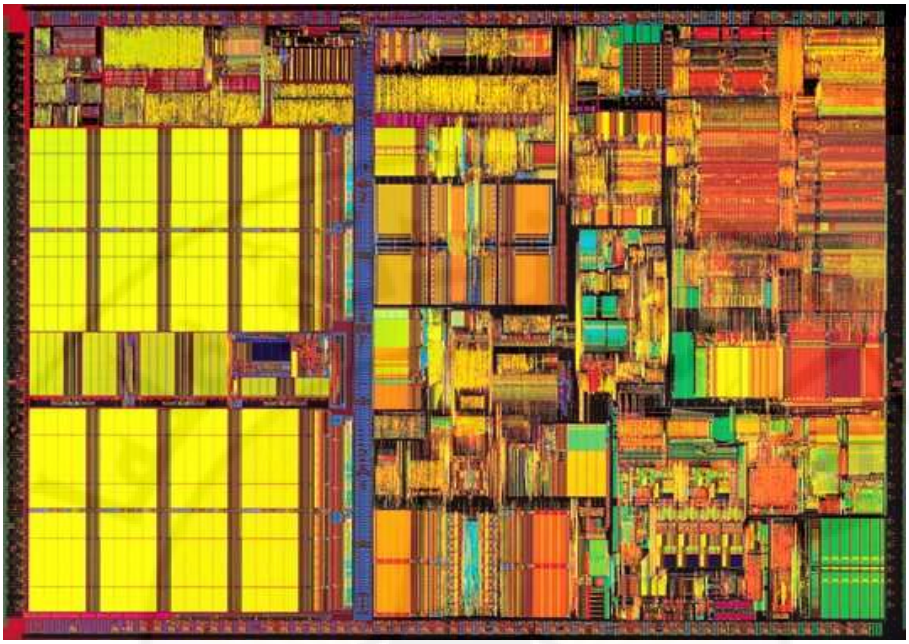
يحتوي هذا المعالج ضمنه 28 مليون ترانزستور وهو قادر على التعامل مع ترددات ضمن المجال 500-733 MHz وله كسرة ذات حجم $140mm^2$.



MAR2000 pentium3

28.1مليون ترانزستور (0.18 µm)

التردد:500-900 MHz .



الشكل (21-1) معالج نهاية القرن العشرين

مرحلة العام 2000 :

- 2000 ظهور المعالج Intel Pentium 4™ :

ظهر في هذه المعالجات وحدة أرقام صحيحة integer unit تعمل بسرعة تعادل ضعف سرعة المعالج بنتيوم III.

صنع هذا المعالج باستخدام بوابات سيليكون نوع CMOS بسماكة خطوط 0.18µm

تطلبت عملية تصميمه21 قناع أما التصنيع فقد لزم طبقة واحدة من البولي سيليكون و 6 طبقات معدنية .

يحتوي هذا المعالج ضمنه 42 مليون ترانزستور وهو قادر على التعامل مع ترددات ضمن المجال 1400-1500 MHz وله كسرة ذات حجم $224mm^2$.

ما هو Pentium IV ؟

بشكل مغاير لمعالج Pentium III يعتبر Pentium IV إنجازاً عظيماً في مجال إعادة تصميم المعالج Pentium III .

ففي حين أضاف Pentium III 2 مليون ترانزستور عن سابقه استطاع Pentium IV أن يضيف 14 مليون ترانزستور إضافي إلى المعالج Pentium III ، إن هذا الازدياد الضخم في عدد الترانزستورات أثر وبشكل متلازم على مساحة الكسرة وبالتالي فمن الطبيعي أن يكون Pentium IV أكبر من أسلافه .

كما رأينا في المعالجات السابقة فإن المصممين كانوا يناضلون من أجل تقليص المساحة للكسرة وتوفير المال وزيادة عدد المعالجات ضمن شريحة السيليكون الواحدة ولكن ..... لماذا وعلى الرغم من كل هذا قررت Intel تصنيع معالج أكبر بالحجم ؟

باعتبار أن معالجات 13 ميكرون لم تجهز بعد (ولن تجهز حتى العام القادم) لذلك تم تصنيع Pentium IV على أساس 18 ميكرون وبخطوط مصنوعة من الألمنيوم ،إن هذه المعالجات لم تضطر الرياضيين للتفكير بأن معالج ذو 42 مليون ترانزستور سوف لن يتسع ضمن مساحة أصغر من مساحة أخذها معالج ذو 28 مليون ترانزستور.

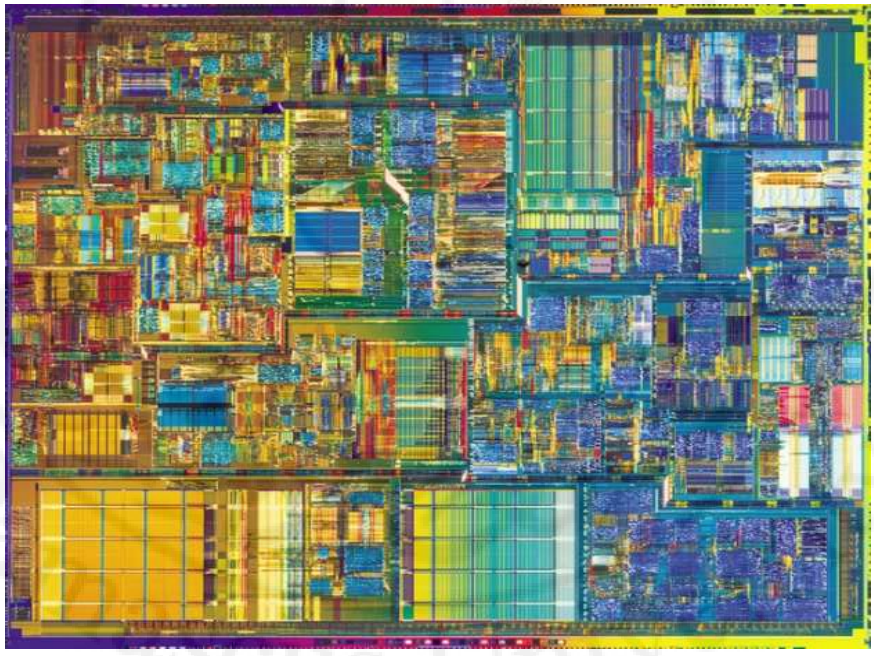
السؤال الذي يطرح نفسه الآن ما هي الغاية من إضافة هذا العدد الهائل من الترانزستورات إلى Pentium IV ؟



NOV2000 pentium4

42 مليون ترانزستور(0.18 µm)

التردد:1.5-3.4 GHz .



الشكل (22–1) المعالج بنتيوم 4 افتتاحية القرن الواحد والعشرين ومعالج بعشرات الملايين من الترانزستورات

- إضافة إلى ذلك فقد ظهر في العام 2000 المعالج Centrino وهو يحتوي على 77 مليون ترانزيستور وصنع بتكنولوجيا 0,13 micro meter وتردد العمل يصل إلى 1,7 GHz واستخدم بشكل واسع في الحاسبات المحمولة .



MAR2000 centrino

77مليون ترانزستور (0.13 µm)

التردد:900-1.7 GHz .

الشكل (23–1)

- 2001 ظهور المعالج Xeon وصنع بتكنولوجيا 90 nm وتردد العمل يصل إلى 2GHz



MAY2001 Xeon

149مليون ترانزستور (90 nm)

التردد:1.4-2 GHz .

الشكل (24-1)

2002 ظهور المعالج Itanium 2

صنع هذا المعالج بتكنولوجيا 90 nm وبعدد ترانزيستورات وصل إلى 221 مليون ترانزيستور وتردد عمل 1,5 GHz



الشكل (25–1) المعالج ايتانيوم 2 الازدياد الهائل لمستوى التكامل ومئات الملايين من الترانزيستورات على الكسرة.

ويمكن للجداول التالية أن تعطينا صورة سريعة عن تطور وتسارع درجة الاندماج وصحة قانون مور عبر السنوات الماضية .

الشركة المصنعة	Year	عدد الترانزستورات	نوع المعالج
Intel	1971	2300	Intel 4004
Intel	1972	2500	Intel 8008
Intel	1974	4500	Intel 8080
Intel	1979	29.000	Intel 8088
Intel	1982	134.000	Intel 80286

Intel 80386	275.000	1985	Intel
Intel 80486	1.200.000	1989	Intel
Pentium	3.100.000	1993	Intel
AMD K5	4.300.000	1996	AMD
Pentium II	7.500.000	1997	Intel
AMD K6	8.800.000	1997	AMD
Pentium III	9.500.000	1999	Intel
AMD K6-III	21.300.000	1999	AMD
AMD K7	22.000.000	1999	AMD
Pentium 4	42.000.000	2000	Intel
Itanium	25.000.000	2001	Intel
Barton	54.300.000	2003	AMD
AMD K8	105.900.000	2003	AMD
Itanium 2	220.000.000	2003	Intel
Itanium 2 mit 9 MB Cache	592.000.000	2004	Intel
Cell	241.000.000	2006	Sony/IBM/Toshiba
Core 2 Duo	291.000.000	2006	Intel
Core 2 Quad	582.000.000	2006	Intel

G80	681.000.000	2006	NVIDIA
Power6	789.000.000	2007	IBM
Dual-Core Itanium 2	1.700.000.000	2006	Intel

الجدول (1–1) تزايد عدد الترانزستورات(تطور المعالجات) منسوبا لسنة التصنيع وتطابق ذلك مع قانون مور

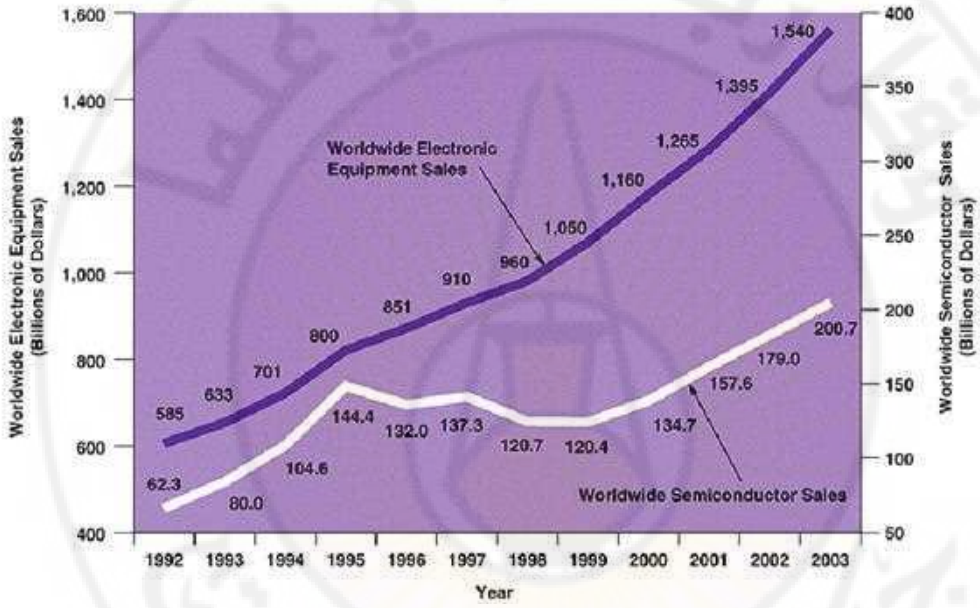
Year of first DRAM shipment	1997	1999	2001	2003	2006	2009	2012
Bits / chip - DRAM	256M	1G	-	4G	16G	64G	256G
Transistors / chip - MPU	11M	21M	40M	76M	200M	520M	1.4G
Minimum feature size DRAM (nm)	250	180	150	130	100	70	50
Minimum feature size MPU (nm)	200	140	120	100	70	50	35
Local clock (GHz)	0.75	1.25	1.5	2.1	3.5	6.0	10.0
Across chip clock (GHz)	0.75	1.2	1.4	1.6	2.0	2.5	3.0
Wafer size (mm)	200	300	300	300	300	450	450
No. levels of interconnect	6	6-7	7	7	7-8	8-9	9
Chip size - DRAM (mm^2)	280	400	445	560	790	1120	1580
Chip size - MPU (mm^2)	300	340	385	430	520	620	750
Power dissipation (W)	70	90	110	130	160	170	175
Power dissipation - hand-held / portable (W)	1.2	1.4	1.7	2	2.4	2.8	3.2
Cost / bit packaged DRAM (µcent)	120	60	30	15	5.3	1.9	0.66
"Afforable" cost/transistor MPU- packaged (µcent)	3000	1735	1000	580	255	110	50
Cost of fab	1.5BS				>5BS		

Table 1.1:- Selected data from the 1997 SIA Roadmap

- Feature sizes of order of 30 nm or smaller
- over 10^8 transistors per cm2 for logic
- over 10^{10} bits per cm2 for memory
- a cost of less than 50 µcent per transistor for logic
- a cost of less than 660 ncent per bit for memory
- operate at10 GHz
- 1.4 billion transistors must use less than 170 W power in a MPU

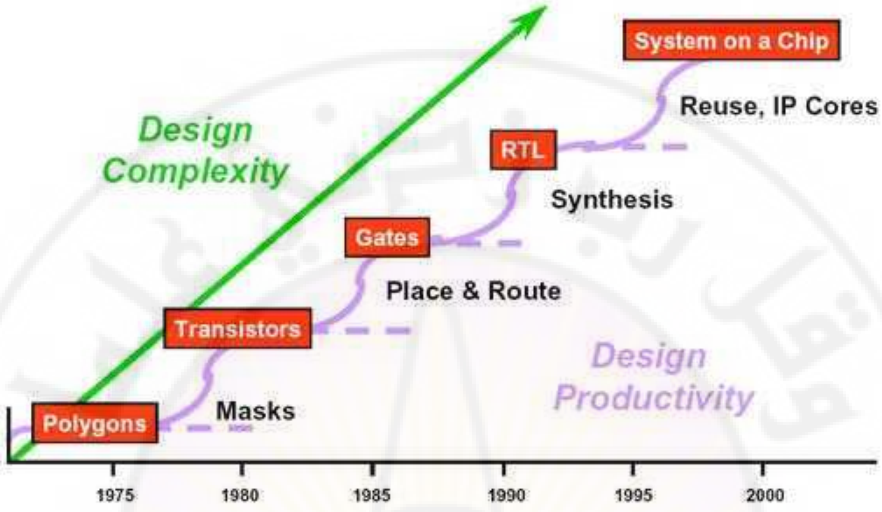
جدول (2–1) مقارنة الخواص التقنية عبر السنوات التطويرية لتكنولوجيا تصنيع ذواكر DRAM

استمرار التطوير التقني التصنيعي لتكنولوجيا نصاف النواقل وتطبيقاتها :



Semiconductor and Electronic Equipment Sales Trends

Challenge: System-on-a-Chip Design ?



Damascus University

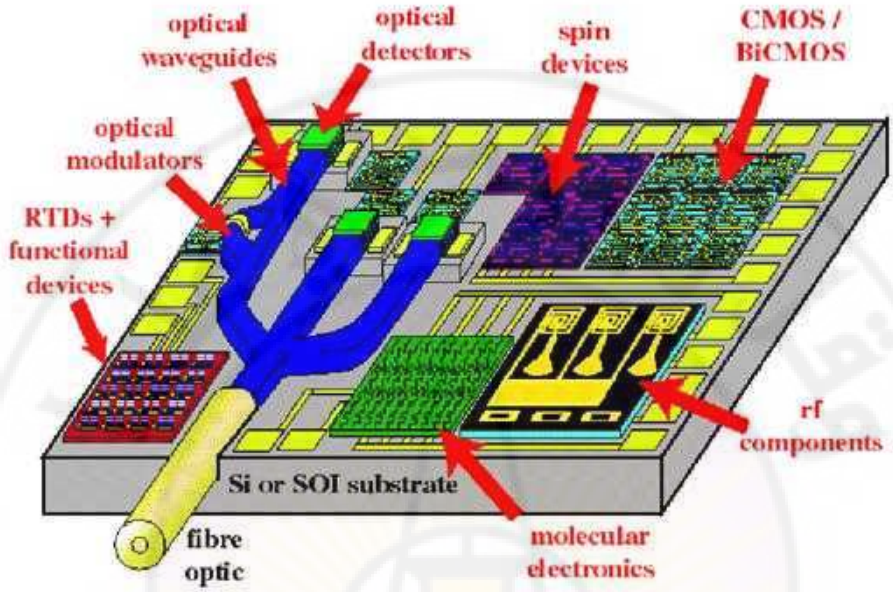
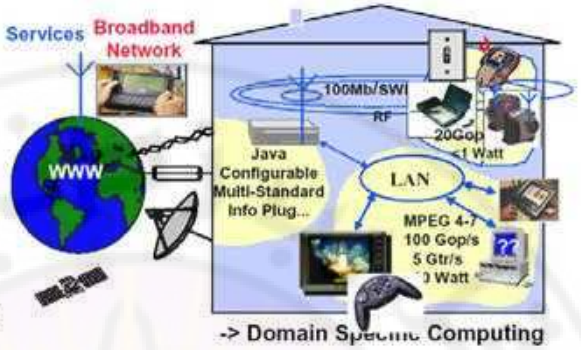


Figure 1.3:- The system-on-a-chip of the future? The ability to integrate new technologies with CMOS or BiCMOS is important but may be too expensive for some technologies or suffer technological problems such as crosstalk like rf solutions. MCMs may therefore be more cost effective for some technologies.

النظام الالكتروني المتكامل الوظائف على كسرة واحدة وقد حققت هذه الطريقة حلولاً ذات مردودية عالية في العديد من التطبيقات العلمية والعملية في كافة المجالات .

Market for Systems-on-a-Chip

Source:
Hugo De Man
EIS '99, Darmstadt



-> Domain Specific Computing

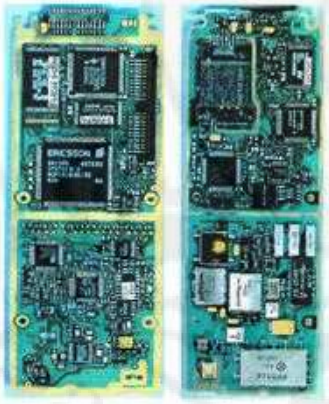
Area Examples:

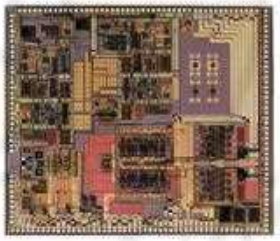
Multimedia
Mobile Communication
Automotive



Application: Single-Chip Integrated CMOS Radio

Berkeley Wireless Centre





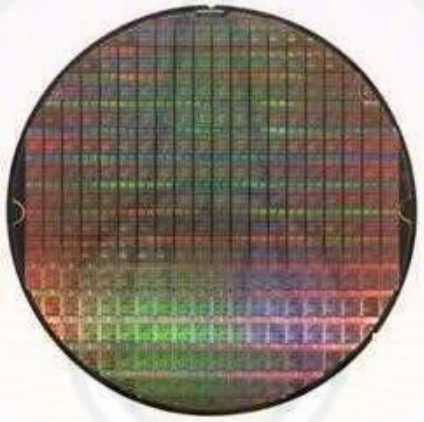
Conventional cellular Phone Solution

- Research into Technology and Design Methodologies for CMOS single Chip Radios
- Exploring future Applications of wireless Technology, 4th Generation and beyond

الفصـــل الثاني

تقنيات الدارات الالكترونية المتكاملة

Integrated Circuit Technique



1. تقنية طبقة الأفلام السميكة Thick film technique
2. تقنية طبقات الأفلام الرقيقة Thin film technique
3. الدارات المتكاملة بتقنية أنصاف النواقل Semiconductor Technology
4. تقنيات النظم الميكروية الالكترونية الميكانيكية MEMS

وقل رب زدني علما
Damascus University

2- تقنية الدارات الالكترونية المتكاملة
Integrated Circuit Technique

وفقا لما يمكن استنتاجه من الفصل الأول ، أنه في عقد السبعينات و الثمانينات تسارع تطور صناعة أنصاف النواقل وأدى ذلك إلى ظهور اكتشافات عديدة في كافة مجالات الحياة ، و لم تعد التقنية حكر على الأبحاث الفضائية أو العسكرية كما في البدايات بل طرحت الدارات المتكاملة في الأسواق للاستخدامات المدنية ، وتم ظهور الذواكر (Memory)، المعالجات الصغرية (Micro processors)، معالجات الإشارة الرقمية (DSP) ، و ظهرت شركات عملاقة متخصصة في إنتاج الدارات المتكاملة مثل : (Intel ، Motorola، Toshiba، IBM .....)

ومن المزايا والخواص المرافقة لتطور تقنية الدارات الالكترونية المتكاملة نجد :

- جمع عناصر كثيرة فعالة و غير فعالة في هيكل صغير جداً.
- ارتباط التطور بعدد العناصر الالكترونية المستخدمة و ثمنها.
- الكسرة (Chip) هي تجمع لآلاف العناصر الالكترونية في حيز صغير جداً.
- انخفاض استخدام العناصر الالكترونية المنفردة.
- تعقيد تصميم نموذج معين لدارة متكاملة ثم إنتاجها إذا زاد العدد عن 20000 لكل نوع ما عدا في المجالات العسكرية و أبحاث الفضاء.
- العلاقة بين صغر حجم الدارة و تصغير وزنها و بين التكلفة الصناعي

لقد قاد التطور التصنيعي في مجال الإلكترونيات المتكاملة ضمن مفهوم الميكرو الكترونيك والنانوالكترونيك إلى صناعة حديثة وعالية في الدقة مكنت من وضع

مئات أو آلاف بل وملايين من العناصر الالكترونية في حيز صغير جداً أطلق عليه اسم الكسرة Chip واظهر هذا التطور الإمكاني ة الغير محدودة لإنتاج الدارات المتكاملة مما أدى بالتالي إلى انخفاض استخدام العناصر الالكتروني ة العادية Discrete الفردية وأمكن الحصول على دارات متكاملة تقوم بأعمال لم يكن من الممكن تحقيقها دون وجود مثل هذه الدارات المتطورة جداً .

إن عملية تصميم نموذج معين للدارة التكاملية معقد ويتم تنفيذ ذلك أولاً (في مراكز الأبحاث ثم يتيح بعدئذ في المعامل إذا زاد العدد المطلوب من هذه القطع عن 20000 قطعة لكل نوع على الأقل) وطبعاً بغض النظر عن الاستعمالات الخاصة في المجالات العسكرية ومجالات الفضاء حيث لا تلعب التكلفة الدور الرئيسي في تنفيذ تصميم معين تكون الدارات التكاملية ثابتة النموذج.

ويحاول دائماً وهذا طبعاً (لراحة المستهلك ولسهولة المقارنة) التخفيف من التعقيدات المفروضة أثناء استخدامها .

إن متطلبات التطور العصري أدخلت التصميمات بحيث انه يمكن استخدام الدارات الالكترونية المتكاملة مع العناصر الالكترونية العادية Discrete وذلك للحصول على مجموعة من الدارات المتناسقة مع بعضها البعض لتأدية العمل المطلوب الذي يريده المصمم . وسيلاحظ أن عملية اختفاء أسلاك التوصيل بصورة تامة تقريباً بين العناصر الالكترونية له مردود جيد لرفع مستوى إمكانية وسهولة استخدام هذه الدارات في المجالات المختلفة .

إذا استثنينا استخدام الدارات المتكاملة في مجالات الفضاء ومجالات الحواسب الالكترونية وهما العاملان الأساسيان في تطور الدارات المتكاملة فـإنه توجد علاقة ترابط بين صغر حجم الدارات الالكترونية وتصغير وزنها وبين التكلفة الصناعية لإنتاج هذه الدارات المتكاملة واتصالها مع بعضها البعض بعناصر توصيل متناهية الصغر أو توصيل مباشر أحياناً مما أدى إلى ميزات كبيرة في نقل الإشارات بين العناصر المختلفة لتقليل حدوث تأثيرات مختلفة خارجية كانت أم داخلية على هذه الإشارة وكذلك إلى سرعة عالية في نقل المعلومات وبالتالي معالجتها .

تدخل الدارات الالكترونية المتناهية الصغر في عصرنا الحاضر تحت اسم الميكرو الكترونيك Microelectronics ومع التطور السريع أدخل المفهوم نانوتكنولوجي Nanotechnology أو النانوالكترونيك .

وتنقسم تقنية صناعة الدارات الالكترونية الميكروية إلى الأقسام التالية :

1 – تقنية طبقة الأفلام السميكة Thick film technique

2 – تقنية طبقات الأفلام الرقيقة Thin film technique

3 – تقنية الدارات التكاملية integrated circuit technique

4– تقنيات النظم الميكروية الالكترونية الميكانيكية MEMS

وسنتكلم عن هذه الأنواع باختصار ليكون المهندس على بينة من أمره عند التصميم والتنفيذ والاستثمار للدارات الالكترونية المختلفة .

1 - تقنية دارات طبقات الأفلام الرقيقة والسميكة :

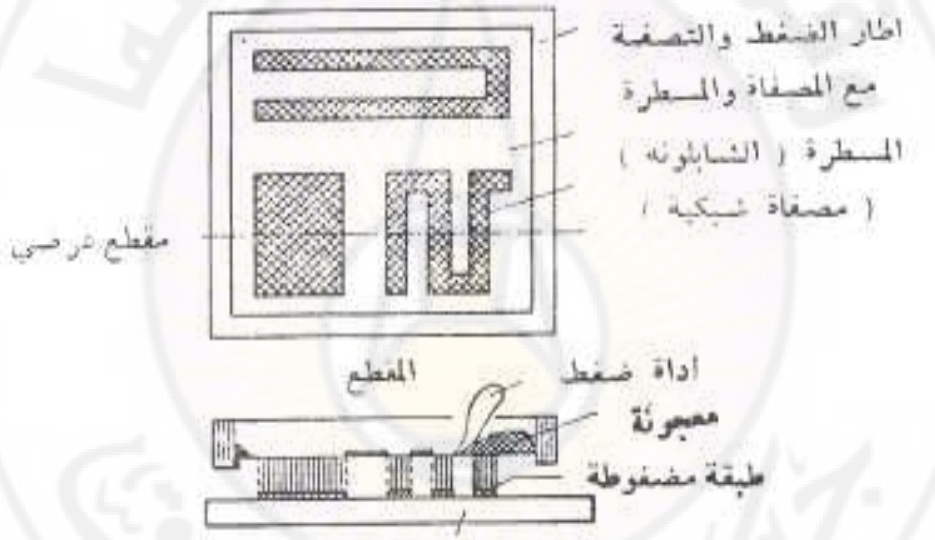
يمكن أن تصنف هذه الدارات ضمن مجموعة الدارات المتكاملة ذات درجة الاندماج الصغيرة SSI حيث تمثل مرحلة وسيطية بين الدارات الالكترونية المطبقة على اللوحات المطبوعة باستخدام عناصر متفردة والدارات المشكلة بتقنية أنصاف النواقل ، وتصنع بشكل عام ، كما سنرى ، ب وضع طبقات متعددة من مواد خاصة على قطعة عازلة تكون غالباً من (الزجاج أو السيراميك) ذات مساحة من 1 مم مربع إلى 10 مم مربع وتعالج هذه الطبقات إما بواسطة التبخير وهذا ما يطلق عليه تقنية الأفلام الرقيقة أو بواسطة الضغط وهذا ما يسمى تقنية الأفلام السميكة

1 2 - تقنية الأفلام السميكة Thick Film :

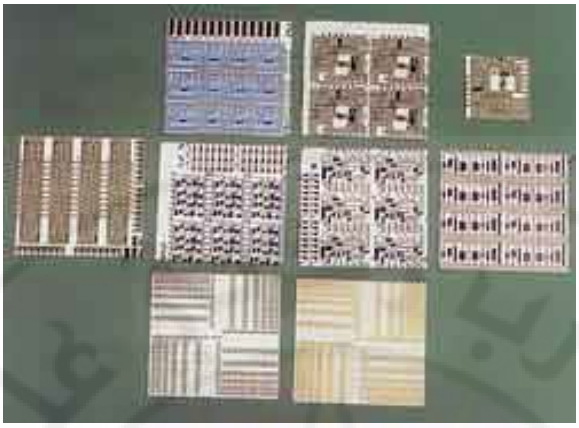
إن تقنية الأفلام السميكة تعتبر تطوراً منطقياً للدارات المطبوعة و تتكون مبدئياً من قاعدة أساسية من السيراميك ، وبالاستعانة بمصفاة خاصة يمكن وضع طبقات مختلفة من معجونة معينة بسماكات محدودة تتراوح بين 3-40 micro-meter كما في الشكل (1–2) وذلك بأشكال مختلفة وبتسلسل إنتاجي مدروس فيتكون نتيجة لهذه العملية ، حسب درجات الحرارة التي تعرض لها هذه المواد والتي تزيد عن 1150 درجة مئوية ، مقاومات ، طبقات عزل ، طبقات توصيل .

إن عمليات الإنتاج تتم بشكل عام باستخدام مساطر خاصة Schablonen تم إنتاجها لهذا الغرض .

تصنع هذه المساطر من البرونز أو الحديد وتتكون شبكات الفتحات من نسيج معدني بكثافة 1000 lin/cm² و بسماكة 0,03– 0,05 ملم، متصلة بإطار يمكن شدها بواسطته لتأخذ الوضع العملي الملائم لتمرير المعجونة من خلالها إلى قاعدة السيراميك .



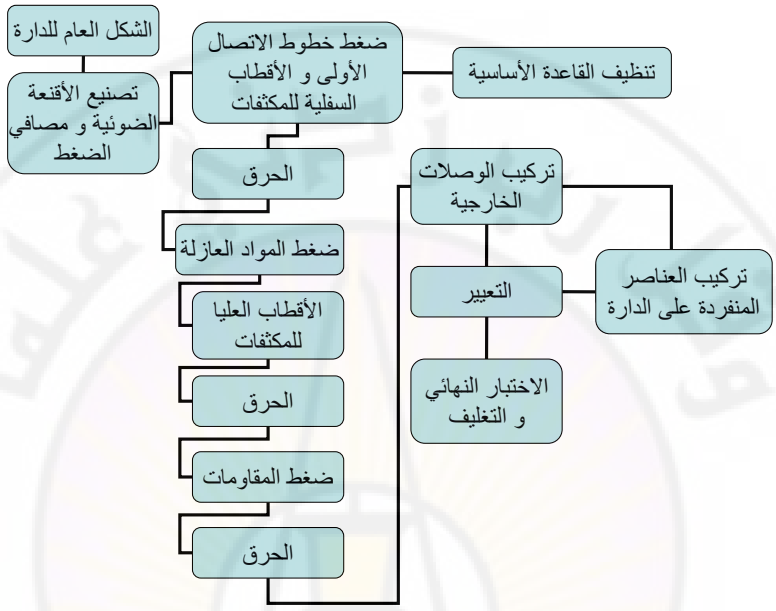
الشكل (1–2) مبدأ ضغط المعجونة عبر المصفاة للتصنيع بالتقنية السميكة



والشكل (2-2) عناصر غير فعالة مقاومات أو مكثفات مصنعة بطريقة الأفلام السميكة على شريحة من البورسلان .

ويبين المخطط العام شكل (3-2) خطوات التصنيع الأساسية لهذا النوع من الدارات .

خطوات تصنيع دارات الطبقات السميكة



الشكل (3–2) خطوات التصنيع الأساسية لدارات الطبقات السميكة

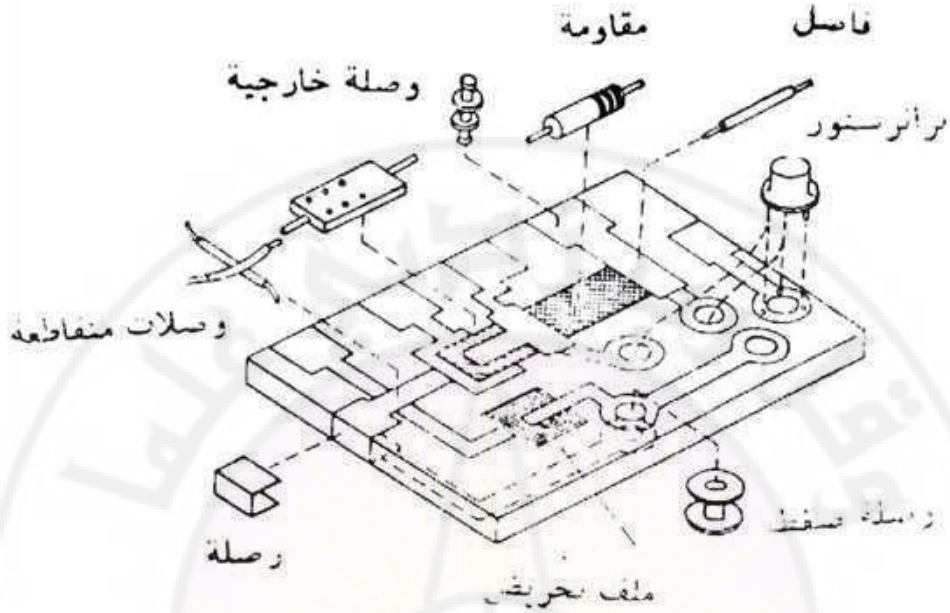
كمادة قاعدة أساسية substrate يتم استخدام أوكسيد الألمنيوم والقليل من مواد السيراميك لتكوين مجموعة ذات ناقلية عالية للحرارة وذات صلابة ميكانيكية جيدة

المعجونة المستخدمة في تصنيع هذه الدارات تتكون عادة من أوكسيد معدني – معدن – بودرة زجاج خاصة كذلك يضاف إليها مواد عضوية (مواد انحلالية للمحافظة على لزوجة معينة للمعجونة المستخدمة أثناء ضغطها عبر الشبكة) و تكون هذه المعجونة عادة :

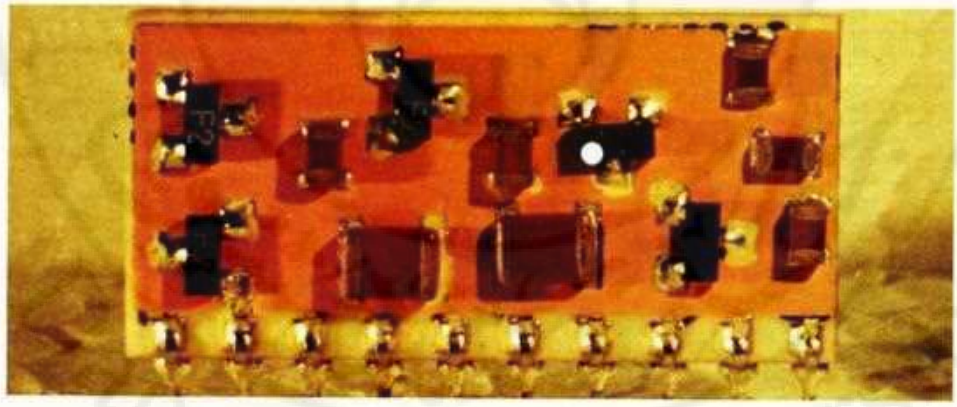
1. معجونة المقاومات ذات مقاومة سطحية □/Ω 100-10.

2. معجونة خطوط الاتصال من الفضة أو البالاديوم أو الذهب و تكون مقاومتها السطحية □/Ω 0.1-0.01.
3. معجونة طبقات العزل وأماكن التقاطع ومادة العزل بن المكثفات .

وبعد عملية التسخين تكون المواد المحقونة ذات خلوص كبير يصل في بعض الحالات إلى 50 % من القيمة الاسمية ، ومن خلال عمليات التعيير يمكن خفض هذا الخلوص لكي تأخذ العناصر المصنعة قيمتها النظامية ، وتتم هذه العملية ، في الغالب، آلياً بواسطة شعاع قطع ليزري ، ويتم في النهاية وضع العناصر المتفردة التي تكون غالباً عناصر فعالة أو ملفات أو مقاومات خاصة وتعيير المجموعة من جديد للحصول على النتائج الوظيفية المحددة للدارة الإجمالية .
يتم أخيراً تغليف الدارة بشكل كامل ويكون هذا التغليف إما معدنياً أو سيراميك أو مواد أخرى ملائمة . والشكل (4–2) يبين بشكل تصويري إحدى الدارات ذات تقنية الطبقات السميكة مع العناصر الأساسية وكيفية التوضع بشكل عام .



الشكل(4-2) تصوير تخطيطي لدارة مصنعة بتقنية الطبقات السميكة



الشكل (5-2) دارة حقيقية مصنعة بتكنولوجيا الطبقات السميكة مع إضافات خارجية

2-2-تقنية الأفلام الرقيقة Thin Film :

إن الاختلاف الأساسي بين تقنية الطبقات السميكة والرقيقة يمكن فهمه من خلال الفقرات التالية :

2-2-1- إن الزجاج أكثر استخداماً من السيراميك حيث تكون مساحة القاعدة ($1\times1cm^2$؛ 5×5) و سماكته 0.2 – 0.8 ملم. و تكون قدرة التسرب الحراري أقل إلا أن السطوح أكثر نعومة 1µm.

2-2-2- يتم الحصول على الطبقات المختلفة (معدن – عازل-) بطرق تبخير كيميائية مختلفة في جو خلائي حيث يتم الحصول على السماكات المختلفة حسب التصميم المطلوب.

2-2-3- تصنع الطبقات المكونة لمساري المقاومات و الأقطاب وفقاً لطرق الحك الكيميائي المعروفة في الدارات المطبوعة.

2-2-4- في الغالب يتم استخدام 6 ستة أقنعة مختلفة وستة مراحل تبخير وذلك وفقاً للتالي :

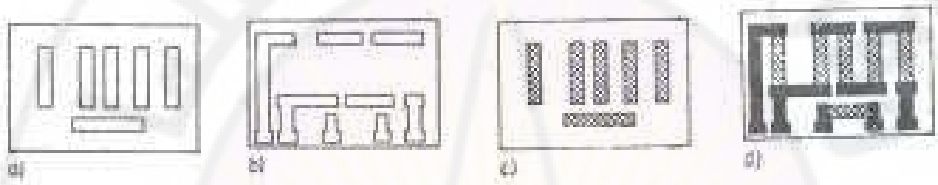
1- القناع الأول يمثل طبقة المقاومة Ni Cr
2- القناع الثاني يمثل أقطاب المكثفات من الألمنيوم Al
3- القناع الثالث عازل من أوكسيد السليكون بين طبقات المكثفات SiO2

4 ـ القناع الرابع أقطاب المكثفات AL

5 ـ القناع الخامس خطوط الاتصال Ni Cr ،

6 ـ القناع السادس طبقة ناقلة من الذهب.

إن عمليات التبخير المختلفة تتم بالاعتماد على الأقنعة الخاصة لكل مرحلة ويبين الشكل (6–2) أسلوب تغيير الأقنعة اللازمة لتصنيع المقاومات من خلائط الـ Ni Cr



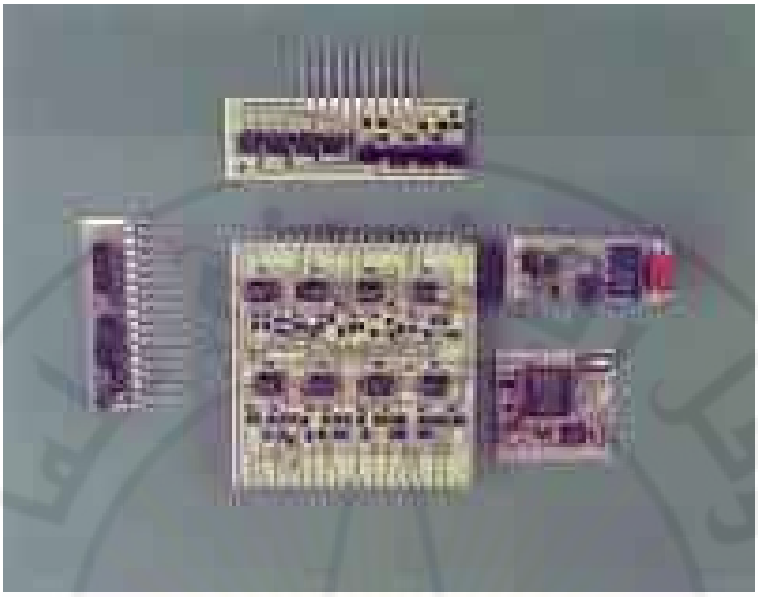
الشكل (6 – 2) الأقنعة لعمليات التصنيع بتقنية الأفلام الرقيقة

a) القناع الخاص لتصنيع المقاومات

b) قناع وصل المقاومات ونقاط الاتصال الخارجية .

c) المقاومات الناتجة بالتبخير فوق القاعدة الأساسية .

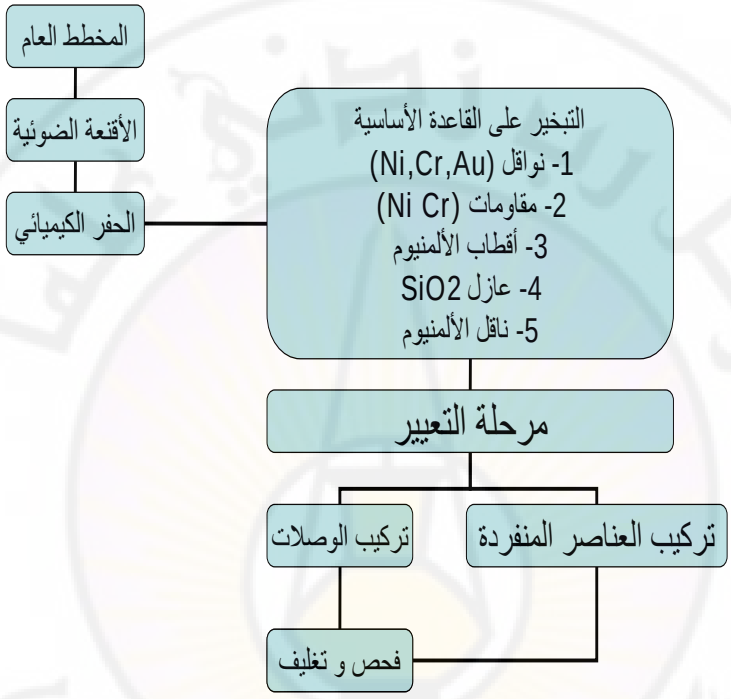
d) القاعدة الأساسية بعد حصول عملية التبخير الكاملة لتصنيع المقاومات وخطوط الاتصال .



الشكل (7-2) عناصر الكترونية مصنعه بتقنية الأفلام الرقيقة مع عناصر إضافية فعالة لتكون نظام الكتروني متكامل الوظيفة .

كذلك يبين المخطط في الشكل (8-2) خطوات الإنتاج المختلفة لتصنيع الدارات الالكترونية بتقنية الطبقات الرقيقة .

مخطط تصنيع دارات الطبقات الرقيقة



الشكل (8–2) خطوات الإنتاج المختلفة لتصنيع الدارات الالكترونية بتقنية الطبقات الرقيقة

.

3 2 - الدارات المتكاملة بتقنية أنصاف النواقل

Semiconductor Technology

إن تطور الدارات المتكاملة في السنوات الأخيرة قد أوصل العاملين في هذا المجال للحصول على دارات متناهية الصغر وسريعة الاستجابة بالعمل وكذلك إلى تقليل الاستطاعة الضائعة بالإضافة إلى درجة عالية جداً من التكامل .

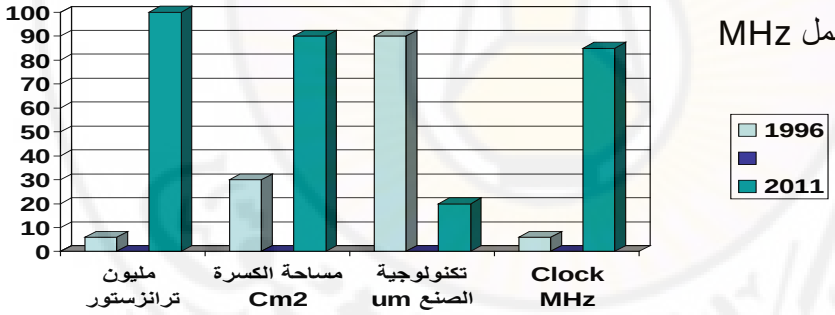
تطور تقنية التصنيع في الفترة 1996-2011

1- عدد الترانزستورات في الكسرة (chip)

2- مساحة الكسرة Cm^2

3- تكنولوجيا الصنع µm

4- تردد العمل MHz



يتوقع أن يصبح عدد الترانزستورات 1مليار في معالج Pentium و بجهد تغذية 1.8V

الشكل (9-2) العلاقة بين مساحة الكسرة والمسماة Chip وعدد العناصر المتواجدة فيها وتزايد السرعة ابتداء من عام 1996 ولغاية 2011.

ويلاحظ التزايد الخطي لمساحة المكسرة Chip area والتزايد الأسي Exponential لعدد العناصر وبالتالي يمكننا أن نتصور مدى ازدياد مستوى التكامل لهذه الدارات

وبالمقارنة مع العناصر الالكترونية العادية ف إن تكاليف صناعة الترانزستورات والثنائيات في الدارات المتكاملة يعتبر رخيصاً جداً .

أما صناعة المقاومات والمكثفات فتكون ذات تكلفة أعلى ومن الملاحظ أيضاً أن المساحة اللازمة للمقاومة على المكسرة كبيرة نسبياً بالمقارنة مع أنصاف النواقل، أضف إلى ذلك أن المقاومات وصناعتها في الدارات المتكاملة يمكن أن يكون بسماحية تصل أحياناً حتى 15 to 20% وبالمقابل فإن الترانزستورات والثنائيات تعتبر مناسبة جداً للدارات المتكاملة لذلك ف إنه في صناعة الدارات الرقمية Digital والتمثيلية Analog يسعى دائماً إلى تقليل عناصر المقاومات الأومية أما عدد العناصر الفعالة نصف الناقلة فهو غير محدود تقريباً .

إن التكلفة العالية في صناعة الدارات التمثيلية Analog وكذلك السماحية العالية في صناعتها أدى إلى أن عدد هذه الدارات نسبياً أقل منه بالمقارنة مع الدارات الرقمية Digital ومعظم العناصر التمثيلية شيوعاً هي دارات المضخمات الفعالة (OP) ؛ المضخمات التفاضلية ؛ دارات المقارنة ؛ دارات تنظيم الجهد ؛ بالإضافة إلى دارات CCD ؛ ودارات التضخيم ذات الاستعمالات الخاصة والحاجة لدارات متكاملة تمثيلية يتطلب تطور هذا القسم والاختصاص ؛ وزيادة إمكانية إنتاجه في السنوات القادمة .

تظهر الاستخدامات الأساسية للدارات المتكاملة في وقتنا الحاضر في مجال تقنية الدارات الرقمية Digital logic Circuits ؛ حيث تتوفر هذه الدارات بأنواع ومجموعات (عائلات) مختلفة وعديدة خصوصا دارات الـ Transistor- TTL Transistor Logic التي تطورت تطوراً سريعاً في السنوات الأخيرة لتأمين متطلبات وحاجيات الأسواق العالمية الاستثمارية والبحثية .

إن حدود استخدام الدارات التكاملية تتوقف على المواصفات الفنية وعلاقتها الاقتصادية حيث يوجد قيم متوسطة يجب أن تتحقق بينهما ، كمثال على ذلك الترانزستورات في الدارات المتكاملة التي جهد انحيازها العكسي أكبر من 20 فولت ، من الناحية التقنية ممكن صناعتها ، ولكن ذلك يتطلب مساحة كبيرة وطبقات عزل أكثر سماكة كما أن طبقات أنصاف النواقل لهذا الغرض تعد من الناحية الاقتصادية غالية الثمن جداً .

إن التعقيدات العالية في تصنيع الدارات المتكاملة تتحدد بالتكلفة الاقتصادية ، فمع زيادة درجة التكامل Integration levels للدارات الالكترونية تتناقص سرعة رواجها في السوق التجارية حيث أن مستخدميها يكونوا قليلين جداً ،
إن عناصر التحدي الأساسية في تطوير الدارا ت الالكترونية وانتشارها يعتمد بشكل أساسي على :

- التكلفة Cost
- الموثوقية Reliability
- درجة التكامل Scalability

- السرعة (التأخير الزمني ، تردد العمل) Speed
- الاستطاعة المبددة Power dissipation
- الطاقة اللازمة للأداء الوظيفي المطلوب Energy to perform function

ومن أجل نظامية الاستخدام وسهولته وأخذ العامل الاقتصادي بعين الاعتبار ، فقد تم تقسيم الدارات المنطقية الرقمية اعتماداً على دارتها الأساسية ، التي هي بوابة NAND ، إلى عائلات مختلفة وفقاً للجدول التالي الشكل (10 – 2) الذي يبين خواصها الأساسية .

الخواص الأساسية للعائلات المتكاملة

العائلة	المنطق	تكلفة البوابة	التأخير الزمني	الاستطاعة الضائعة	جهد الضجيج	تحميل الدخل	تحميل الخرج
DTL	NAND	متوسطة	25 ns	15 mw	0.7 V	8 mw	8 mw
TTL	NAND	متوسطة	10 ns	20 mw	1 V	8 mw	12 mw
RTL	NOR	متوسطة	50 ns	10 mw	0.2 V	3 mw	4 mw
RCTL	NOR	مرتفعة	30 ns	10 mw	0.2 V	3 mw	4 mw
DCTL	NOR	منخفضة	15 ns	10 mw	0.2 V	3 mw	3 mw
ECL	OR NOR	مرتفعة	1 ns	50 mw	0.4 V	5 mw	25 mw
CTL	AND OR	مرتفعة	5 ns	50mw	0.4 V	5 mw	25 mw
MOS CMOS	NAND LSI	منخفضة جدا	25 ns	<1 mw	2.5 V	-	5 mw
LPS	NAND LSI	منخفضة	7 ns	4 mw	1 V	2 mw	40 mw
I^2L	VLSI	منخفضة	25 ns	10 µw	~1 V	0.2mw	4 mw
ESFI	VLSI	منخفضة	5 ns	50 µw	~2.5 V	-	2 mw
SOS	VLSI	منخفضة	5 ns	50 µw	~2.5 V	-	2 mw
MTL	VLSI	منخفضة	0.8 ns	1 µw	~1 V	0.2mw	.2 mw

الشكل (2–10) مقارنة أنواع الدارات المختلفة والاستطاعة المستهلكة من قبل كل دارة وكذلك التأخير الزمني لكل نوع من هذه الأنواع .

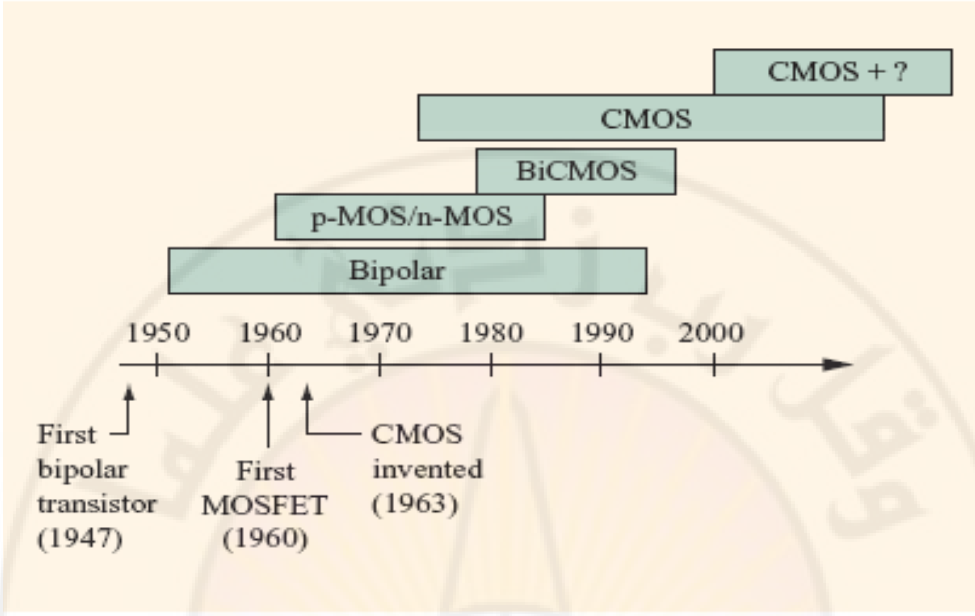
هذا وقد تم أيضا تصنيف الدارات الالكترونية المتكاملة وفقاً لدرجة الاندماج الشكل (2–11)

تصنيف الدارات المتكاملة وفقا لدرجة الاندماج

الصفة الاندماجية	عدد العناصر المتواجدة في الكسرة الواحدة	مثال في الاستخدامات الرقمية	مثال في الاستخدامات التمثيلية
1-عناصر منفردة Discret	1	ترانزستورات عادية و حقلية	
2-اندماج درجة صغيرة SSI	1-100 20 Gates	-عناصر دارات أو -عناصر عواكس -وحدات تخزين -بوابات منطقية	-وحدات تضخيم مفردة عناصر أساسية في الدارات الخطية (مضخمات تفاضلية) -وحدات تضخيم بسيطة
3-اندماج درجة متوسطة MSI	100-1000 20-200Gates	-عدادات- مسجلات -جامع – كاشف -وحدات المزج -مسجلات ازاحة -مقارنات -وحدات الحساب المنطقية ALU	-مضخم عمليات -دارات الاستقبال AM-FM
4-اندماج درجة عالية LSI	1000-10000 200-5000Gates	-مجموعات تخزين شغالات ميكروية RAM-ROM -وحدات الحاسبات الالكترونية الجيبية -وحدات توليد التوابع الرياضية	محولات D/A, A/D وحدات هجينة رقمية و تمثيلية مصنعة عل نفس الكسرة الالكترونية -مجموعات معاجة المعلومات الآلية
4-اندماج درجة عالية جداً VLSI	10,000-100,000 Over 5000 Gates	-الحاسبات الميكروية -الذاكرات ذات السعات العالية	
اندماج عالي الدرجة VVLSI	>100,000	-مجموعات الحساب -وحدات الذاكرات ذات السعات العالية جداً	

الشكل (11 – 2) تصنيف الدارات المتكاملة وفقاً لدرجة الاندماج

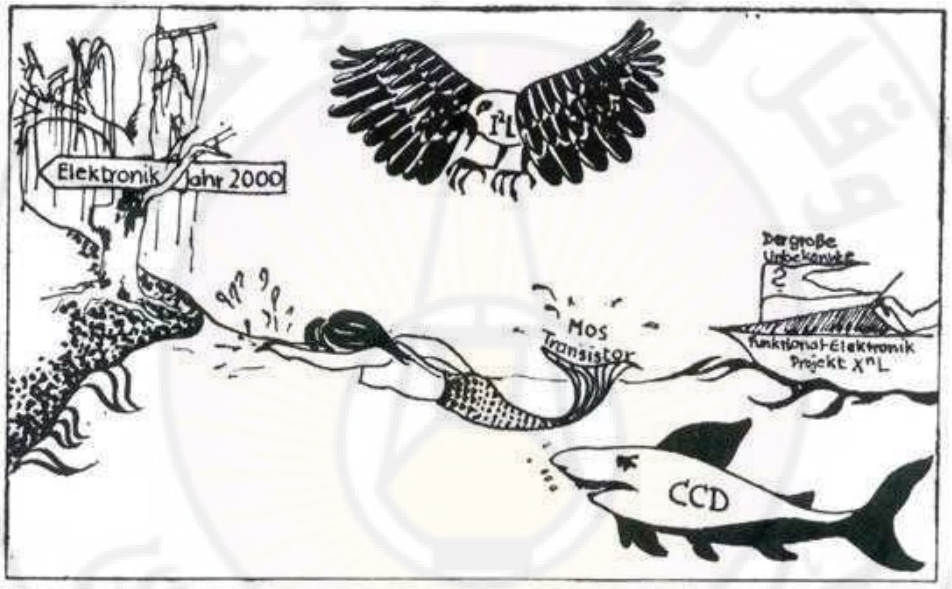
إن هذا النوع من التصنيف بقي سارياً إلى أواخر التسعينات تقريباً ، حيث تبدلت التكنولوجيا وأصبح التصنيف يعتمد على سلم التقنية للتصنيع في مجال الميكروالكترونيك وتطوره إلى مجال النانوتكنولوجي ، وأصبحت الدارا ت الالكترونية المتكاملة بتقنية الـ MOS هي المسيطرة في التصنيع والتطوير الشكل (12–2)



الشكل (12–2) تغير تقنية وتصنيف الدارات المتكاملة وفقا لتطور تقنية الترانزستورات المكونة لهذه الدارات .

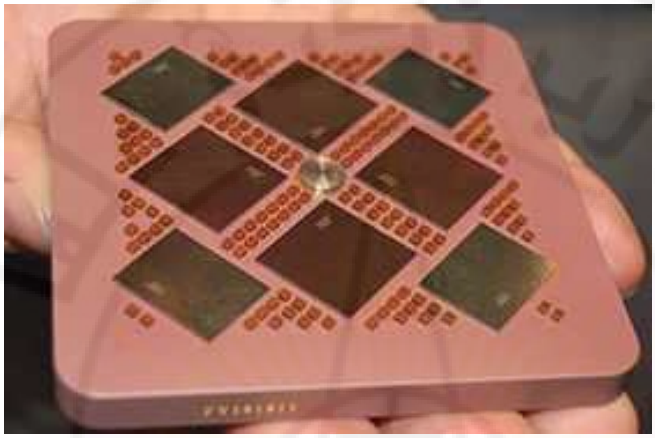
علماً بأن المبادئ التقنية الأساسية للتصنيع هي واحدة لكافة التصنيفات في مجال إنصاف النواقل وهذا سنشاهده خلال الفصول القادمة وسنرى أن تقنية الـ MOS تتميز عن تقنية الـ Bipolar بسهولتها وبساطتها إضافة إلى مزايا أخرى في مجال استخدامها وخصوصاً من حيث تعدد الوظائف وقلة الاستطاعة المستهلكة وزيادة درجة الاندماج ، مما أدى إلى توسع انتشارها ، لذلك ستكون الدراسة القادمة تشتمل كلا النوعين .

وكان التصور المقارن بين التقنيات المختلفة بشكل تصور أولي وفقا للشكل (12-2) وهذا التصور لا يزال قائماً بعد العام 2000 .



الشكل (12-2) التصور للتطوير التقني قبل عام 2000 ويلاحظ أنه لازال قائماً رغم التطور الكبير في مجال الـ MOS وكذلك في مجال الـ CCD إلى ما بعد عام 2000 .

4 2- الدارات المتكاملة متعددة الكسرات MCM , Multi-Chip Module (MCM)



POWER5 MCM with four processors and four 36 MB external L3 cache modules on a ceramic substrate

A **Multi-Chip Module (MCM)**:

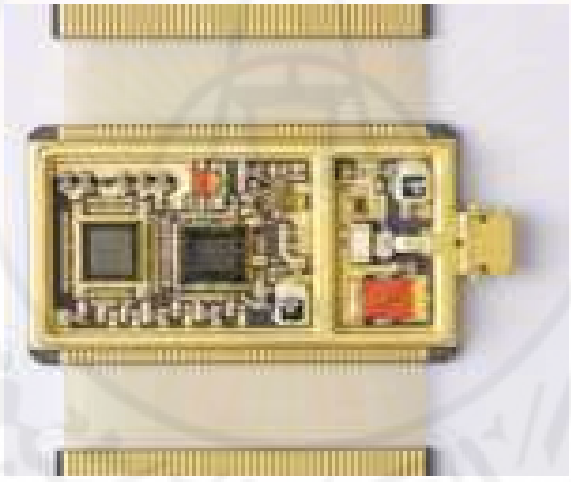
is a specialized electronic package where multiple integrated circuits (ICs), semiconductor dies or other modules are packaged in such a way as to facilitate their use as a single IC. The MCM itself will often be referred to as a "chip" in designs, thus illustrating its integrated nature.

Multi-Chip Modules come in a variety of forms depending on the complexity and development philosophies of their designers. These can range from using pre-packaged ICs on a small printed circuit board (PCB) meant to mimic the package footprint of an existing chip package to fully custom chip

packages integrating many chip dies on a High Density Interconnection (HDI) substrate.

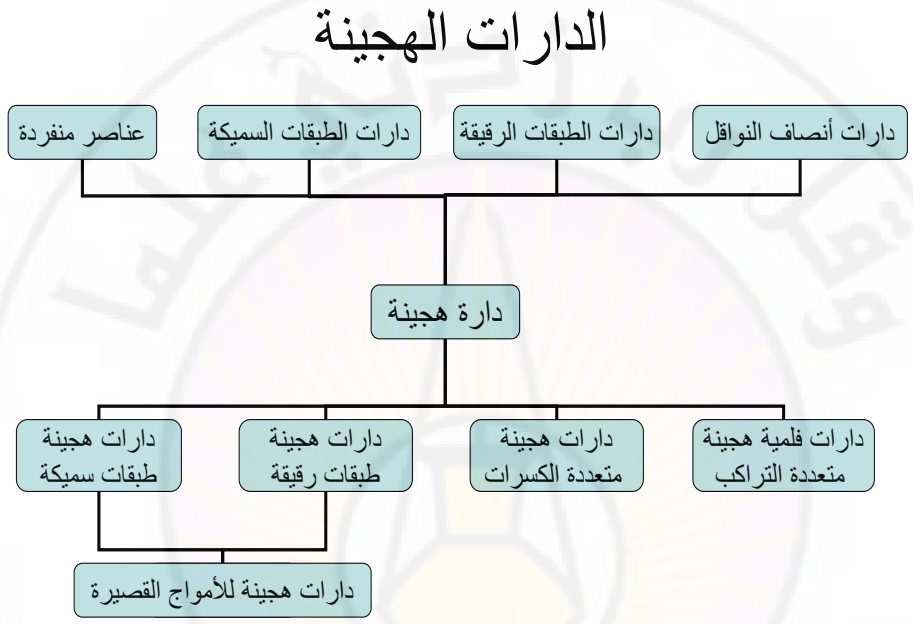
Multi-Chip Module packaging is an important facet of modern electronic miniaturization and micro-electronic systems. MCMs are classified according to the technology used to create the HDI (High Density Interconnection) substrate.

2-5-الدارات الهجينة Hybrid Circuits :



إن الدارات المختلفة سواء ذات الطبقات السميكة أو الرقيقة لا يمكن أن تستخدم لتؤدي عملاً كاملاً، وإنما يضطر باستمرار إلى إضافة عناصر مختلفة إلى هذه الدارات وتسمى الدارة بوضعها الجديد الدارة الهجينة Hybrid Circuits وإن هذه التسمية ليست مقصورة على هذا النوع من الدارات وإنما يتعداه ليطلق أيضاً على تقنيات الدارات المتكاملة بتكنولوجيا أنصاف النواقل ، ويبين الشكل (13-2)

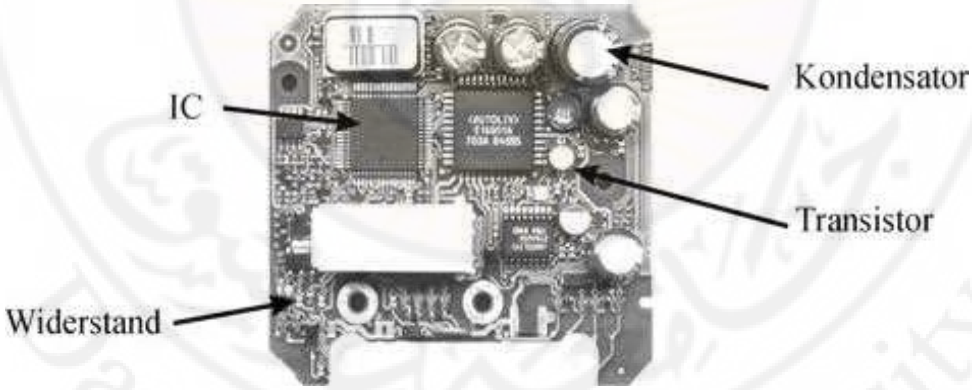
التزاوج بين التقنيات المختلفة للحصول على الدارات الهجينة للاستخدامات المختلفة .

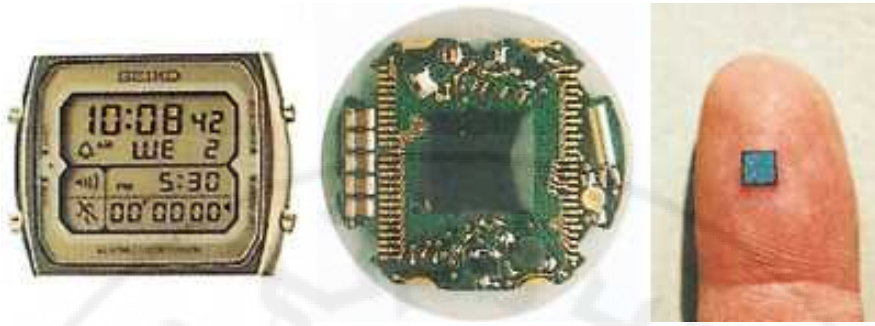


الشكل (13–2) التزاوج بين التقنيات المختلفة للحصول على الدارات الهجينة للاستخدامات المختلفة .

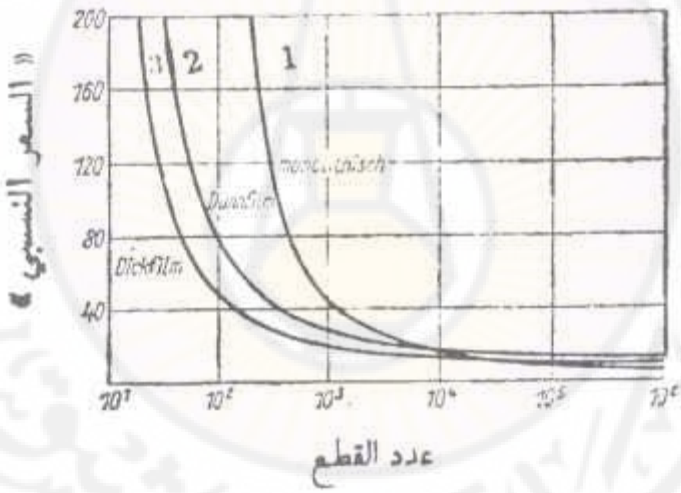
وبصورة إجمالية فإن هذه الدارات يدخل فيها تركيب العناصر الالكترونية من ديودات وترانزيستورات بصورة مباشرة وتتناسب معها وتعطي بالتالي ما يسمى بدارات الهايبرد ؛ وأهم مزايا هذه الدارات هي الإمكانيات الالكترونية السهلة والنوعية الجيدة التي تقدمها في كافة مجالات الجهود والتيارات والترددات وحيث يكون أحيانا

استعمال الدارات IC صعباً بسبب الشروط المحددة أو حتى بسبب السعر أحياناً كما ويمكن استخدام دارات الهايبرد مع دارات IC على قطعة واحدة بصورة كبسولة او غير كبسولة بواسطة قضبان توصيل وتسمى الدارة الإجمالية في هذه الحالة أيضاً بـالدارة الهجينية ، وتعد هذه الدارات ذات أهمية بالغة في مجال الاستخدامات التمثيلية Analog وذلك بسبب إمكانية الحصول على دقة عالية حوالي % 0.1 لقيم المقاومات وتزيد عن % 0.1 بالنسبة للمكثفات وكذلك توفر إمكانية إدخال عناصر الكترونية مصنوعة مسبقاً إلى هذه الدارات . وبصورة إجمالية يمكن القول أن تقنية الدارات المختلفة لا يبتعد كثيرا عن بعضه البعض وإنما يتمم احدها الأخر وبالتالي ففي عملية التصميم يلعب الدور الأساسي كيفية اختيار العنصر المعين بتكنولوجيا معينة لجزء ما من الدارة مع الأخذ بعين الاعتبار العوامل الاقتصادية والتقنية .





الشكل (14–2) نموذج لدارة هجينة تشكل ساعة رقمية



الشكل (15–2) يبين منتجات مقارنة للسعر النسبي إلى عدد القطع الناتجة في حالات تقنية الدارات الالكترونية الثلاث :

1- IC دارة تكاملية .

2- دارة الهايبرد ذات تقنية الأفلام الرقيقة .

3 - دارة الهايبرد ذات تقنية الأفلام السميكة .

من الشكل (15–2) نستنتج أن الدارات المتكاملة تكون اقتصادية عندما يزيد عدد القطع المنتجة عن 20000 قطعة .

ويلاحظ أن تقنية دارات الهايبرد ذات الأفلام الرقيقة أكثر صعوبة بالمقارنة مع نظيرتها ذات الأفلام السميكة مما يؤدي إلى زيادة التكلفة بالنسبة لنفس عدد القطع المصنعة.

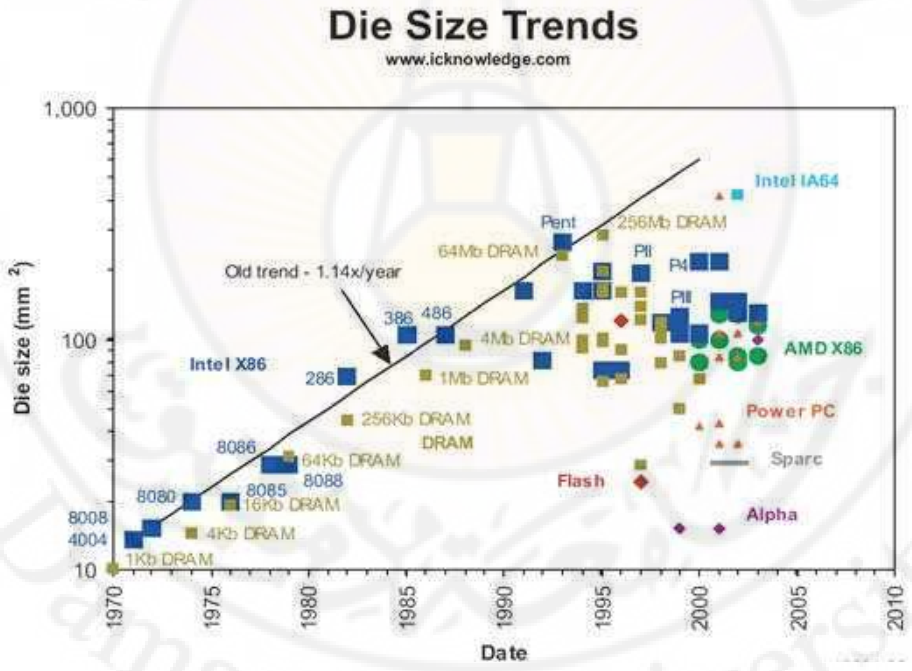
إن عناصر الهايبرد بنوعيها تستخدم بكثرة في الدارات الالكترونية وبسبب ميزاتها الكثيرة فـإن نسبة استخدامها المتعددة تزداد ويحتمل أن يستمر هذا الازدياد في المستقبل في كافة أصناف الدارات الالكترونية ؛ إن معظم دارات الهايبرد المستخدمة هي دارات الهايبرد ذات تقنية الأفلام السميكة وذلك لرخص ثمنها علماً بأنها تستخدم خواص ضغط متعددة في مراحل تنفيذ هذه الدارات . ولكن من أجل الدقة العالية جد اً في صناعة المقاومات وعدم اختلافها بتغيرات الحرارة تستخدم دارات الهايبرد ذات التقنية الرقيقة كما هو الحال بالنسبة لدارات المرشحات الفعالة Active Filter .

2–6– العناصر الأساسية الهامة في تصنيع الدرات المتكاملة بتكنولوجيا انصاف النواقل :

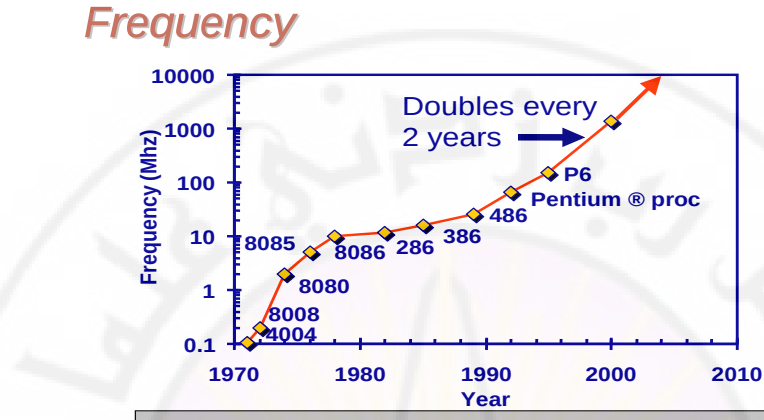
كما ذكرنا في مقدمة هذا الكتاب فإن تكنولوجيا التصنيع للدارات الالكترونية المتكاملة تتطور باستمرار وتخضع بشكل عام لقانون مور الذي يحدد التزايد بعدد

العناصر بمعدل يقترب من الضعف كل عامين ، إن الازدياد بعدد العناصر ذو فائدة كبيرة من حيث تعدد الوظائف ولكن هناك محددات لابد من تؤخذ بعين الاعتبار بالنسبة لكل من المصنع والمستثمر ، ويلعب التطور التقني مع الزمن دورا أساسياً في تذليل الصعوبات بحيث يمكننا حسب الإشكال التالية أن نأخذ الفكرة الإجمالية عن هذا التطور ومدى تسارعه وماهيةِ محدداته :

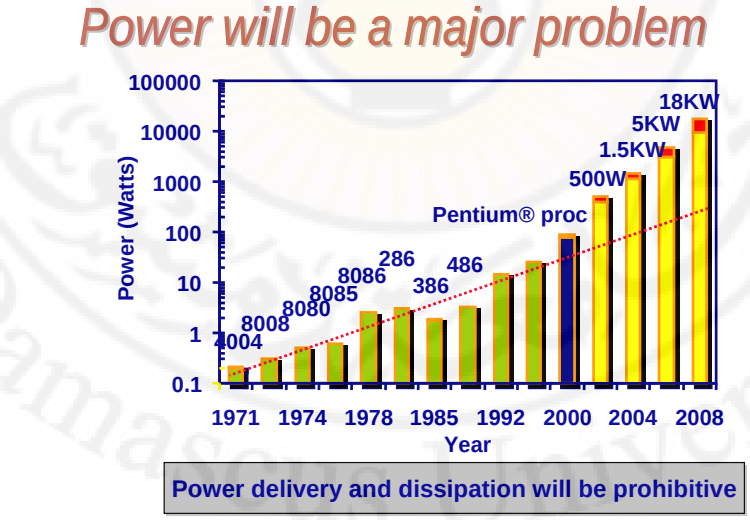
2-6-1-تزايد مساحة الكسرة مع الزمن:



2 6 2 -تزايد التردد للمعالجات مع الزمن :

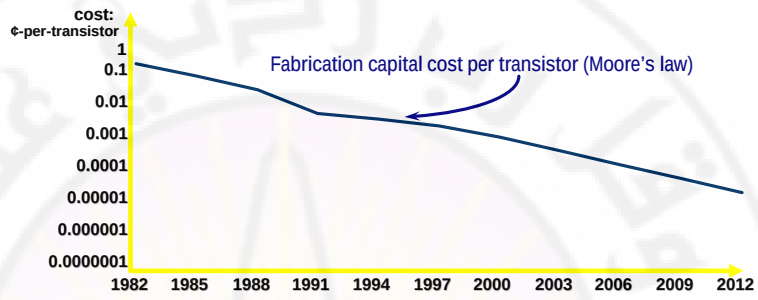


2-6-3-الاستطاعة



2-6-4-التكلفة للترانزيستور الواحد في الدارة المتكاملة

Cost per Transistor



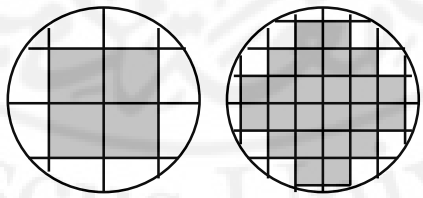
2-6-5- مردود الشريحة الالكترونية في التصنيع :

Yield

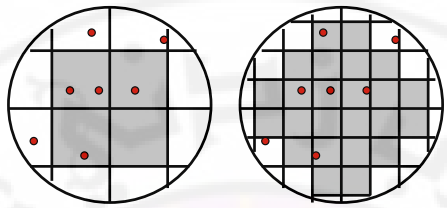
$$Y = \frac{\text{No. of good chips per wafer}}{\text{Total number of chips per wafer}} \times 100\%$$

$$\text{Die cost} = \frac{\text{Wafer cost}}{\text{Dies per wafer} \times \text{Die yield}}$$

$$\text{Dies per wafer} = \frac{\pi \times (\text{wafer diameter}/2)^2}{\text{die area}} - \frac{\pi \times \text{wafer diameter}}{\sqrt{2 \times \text{die area}}}$$



Defects



$$\text{die yield} = \left(1 + \frac{\text{defects per unit area} \times \text{die area}}{\alpha}\right)^{-\alpha}$$

α is approximately 3

$$\text{die cost} = f(\text{die area})^4$$

Damascus University

2-6- تقنية الـ MEMS (Micro Electronic Mechanic System)

إن تقنية الـ Micro Electronic Mechanic System والمختصر بالرمز MEMS تمثل تكامل العناصر الميكانيكية مثل الحساسات sensors مع الأنظمة أو العناصر الالكترونية الدقيقة والتي تصنع جميعها على شريحة من السليكون بنفس طريقة التصنيع للدارات الالكترونية المتكاملة بتكنولوجيا أنصاف النواقل مع إضافات ميكانيكية دقيقة بحيث تشكل نظام متكاملاً على الشريحة .

تستخدم هذه الدارات في الصناعة وخصوصاً صناعة السيارات ، الصناعات العسكرية ، والعلوم الحيوية ، والتطبيقات المدنية المختلفة .

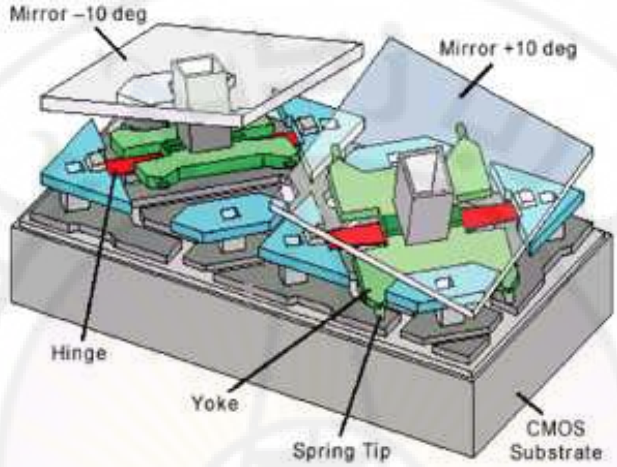
إن تقنية الـ MEMS تطورت بسرعة ومنذ البداية استخدمت لصناعة الحساسات Pressure Transducer وخصوصاً للبالون الهوائي airbag في السيارات وفي تجهيزات الطيران .

ومن الاستخدامات الأخرى لعناصر الـ MEMS في مجال الاتصالات للجهاز الخلوي وفي الصناعات الطبية مستشعرات قياس ضغط الدم Blood Pressure وكواشف الـ DNA DNA Detector on Chip

إن تقنية الـ MEMS هي تقنية واعدة تسمح بتطوير العديد من المنتجات عن طريق تضمين شريحة السيلكون تقانة الالكترونيات الدقيقة والتقانة الميكانيكية الدقيقة بحيث نستطيع تحقيق نظام كامل على شريحة سليكونية واحدة .

في نظام الـ MEMS يتم تشبيه الدارات الميكروميكانيكية المتكاملة بدماغ النظام والحساسات الميكروية بعين النظام والمحركات الميكروية بذراع النظام حيث تقوم

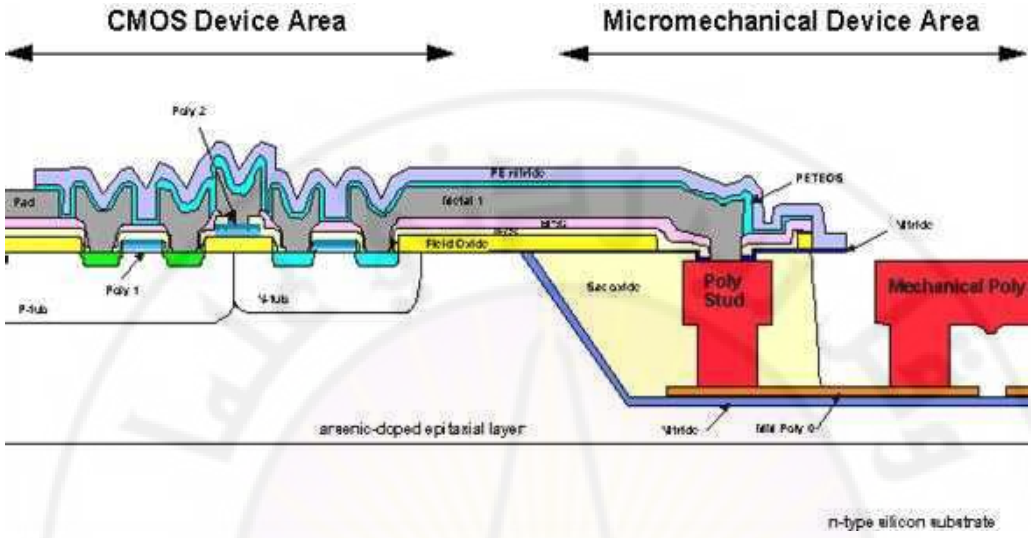
الحساسات بجمع المعلومات من البيئة عن طريق قياسات ميكانيكية أو حرارية أو مغناطيسية ومن ثم ترسل لتعالج من قبل وحدات المعالجة الالكترونية ويتم اتخاذ القرار المناسب الذي تقوم بتنفيذه المحركات .



Digital Micro-Mirror نظام متكامل مصنع على الكسرة وفقا لتقنية الـ MOS



الشكل (17–2)محرك ميكروي micro motor صنع وفقا لمبدأ تقنية الـ MEM



الشكل (18–2) عنصر فعال مختلط ميكروميكانيكي A schematic cross-section of the embedded micromechanics approach to CMOS/MEMS integration

ومما سبق يمكن ان نستنتج أنه لأي نوع من أنواع تكنولوجيا الدارات الالكترونية المتكاملة يعتمد انتشارها وتطويرها على عناصر عددية إدارية وفنية وفقاً لإشارة المرور التالية .



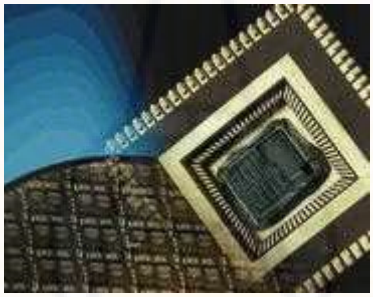
الشكل (18–2) عناصر التحدي الأساسية في تطوير الدارات المتكاملة

Damascus University

وقل رب زدني علما
Damascus University

الفصل الثالث

الدارات المتكاملة وحيدة البلورة
Monolithic integrated circuits



a. الوصف العام للدارات المتكاملة وحيدة البلورة .
b. تصنيع الدارات المتكاملة وحيدة البلورة .

Damascus University

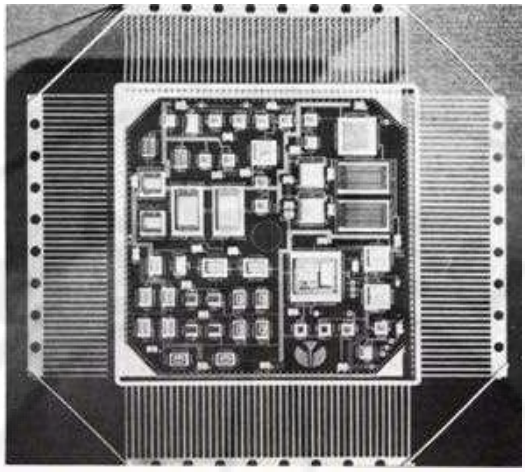
وقل رب زدني علما
Damascus University

3- 1- الوصف العام للدارات المتكاملة وحيدة البلورة

إن كلمة Monolithic هي كلمة يونانية تعني الحصى الوحيد ، وسميت الدارة المتكاملة بهذا الاسم لأن كافة العناصر الفعالة وغير الفعالة مترابطة بشكل مندمج مع بعضها البعض و على قاعدة من مادة نصف ناقلة تكون عادة من السليكون وتصمم هذه الدارة الالكترونية لتحقق وظيفة أو وظائف محددة.

إن الطبقات النصف ناقلة بتركيزها المختلف والتي تشكل جميع العناصر الفعالة يتم إنتاجها بواسطة تحويل المواد عن طريق الإشابة Doping، وتستخدم تقنية الانتشار Diffusion لتحقيق ذلك .وتستخدم تقنية التبلور epitaxial techniques للحصول على التركيب الترانزستوري المطلوب NPN أو PNP.

تحقق الوصلات الداخلية بشكل معزول على نقاط وصل نموذجية بواسطة نواقل مثل الألمنيوم باستخدام تقنية الأفلام الرقيقة أو بواسطة التشكيل من طلاء ذي مقاومة منخفضة ضمن قمرات على جسم المادة نصف الناقلة نفسها.
وبما أن كل دارة وعناصرها المختلفة يمكن أن تصنع بشكل صغير جداً فإن العديد من الدارات المتشابهة يمكن أن تصنع بشكل مجمع على شريحة واحدة من السليكون ، أو يمكن أن تصنع دارات مختلفة على نفس الشريحة ويتم بعد ذلك توصيل هذه الدارات ببعضها بواسطة طبقات معدنية لتكون مجموعة الكترونية متكاملة ولتحقيق الوظيفة المطلوبة ويمكن أيضاً وبطريقة مشابهة أن نحصل على نظام متعدد الدارات . Multi Chip System .

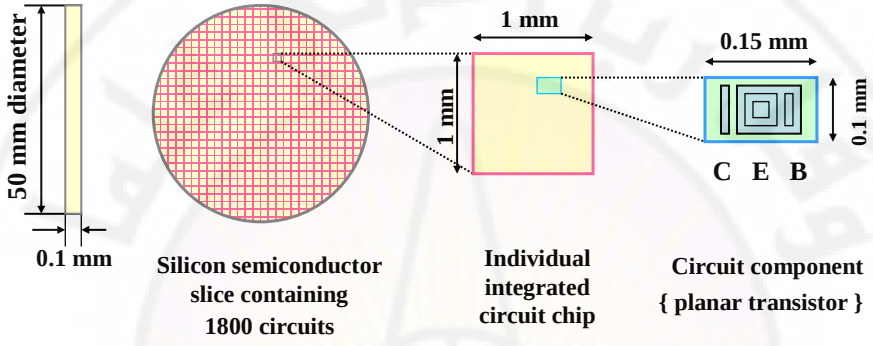


الشكل (1-3) نظام متعدد الكسرات Multi Chip System

يعطي الشكلين (2-3) و (3-3) فكرة عامة تصويرية عن حجم عناصر الدارة المتكاملة والأبعاد النموذجية للعناصر المستخدمة في كل كسرة . حيث يبين الشكل شريحة من السليكون قطرها 50mm تحتوي على ما يزيد عن 1000 كسرة الكترونية Chips وكل كسرة Chip تشغل مساحة بمقدار $1,2mm^2$ من المادة نصف الناقلة والترانزيستور الذي يعد عنصر الدارة الفعال يشغل مساحة مقدارها 0,1x0,15 mm إضافة إلى عناصر أخرى يمكن أن تكون اصغر من ذلك .

وهكذا يمكن أن تحتوي هذه الكسرة على حوالي 100 عنصر وإذا زاد قطر الكسرة فيمكن أن تحتوي على عدد أكبر من هذه العناصر .

الشكل يبين ابعاد توضيحية لشريحة السليكون والكسرة Chip والترانزيستور



الشكل (2–3) الأبعاد التوضيحية النسبية لشريحة السليكون والكسرة Chip والترانزيستور.

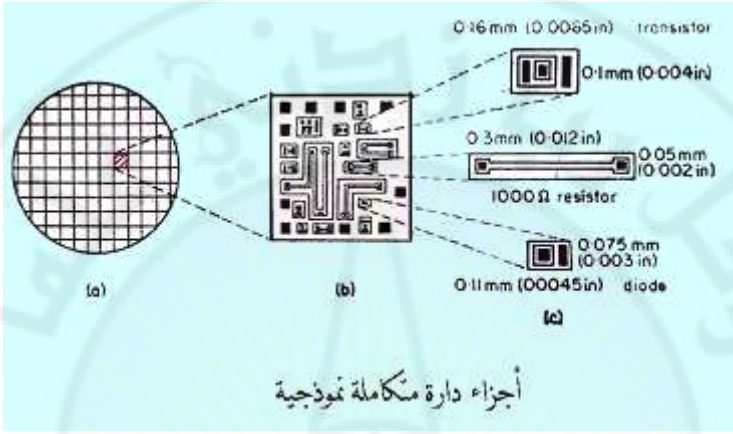
وفي الحقيقة عند استخدام تقنية الـ MOS أو إذا تم تحسين تقنية الترانزيستور العادي فعندئذ يمكن إنقاص المساحة التي يشغلها العنصر الفعال (الترانزيستور) من الكسرة المتكاملة وبالتالي زيادة كثافة التكامل .

إن عناصر الدارة المتكاملة كافة تركب بشكل مطابق لعملية الانتشار السطحي compatible planer diffusion وبشكل بنفس الوقت بواسطة تعاقب عمليات تصوير مختلفة وخطوات اتصال معدنية ، لذلك فإن:

- اقتصادية الدارة
- ودرجة وثوقيتها
- و إنتاجيتها

يجب أن يتطابق بعضه مع بعض للحصول على الدارة المتكاملة وحيدة البلورة الملائمة للعمل المطلوب.

ويبين الشكل (3–3) شكل رمزي آخر لمركبات الدارة المتكاملة .



الشكل (3–3)

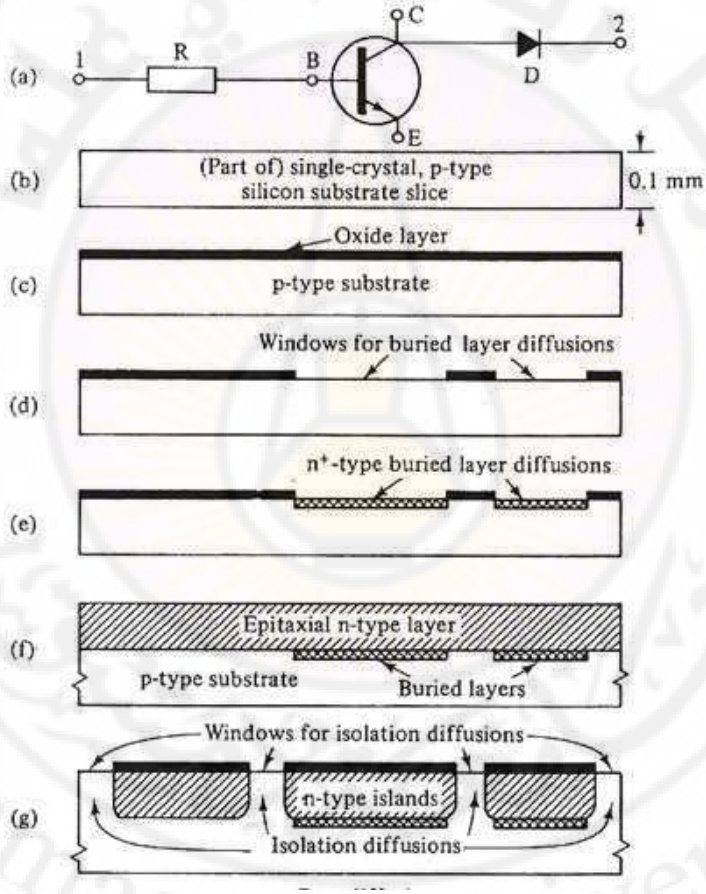
3–2– مراحل تصنيع الدارات المتكاملة وحيدة البلورة:

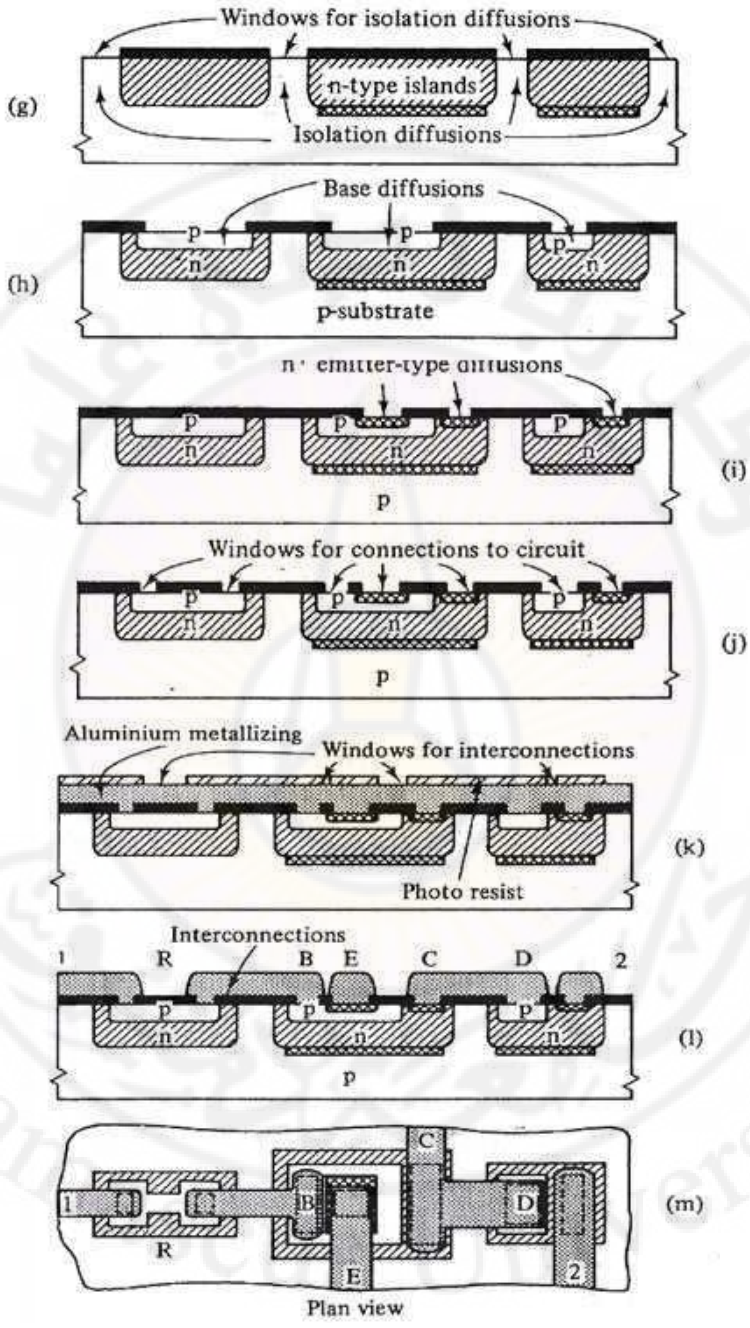
Monolithic Integrated Circuits Manufacturing Processes

إن عمليات التصنيع تعتمد على استخدام السليكون، ثم إجراء عدد من العمليات وفقاً لمبدأ التكامل السطحي integrated planar processes وسيتم شرح هذا المبدأ وتطبيقه مباشرة على دارة بسيطة مكونة من ترانزيستور Bipolar transistor و ديود ومقاومة وفقا للشكل (4–3) .

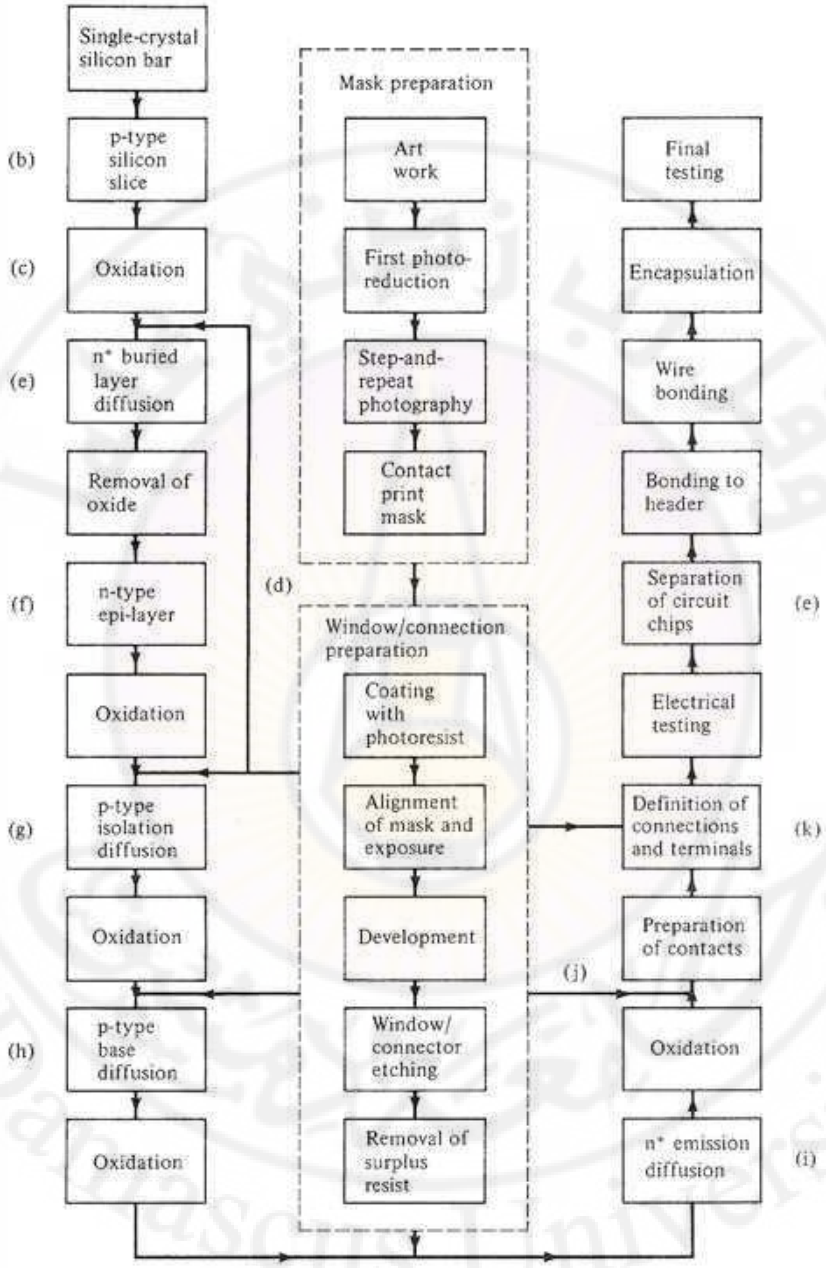
و العمليات بمراحلها المختلفة مبينة بشكل مقطع عرضي في الشكل (4–3) و ستتم دراسة هذه المراحل مع المخطط الصندوقي المبين في الشكل (5–3).

لقد تم اختيار دارة بسيطة بعناصر قليلة حتى يكون إيضاح الوصلات بشكل يمكن للقارئ من متابعة ذلك بسهولة، أما في الدارات العامة فإن عدد العناصر الالكترونية يكون كبيراً جداً و الوصلات تكون أكثر تعقيداً و توضع في أماكن مختلفة على سطح نصف الناقلة.





الشكل (4–3) مراحل تصنيع الدارات المتكاملة وحيدة البلورة



الشكل (5-3) المخطط الصندوقي لمراحل التصنيع

3-2-1- المادة الأساسية (Substrate) :

مادة البدء عبارة عن شريحة مسطحة من مادة نصف ناقلة نوع p-type semiconductor وهي عادة من السليكون وفي بعض الحالات من الجاليوم- أرزنيد وبشكل نموذجي يكون لشريحة السليكون المواصفات الأساسية التالية :

- مقاومة نوعية مقدارها 0.05 Ω-m
- وذات أبعاد بقطر 50mm (الحدود الدنيا)
- و سماكة بحدود 0.1mm .
- إن هذه المواد نقية pure ووحيدة البلورة signal crystal وذلك لتجنب الآثار الناتجة عن عدم خطية البلورة non-crystalline إضافة إلى الشوائب غير المرغوبة والآثار الناتجة عن المعالجة التكنولوجية .

3 2 2 الأكسدة (Oxidation) :

في المرحلة (وهي المرحلة التالية) يتم أكسدة سطح الشريحة بطبقة من الأكسيد سماكتها تصل إلى 10000A=1μm ، ثم يلي ذلك القناع الأول لتحديد مكان حفر النوافذ للطبقة (n+) ذات الناقلية العالية (الإشارة + تعني طبقة ذات مستوى إشابة عالي) + Sign indicating relatively heavy doping levels

3 2 3 نمو الطبقة الابيتاكسية Epi-layer

بعد إزالة طبقة الأوكسيد تنمو بشكل تدريجي على وجه الشريحة طبقة أولية دقيقة من نوع N-Type من السليكون مقاومتها النموذجية بحدود 0.005Ω- m و بسماكة 10μm ومشابه بشوائب الأرزنيك Arsenic بتركيز حوالي :

$10 /22\ m^{-3}$, وفي هذه المرحلة تكون كل من البلورة single crystal وتركيبها الكريستالي crystal structure تابعا للتحول البلوري لجزيئات المادة

يطلق على عملية التحول هذه اسم التبلور epitaxial ويطلق على الطبقة البلورية اسم الطبقة الايبتاكسية Epi-layer وفي هذه الطبقة تصنع كافة عناصر الدارة الالكترونية المتكاملة .

إن شريحة السيلكون نوع P- Type المعروفة باسم القاعدة الأساسية Substrate وبالإضافة إلى كونها دعامة ميكانيكية تساعد أيضاً في عزل الدارة المشكلة في الطبقة البلورية .

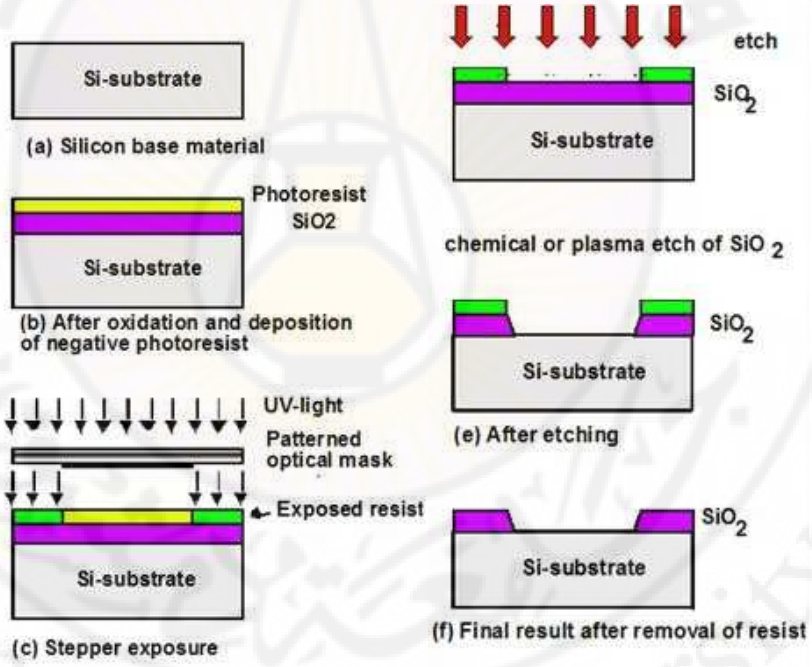
في تكنولوجيا الدارات المتكاملة السطحية تصنع وصلات العناصر والوصلات الداخلية لكافة الدارات على مستوى واحد لوجه الطبقة البلورية مما قد يسبب ممرات ذات مقاومة عالية تقلل من خواص الدارة (مثال مناطق المجمع للترانزيستور) وللتغلب على هذه الصعوبة تتواجد تحت العناصر الفعالة كافة طبقات الناقلية العالية +n وتدعى هذه الطبقات بـ buried layers وتتوضع عادة على القاعدة الأساسية قبل نمو الطبقة البلورية ، ويكون تريز الشوائب للمعطيات Donors بحدود $10^{25}\,m^{-2}$ وتشكل بالتالي هذه الطبقات ذات الناقلية العالية .
إن انتشار طبقة الناقلية العالية +n يوضح عمليتين أساسيتين في تكنولوجيا الدارات المتكاملة هما :

أولاً : إن طبقة الـ n+ type تنتج بواسطة الإشابة للمادة نصف الناقلة نوع P-type والتي تكون القاعدة الأساسية Substrate بواسطة شوائب عاطية Donors كافية لحدوث انعكاس في نوع ناقليتها ويطلق على هذه العملية اسم إشابة التعادل Compensation Doping .

ثانياً : تقنية تحديد المساحات لحدوث انتشار الطبقة المركزة buried layer وهذا ما يطلق علية اسم فتح النوافذ windows opening والذي يعد عاماً لمراحل عديدة متعاقبة .

لتحديد مجال انتشار الطبقة المركزة المدفونة buried layer diffusion فإنه يتم أكسدة شريحة القاعدة الأساسية كما رأينا ثم يتم حفر النوافذ كيميائياً Etching عبر طبقة الأوكسيد حيث يحدث بعد ذلك الانتشار +n في مكانة الملائم .

يتم إنتاج النوافذ بواسطة الحفر الكيميائي photolithographic process والتي يمكن أن توجز أخذين الشكل (6–3) بعين الاعتبار كما يلي:



الشكل (6–3) مراحل فتح النافذة في طبقة أوكسيد السيلكون.

A,B,C : تغطى الشريحة المؤكسدة بواسطة طبقة فلمية رقيقة من النوع ذو المقاومة الضوئية Photo resist ويوضع فوقها صفيحة أو قناع ضوئي نموذجي

Patterned optical mask يحتوي على مساحات مظلمة تمثل النوافذ المراد فتحها في الأوكسيد وتعرض المجموعة إلى الأشعة فوق البنفسجية Ultraviolet Light (UV) .

المقاومة الضوئية Photo resist تحت المناطق البيضاء (الشفافة) تتعرض للضوء وتصبح غير قابلة للانحلال ، بينما المقاومة تحت المناطق السوداء تكون محجبة عن الضوء وتبقى قادرة على الانحلال ويمكن إزالتها بواسطة محلول كيميائي .

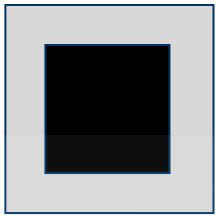
D,E,F, :تبين هذه الفقرات المراحل بعد التعرض للأشعة فوق البنفسجية ،حيث يتم إزالة المقاومة الضوئية في المناطق المراد إزالة الأوكسيد منها ، ومن ثم يحدث الحك Etching لثاني أوكسيد السليكون في النافذة المفتوحة في المقاومة الضوئية ، وباقي أوكسيد السليكون يحافظ على وضعه (لا يحدث له الحك) تحت حماية طبقة المقاومة الضوئية ، إن السليكون نفسه لا يتأثر بالمحلول المستخدم لإزالة ثاني أوكسيد السليكون ، بالتالي تتوقف عملية الحك etching بعد إزالة الأوكسيد من الفتحات .

أخيرا يتم إزالة باقي المقاومة الضوئية عن السطح بواسطة عملية القشط Stripping ، ثم تغسل الشريحة وتهيأ لمراحل الانتشار التالية .

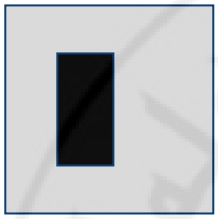
إن هذه العمليات التي تشكل بمجموعها النوافذ تعد أساساً لتكنولوجيا الدارات المتكاملة حيث تكرر هذه العمليات في كل مرحلة سابقة لعملية انتشار .

يلاحظ أن كل قناع mask لا يحدد مساحة خاصة للانتشار لكل عنصر في الدارة العملية فحسب و لكن أيضاً القطاعات المتشابهة للعناصر كافة التي تشكل جزءاً من الدارات المختلفة على نفس الشريحة كمثال نوافذ طبقات الانتشار الـ buried layer للعناصر الفعالة كافة في كل عملية يتم فتحها بواسطة عملية حفر ضوئية واحدة باستخدام قناع ضوئي واحد.

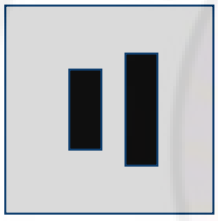
الآن بالعودة إلى الخطوات التتابعية الموضحة في الشكل (4-3) و المخطط (5-3) تصنع الطبقة +n على القاعدة الأساسية و عند درجات حرارة 1200 درجة مئوية يتبع ذلك طبقة الأوكسيد الكلي للشريحة و تكون الطبقة n المذكورة سابقاً المبينة في الشكل(4–3) و المخطط (5–3) و تكون سماكتها النموذجية 10 ميكرومتر و تصنع بواسطة التسخين للشريحة عند درجات حرارة حوالي 1200 درجة مئوية في فرن تحريضي و في جو من ثلاثي كلوريد السيلكون silicon tetrachloride والفسفور phosphate يتم بعد ذلك أكسدة الطبقة البلورية و تستخدم نفس العمليات من masking –etching لفتح النوافذ حيث يمكن أيضاً أن تتواجد طبقة انتشار عزل من نزع p-type كما في الشكل (4-3-g) و المخطط (5-3;g) طبعاً يتم استخدام قناع ضوئي مختلف تماماً و يجب أن يصنع و يستخدم بطريقة تضمن ترابط جيد بين هذا القناع و بين قناع المرحلة السابقة. و يكون الانتشار المعزول عادة بمرحليتين :



Base Photomask



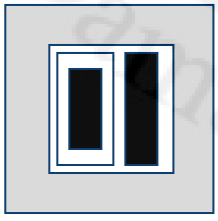
Emitter Photomask



Contact Photomask



Metal Removal Photo mask



Composite Geometry

Masks Of Transistor

الشكل (3-7) تفاصيل الأقنعة الضوئية المستخدمة لترانزيستور تكاملي واحد

الأولى : حيث توضع الشوائب على الوجه عند درجات حرارة عالية حيث تبدو الشريحة متأكسدة.

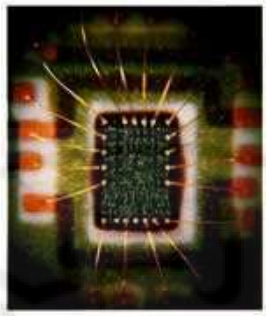
الثانية : قيادة الشوائب في درجات حرارة حوالي 1000 درجة مئوية لتعادل مناطق الإشابة للطبقة البلورية و تقلب قطبيها إلى نوع p-type و يتم تنظيم الانتشار بواسطة التحكم الحراري مع الزمن لكي يتخلل الطبقة البلورية بشكل كامل و يترابط مع القاعدة الأساسية substrate و تبدو الجزر البلورية نوع n-type محاطة بعازل من نوع p-type و ضمن هذه الجزر تتواجد عناصر الدارة المصنعة كافة.

يتبع ذلك العمليات المألوفة من masking – window –cutting operation لتحديد المساحات areas على الجزر نوع n-type islands حيث يحدث انتشار القواعد نوع p-type للحصول على قاعدة الترانزيستور و مقاومات أحادية البلورة كما هو مبين في الشكل (h;3-4) و المخطط (h;3-5) نموذجياً يكون عمق هذا الانتشار بحدود 2μm و تتم هنا عملية الإشابة بالقوابل acceptor dopants و يكون التركيز منخفضاً. يلي ذلك الأكسدة و قطع النوافذ للحصول على انتشار نوع n+ باستخدام الشوائب الفسفورية diffusion using phosphorus dopants لتحديد البواعث emitter و هذه المرحلة تسمى بمرحلة انتشار الباعث emitter diffusion شكل (I; 3-4) و المخطط (I;3-5). و بنهاية هذه المرحلة يكون قد تم تحديد عناصر الدارة الوحيدة البلورة كافة و يلي ذلك عملية الوصل الداخلية interconnections.

بعد تحديد نقاط الوصل contact windows definition تتم عملية الوصل الداخلية عادة بواسطة الألمنيوم الذي يمكن تشكيله بواسطة عملية الحفر الضوئي، حيث يتم أولاً أكسدة شريح ة المادة نصف الناقلية و تفتح نوافذ لتحديد الوصلات لأجزاء العناصر المختلفة في كل دارة مثل البواعث emitters و القواعد bases و المقاومات و هكذا شكل(4–3;j;k).

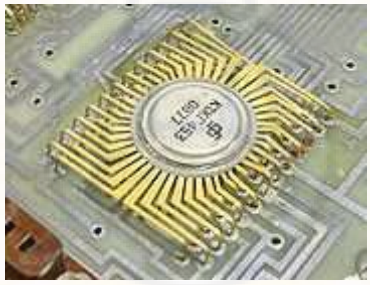
يتم بعد ذلك بتبخير الألمنيوم في جو خال vacuum evaporated فوق الشريحة إلى سماكة 2μm تصنيع و صلات عناصر الدارة عن طريق نوافذ الأوكسيد بشكل(4–3 ;k). و الألمنيوم المتبقي يتم حفره و إزالته عبر نوافذ المقاومة الضوئية باستخدام محلول كاو من الصودا و ذلك لتحديد الوصلات الداخلية للدارة شكل (4–3;m) و(1). وفي المرحلة التالية يتم فحص و اختبار كل دارة أو مجموعة حيث يتم استبعاد الدارات التي فيها خلل قبل مرحلة التغليف النهائية. و من ثم فصل كل دارة من الشريحة الأصلية عن الدارة الأخرى (إلا إذا كان المطلوب وصل بعض هذه الدارات بالبعض الآخر لتكون مجموعة متكاملة) و تتم عملية الفصل بواسطة سكين من الألماس للحصول على الكسرة chips التي تحتوي على دارة متكاملة تامة.

أخيراً فإن كل دارة – أي كسرة – يتم تثبيتها على مثبت ملائم و يتم، وصل نقاط تماسها بأرجل مناسبة بواسطة خيوط من الذهب أو الألمنيوم لتضمن بذلك وسيلة الوصل بين الدارة الالكترونية المتكاملة و نقاط التماس الخارجية.



Fertig gebondeter IC-Chip

الإنتاج النهائي يتم بتغليف هذه الدارة بواسطة مواد حرارية أو بلاستيكية خاصة لتحمي الدارة المتكاملة من التأثيرات الخارجية و يصبح الشكل النهائي جاهزاً للاستخدام.



و بشكل عام فإن عملية تصنيع الدارات المتكاملة و خصوصاً الدارات المتكاملة ذات درجة الاندماج العالية LSI تتطلب بشكل أساسي استخدام الحاسبات الإلكترونية و ذلك في مجالي التصميم CAD و التصنيع CAM.



Damascus University


تحديد الخواص والشروط للدارة المراد تصنيعها
تصميم الدارة المتكاملة
تصحيح
التحكم بالتصميم
تصحيح
اختبار التصميم
تصميم مخططات الأقنعة
التصنيع:
١- تصنيع الأقنعة
٢- الانتاج النهائي للدارة
اختبار
الدارة النهائية
CAD
CAM

استخدام الحاسبات الإلكترونية في عملية التصميم و التصنيع الدارات المتكاملة.

أسئلة و أجوبة – الفصل الثالث

1-3-3 ما هي الدارة المتكاملة؟

What is an integrated circuit?

هي دارة إلكترونية تامة مصنعة على كسرة صغيرة من مادة نصف ناقلة عادة من السيلكون. الأبعاد النموذجية للكسرة الإلكترونية هي $1.5mm^2$ بسماكتها النهائية بعد التصنيع بحدود 0.2mm. عناصر الدارة كافة ترانزستورات– ثنائيات– مقاومات و ربما مكثفات صغيرة مصنعة و متصلة بعضها بطريقة تكنولوجية أطلق عليها اسم Planar technology أي التكنولوجيا السطحية. توضع الكسرة chip ضمن مغلف نهائي لتغطي دارة متكاملة نهائية بعد وصل الأرجل الخاصة بنقاط التوصيل المحددة على الكسرة، و تصبح جاهزة للاستخدام التجاري.

In electronics, an **integrated circuit** (also known as **IC**, **microcircuit**, **microchip**, **silicon chip**, or **chip**) is a miniaturized electronic circuit (consisting mainly of semiconductor devices, as well as passive components) that has been manufactured in the surface of a thin substrate of semiconductor material. Integrated circuits are used in almost all electronic equipment in use today and have revolutionized the world of electronics.{10-1}.

2-3-3: ما هو الفرق بين الدارة المتكاملة الوحيدة البلورة و بين الدارة ذات طبقات الأفلام؟

في الدارات المتكاملة الوحيدة البلورة تتشكل العناصر الفعال ة و غير الفعالة كافة مع الوصلات الداخلية في نفس الوقت على الكسرة الصغيرة من السيلكون أما في الدارات ذات طبقات الأفلام فإن العناصر غير الفعالة Passive (المقاومات و مكثفات) و الوصلات الداخلية تتشكل في البداية على قاعدة أساسية معزولة من السيراميك أو الزجاج أما العناصر الفعالة (ترانزستورات و ثنائيات) فتضاف بشكل عناصر منفردة Discrete إلى الدارة و توصل معها.

3-3-3: ما هو عدد العناصر التي يمكن أن توجد في الدارة المتكاملة؟

إن هذا يعتمد بشكل أساسي على مساحة كسرة السيلكون، فالكسرة النموذجية ذات الحجم $1.25mm^2$ و التي تحتوي على عناصر ترانزيستورية بمساحة $0.012mm^2$، قمع اعتبار المساحة العملية لمجاري و نقاط الاتصال فإنه يمكن أن تصنع في مساحة هذه الكسرة بحدود 100عنصر. بعض الترانزستورات تصنع على كسرة بمساحة $2.5mm^2$ فيمكن بالتالي تصنيع عدة مئات من العناصر على الكسرة، أما في مجال استخدام عناصر MOS فإن مساحة العنصر تكون صغيرة و بحدود $0.002mm^2$ و بعض الكسرات الحالية تصنع بحجم $5mm^2$ فبالتالي تحتوي الكسرة الواحدة على ما يزيد عن 5000 عنصر من نوع MOS .

	# of devices
SSI (Small scale IC)	1 ~ 100
MSI (Medium scale IC)	10^2 ~ 10^3
LSI (Large scale IC)	10^3 ~ 10^5
VLSI (Very Large scale IC)	10^5 ~ 10^6
ULSI (Ultra Large scale IC)	10^6 ~ 10^9
GSI (Giga scale integration)	10^9 ~
RLSI (Ridiculously Large scale IC) ?	Next to GSI

4-3-3: لماذا يفترض أن تكون الدارات المتكاملة أصغر بكثير من العناصر المنفردة المماثلة لها بالأداء؟

إن الترانزيستور النموذجي يشغل 10% فقط من حجم الكسرة الإلكترونية المستخدمة عندما يراد تصنيعه بشكل منفرد. فالكسرة ذات المساحة $0.4mm^2$ لا

يمكن أن تقطع بصورة أصغر من ذلك لإنقاص المساحة الضائعة – الغير مستهلكة – كما هو الحال في الدارة المتكاملة مما يؤدي بالتالي ،إل ى جعل حجم كسرة الترانزيستور مصنع في دارة متكاملة.

ففي حالة الدارات المتكاملة يتم استخدام الجزء المتبقي و الذي يعادل 90% من مساحة الكسرة لعناصر أخرى.

إذا تم زيادة حجم الكسرة ليصبح $1.25mm^2$ فإن الكسرة تبقى صغيرة و يمكن أن نصنع عليها أكثر من 100عنصر، و تغلف بعد ذلك بغلاف واق لتعطي دارة متكاملة واحدة.

أما في الحالة المنفردة فإن ذلك يتطلب 100 غلاف مستقل لكل عنصر لكي تقوم بنفس العمل، مما يتطلب بالتالي حجماً كبيراً جداً.

3-3-5: كيف يمكن إحداث مقارنة بالسعر (التكلفة) بين الدارة المتكاملة و العناصر المنفردة المكافئة لها بالعمل؟

لقد سبق و أجيب عن هذا السؤال عند بحث كون الدارة المتكاملة أصغر بكثير من الدارة لمكافئة من عناصر مفردة.

لنفس الاعتبارات فإن الدارة المتكاملة تكون ذات تكلفة أقل.

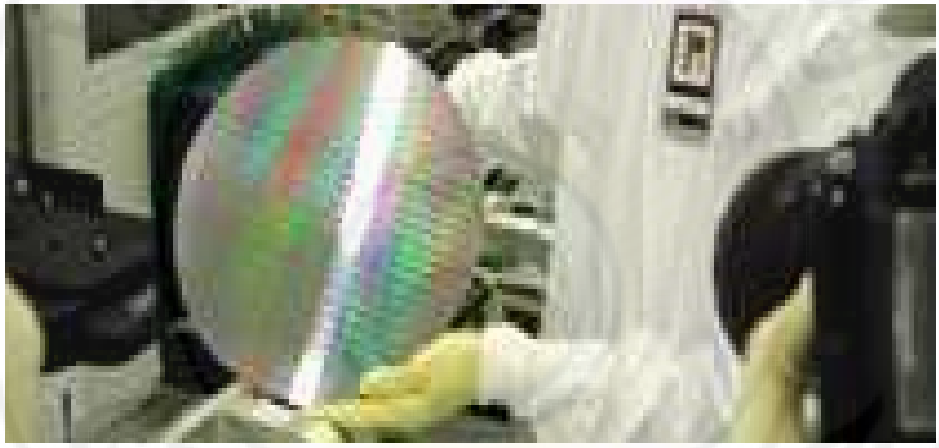
كعملية تقريب يمكن القول أن التكلفة لمراحل المعالجة لشريحة سيلكون كاملة تعتمد بقليل أو كثير على العناصر المصنعة على الشريحة هذا يعني أن التكلفة لتصنيع أي عنصر ينتسب إلى مساحة كسرته و بصورة مماثلة يمكن بالتالي أن نقول أنه في مساحة الكسرة التي تصنع فيها ترانزيستور منفرد واحد يمكن تصنيع عشرة ترانزستورات متكاملة و في نفس الحجم.

أي أن التكلفة لدارة متكاملة يصنع عليها عشرة ترانزستورات تعادل تكلفة صنع ترانزيستور منفرد واحد.

وقل رب زدني علما
Damascus University

الفصل الرابع

تحضير الشرائح نصف الناقلة
preparation of semiconductor slices



4-1 - نمو و تنقية بلورات السيلكون

4-2- أشابة القاعدة

4-3- تشريح وصقل القاعدة

4-4-نمو الطبقة الايبتاكسية

4-5- تقييم خصائص الطبقات البلورية

وقل رب زدني علما
Damascus University

4-تحضير شرائح المواد نصف الناقلة

Preparation of semiconductors slices

إن مركبات عناصر الدارات المتكاملة كافة تتوضع على شرائح نصف ناقلة وإجمالي هذه العناصر والشرائح تصنع وفقا لمبدأ تحويل الرمل الكوارتز SiO2 إلى سليكون نقي ومن ثم تطبق عليه العمليات الإنتاجية المختلفة ، و سيتم في هذا الفصل شرح كيفية تحضير المواد نصف الناقلة الوحيدة البلورة الصافية و من ثم عملية الإشابة (وضع الشوائب) Impurity Doping و عملية التبلور Epitaxial و التنقية و سيتم شرح هذه المراحل بالتفصيل .



الشكل (1-4) المبدأ العام لتحويل بلورات الرمل إلى شرائح سليكون Sand to silicon ويبين الرسم العلاقة الاقتصادية السعرية النسبية خلال مراحل التحول الإنتاجي

4-1 - نمو و تنقية بلورات السيليكون
Growth and refining of Silicon Crystal

4-1-1- المواد الخام Raw materials

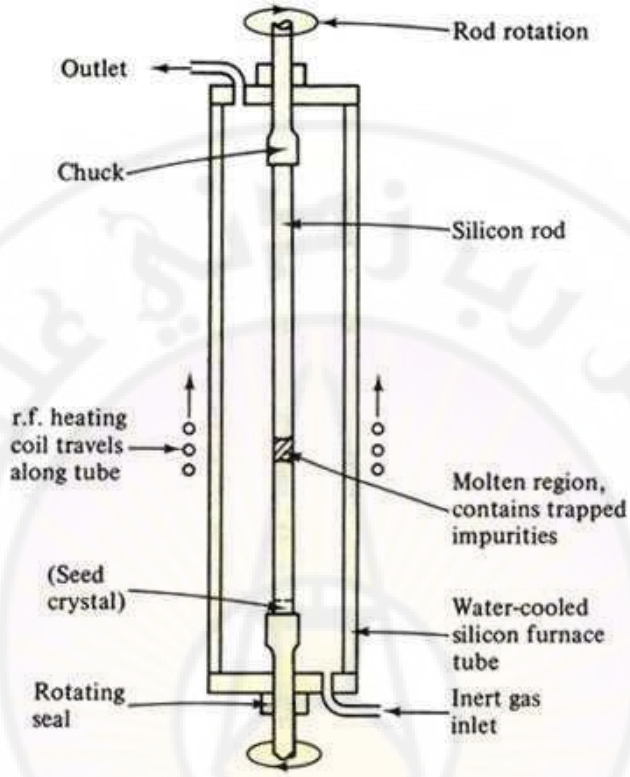
بما أن معظم الدارات المتكاملة مصنوعة من السيليكون فإن الشرح بالتالي سيقتصر على تحضير قواعد الدارات المتكاملة النصف الناقلة المصنعة من هذه المادة .

يتم الحصول على السيليكون تبعاً للمصادر الطبيعية الشائعة المؤلفة في الغالب من البلورات Quartz و الرمل Sand. و تعالج في أفران مع الكربون و بدرجات حرارة معينة حيث يمكن أن يتم بالتالي الحصول على سيليكون نقي 98% .

إلا أن هذه الكمية من الشوائب التي تكون موجودة فيه تعتبر عالية بالنسبة لاستخدامه كمادة نصف ناقلة حيث أن درجة نقاوة السيليكون يجب أن تكون عالية و بحدود ذرة شوائب واحدة كل 10^9ذرة من السيليكون مما يتطلب بالتا لي معالجة مواد السيليكون التجارية المعروفة قبل استخدامها .

4-1-2- التنقية بطريقة المنطقة العائمة zone refining

إن إحدى طرق التنقية الصناعية المستخدمة للحصول على السيليكون الصافي معروفة باسم zone refining method و الشكل (2-4)يبين الجهاز المستخدم لهه الغاية .



Schematic diagram of zone-refining equipment.

الشكل (2-4)

توضع سبيكة السيلكون الرقيقة بشكل طولي و تسخن بواسطة وشيعة تسخين للحصول على مقطع منصهر ،و تحت تأثير قوة الشد السطحية فإن السيلكون المنصهر لن ينفصل عن السبيكة .

و بما أن معظم جزيئات الشوائب الموجودة في السيليكون تميل إلى القسم المنصهر أكثر من ميلها إلى القسم الجامد فبالتالي يمكن أن تجمع في منطقة منصهرة ضيقة فإذا تحركت وشيعة التسخين ببطء على طول القضيب فإنها تأخذ المنطقة المنصهرة

معها باستمرار وبالتالي فإن الشوائب تسحب معها إلى إحدى نهايات القضيب حيث تتمركز ويمكن بعد عدة عمليات مشابهة لهذه العملية أن تقطع هذه النهاية و بالتالي نحصل على السيلكون عالي النقاوة .

إن عملية التنقية هذه Zone-Refining Process لا تحتاج إلى بوتقة انصهار و كذلك فان المنطقة التي تحدث فيها هذه العملية يجب أن تكون مفرغة Inert مما يفيد في حجب احتمال دخول شوائب إضافية .

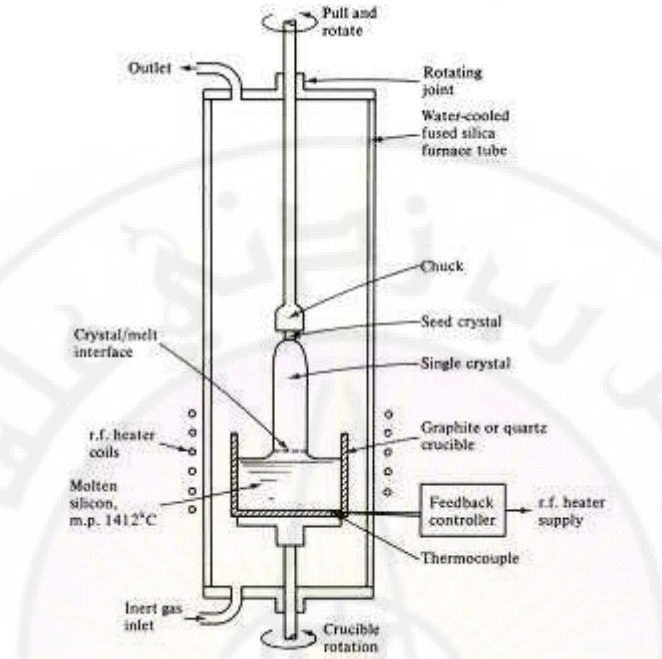
4-1-3- نمو البلورات من حالة الانصهار (طريقة شوخرالسكي)

Crystal growth from the melt{Czochralski method }

إن السيلكون المتكون في الحالة السابقة يكون عالي النقاوة إلا انه يحتوي على العديد من خطوط التبلور و إن المتطلبات الضرورية لمواد القاعدة الأساسية في الدارات المتكاملة Substrates أن تكون من مادة نصف ناقلة و حيدة البلورة Single-Crystal Semiconductor ، إن السيليكون وحيد التبلور يمكن الحصول عليه بالتحكم بنقطة التجمد ابتداءً من الانصهار و المشكلة هي في كون درجة تركيز الجزيئات في المحلول المنصهر أكبر بكثير منها بالمقارنة مع شبكة البلورات النظامية بالنسبة لشكل خط التبلور و طرق منع حدوث التبلور هذه غالباً ما تحدث في المواد التي تحتوي على عدد من الرواسب .

إن الإجراءات المستخدمة لنمو بلورات السيليكون والتي لاقت رواجاً كبيراً هي طريقة شوخرالسكي **Czochralski method** التي تجنب هذه التعقيدات .

عملياً تكون بذور الكريستال مغمورة في السيليكون المنصهر و تخفض درجة الانصهار ببطء حتى يبدأ السيليكون بالتجمد في نقطة برودة البذور الكريستالية التي تتراجع ببطء انظر الشكل (3-4) .



Schematic diagram of apparatus for the preparation of single-crystal silicon by the Czochralski method.

الشكل (3-4)

فإذا كانت درجة الحرارة و معدل التراجع مختارين بشكل صحيح فإن عملية التحول و التداخل بين السائل – الجامد Liquid-Solid interface تبقى قريبة إلى السطح المنصهر حيث يحدث جذب طولي و تتكون بلورة وحيدة من السيليكون .

إن هذه المعالجة تتم أيضاً ضمن محيط ساكن Inert Atmosphere من الغازات الخاملة من الأرغون أو الهليوم و ذلك لمنع حدوث أكسدة ، أضف إلى ذلك أنه من أجل الدقة في الإيضاح فإن كل من المادة المنصهرة و المنجذبة تدور بشكل مستمر وذلك للحصول على بلورات متجانسة من نوع واحد (Homogeneous Crystal) .

إذا كانت :

H_i كمية الحرارة المعطاة للمجموعة في الثانية

H_1 الفقد الحراري بالثانية

الطول dX هو مقدار التبلور خلال الزمن dt .

فإن معادلة التوازن الحرارية هي :

$$\left(H_i - H_1\right)\mathrm{dt} = L \cdot d_s \cdot A \, dx$$

حيث ان :

d_s : الحرارة الكامنة

L : كثافة السيليكون .

A :مساحة سطح مقطع البلورة

و يكون معدل الجذب (pull -Rate) او سرعة الجذب :

$$\frac{\mathrm{dx}}{\mathrm{dt}} = \frac{H_i - H_1}{L \; d_s A \; \mathrm{dx}}$$

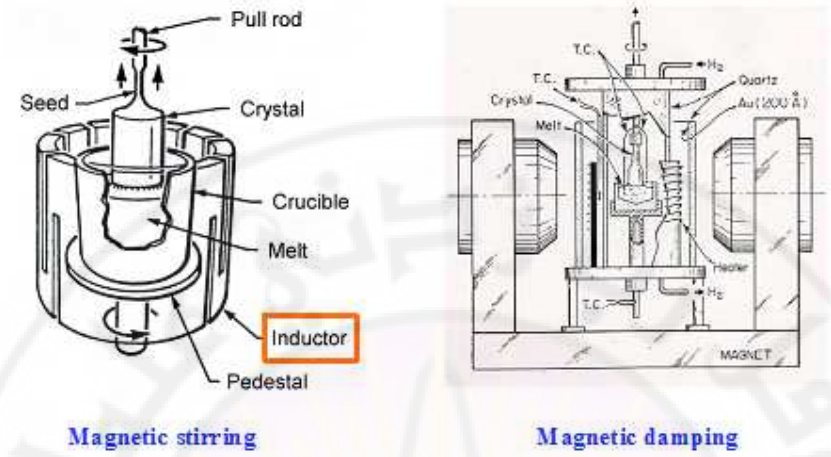
أي إن معدل الجذب يتناسب مع الحرارة المقدمة و الفقد و كذلك مع خواص البلورة و أبعادها ، لذلك فإن شروط الجذب البلوري يجب أن تراقب بعناية جيدة فعلى سبيل المثال تحدد حرارة الانصهار بواسطة ترابط حراري منظم بتغذية خلفية تعطي دقة تصل إلى $\pm \frac{1}{2} C^o$.

و يكون معدل الجذب النهائي النموذجي بحدود 0.01 mm/s و يحدد تجريبياً ، إن بلورات السيلكون بقطر 50mm و بطول 250mm يمكن أن تنتج بهذه الطريقة بالرغم من أن البلورات ذات القطر الأكبر ذات مزايا اقتصادية و يمكن أن تحقق إلا أن الصعوبات التي تواجه هي أن درجة المقاومة الميكانيكية للشرائح المعالجة تكون ضعيفة .



الأجيال الأولى من قضبان السليكون (القطر بحدود 5سم وطول 30سم)

و لكن مع تطور أساليب التصنيع و إدخال الحاسب الآلي بصورة مباشرة في التنفيذ التكنولوجي العملي CAM أمكن السماح بزيادة أقطار القضبان السيليكونية بحجم كبير جدا حيث لوحظ أن أقطار قضبان السيلكون التي أمكن تصنيعها بطريقة شوخرالسكي و صلت في نهاية عام 2005 إلى 300mm .



الشكل (4–4) توضع جهاز شوخرالسكي لتنقية السليكون



الشكل (4–5) شرائح من السليكون الحديثة ذات الأقطار الكبيرة



الشكل (6-4) الشرائح الناتجة من قضبان السليكون النقية

لقد أمكن زيادة طول قضبان السيليكون وكذلك أقطارها بحيث أمكن الحصول على أعداد كبيرة من الشرائح Wafers من القضيب الواحد .

4-2- إشابة القاعدة : Substrate doping

إن الدارات المتكاملة الوحيدة البلورة تصنع قواعدها عادة من مادة نصف ناقلة نوع p-type substrate أي أنه من الضروري أن ندخل ذرات قابلة acceptor atoms إلى بلورة السيلكون في بعض المراحل.

إن كمية الشوائب القابلة acceptor impurity و التي هي غالباً من البورون often boron تضاف إلى السيلكون المنصهر قبل أن تجذب البلورات و ذلك

للحصول على القاعدة السيلكونية من نوع p-type silicon substrate و تكون المواد المنتهية من المعالجة – الجاهزة – ذات مقاومة نوعية بحدود range 0.01- 0.5mΩ و كثافة القابلات فيها acceptor densities مساوية لـ order $10^{21}.m^{-3}$ أو حوالي ذرة واحدة من القابلات about 1 acceptor atom لكل 10^{7} ذرة من السيلكون silicon atoms.

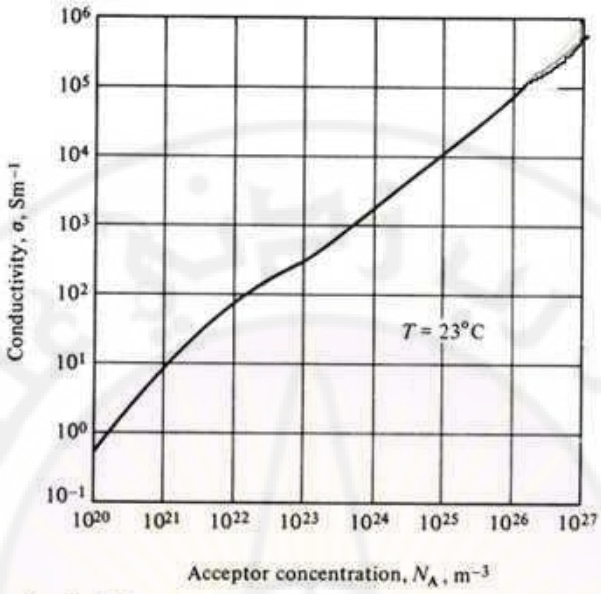
بما أن عملية إدخال مثل هذه الكميات القليلة في الشوائب يصعب التحكم بها عملياً لذلك فإن الشوائب تضاف إلى المادة المنصهرة بشكل بودرة ذات نسبة إشابة عالية من السيلكون نوع P-type مقاومتها النوعية بحدود resistivity typically $10^{-4}\Omega m$.

إن هذه الطريقة تقلل الصعوبات التي قد تحدث بسبب الاختلاف الكبير في نقاط الانصهار بين المصدر (المادة الأساسية) و الشوائب المضافة إليها parent and impurity materials.

من الاعتبارات الأخرى التي تجعل نمو البلورة المشابة بالإشارة إلى المقاومة صعباً هو كون تركيز الشوائب في البلورة بحالتها الصلبة أكبر بكثير منه في الحالة السائلة.

و بكلمات أخرى عندما يتم جذب بلورة السيلكون فإن السائل يصبح أكثر غنى Richer مع الزمن.

و بسبب العوامل التجريبية المختلفة فإن الدقة في المقاومة للقاعدة النهائية يمكن أن تكون بحدود $\pm 25\%$ فقط.



Example of a design curve for estimating the conductivity of p-type silicon from a knowledge of the impurity concentration.

الشكل (7–4)

و الشكل (7–4) يبين منحني الناقلية منسوباً إلى تركيز الشوائب القابلة في المادة نوع P التي تمثل القاعدة الأساسية substrate، و يساعد هذا المنحني في الحصول على القيم التجريبية للناقلية عند نقطة تركيز القابلات.

و يخضع هذا المنحني للعلاقة الرياضية التقريبية التالية:

$$\sigma \cong e\rho\mu h = eN_a.\mu h$$

حيث أن :

μh قابلية التحول للثقوب hole mobility

ρ كثافة الثقوب hole density

N_a تركيز القابلات acceptor concentration

علماً بأن القابلات كافة متشردة في درجة حرارة الغرفة.

4-3- تشريح وصقل القاعدة

Substrate slicing and polishing

إن شريحة القاعدة تكون نموذجياً بسماكة 0.1 mm و تقطع بواسطة منشار الماس من قضيب السيلكون وحيد البلورة single crystal silicon bar و يعتبر تحديد وجه الشريحة مع الأخذ بعين الاعتبار مستوى البلورة مهماً خصوصاً من أجل نمو الطبقة البلورية الايبتاكسية epitaxial للمرحلة التالية: و تكون الشريحة المقطوعة خشنة و تحتاج لمعالجة خاصة لإزالة آثار القطع و للحصول على وجه مسطح flat surface.

التلف الذي يبقى بالسطح بعد هذه العمليات يكون بحدود 20μm حيث يمكن إزالته بواسطة محاليل كيميائية مكونة من مزيج من الأكاسيد التي تحتوي على نترات الأكسيد nitric acid لأكسدة السطح و مادة حمض فلوريد الهيدروجين hydrofluoric acid لحل الأوكسيد dissolve the oxide.

بعد ذلك تدلك الشريحة ميكانيكياً على عجلة مشابهة لآلة تنعيم و صقل المرايا باستخدام منعم من الألمنيوم فينخفض قطر الحبيبات إلى مقياس نهائي مقداره 1μm شكل (8-4) أن التلف الذي يبقى بالرغم من هذه المعالجة يمكن أن يكون بعمق 2μm deep يزال نهائياً بواسطة مرحلة حك كيميائية نهائية و التي قد تطبق أحياناً مع مرحلة الدلك و الحك النهائية.

الشريحة المنتهية من المعالجة يتم اختبار مقاومتها في هذه المرحلة باستخدام أسلوب العينات ذي النقاط الأربع الذي سيشرح في فقرات مقبلة.



الشكل (4–8) آلة لصقل و تنعيم الشرائح wafers (الشرائح صغيرة المساحة) و يمكن بواسطة هذه الآلة فحص درجة النعومة و كذلك يمكن إجراء بعض الاختبارات الضرورية على الشرائح بعد إنهائها مقياس الصلابة و المقاومة)



الشكل (4–9) شريحة منتهية بعد المعالجة الأولية



الشكل (10-4) المعالجة الآلية للشرائح الحديثة ذات الأقطار الكبيرة

4-4 نمو الطبقة الإيبتاكسية:

Epitaxial layer growth

4-4-1- التبلور Epitaxy

إن كلمة Epitaxy هي كلمة يونانية تدل على نمو أو توضع مرتب arranging upon لطبقات دقيقة من البلورات السيليكونية المشوبة بحيث تشكل مع القاعدة

الأساسية substrate التي تنمو عليها تركيباً بلورياً وحيداً خط التبلور – single crystal layer.

تتوضع الذرات الراسبة على طول مستوى محوري لخط مادة البلورية حيث تترابط مع الذرات الوليدة Parent لتشكل تركيباً بلورياً غير قابل للتفكك و يستمر نمو الطبقة البلورية بهذه الطريقة لتشكل القاعدة التي تصنع فيها عناصر الدارة المتكاملة.

لا يكون للطبقة البلورية الناتجة، و التي يطلق عليها اختصاراً التسمية epi-layer، تركيز شوائب مختلف و بالتالي ناقليه مختلفة عن القاعدة الأساسية فقط و إنما يتعداه إلى أن نوع الناقلية يمكن أن يختلف أيضاً بينما تحافظ الخواص البلورية الأخرى على تركيبها.

مثال على ذلك، أن للطبقة الابيتاكسية في النوع n-type مقاومة نوعية قيمتها بحدود 0.005m-Ω بينما القاعدة الأساسية من نوع p-type لها مقاومة بحدود 0.1m-Ω.

باختيار تركيز الشوائب في الطبقة الايبتاكسية التي تحدد مقاومتها نرى أنها متوضعة بشكل يسهل تكوين الترانزيستور المتشكل فيها حيث أن المجمعات كافة تصنع من هذه المادة.

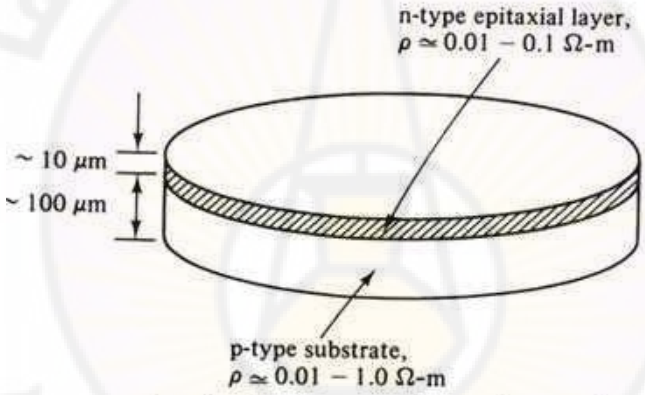
إن تصميم المقاومة من قبل المهندسين يتم ليعطي توافقاً بين المتطلبات العالية و هي جهد انهيار عال عند تركيب الترانزيستور و القيمة المنخفضة التي قد تخفض مقاومة الدخل أضف إلى ذلك تحسين خواص العناصر عند الترددات العالية و

تخفيض جهد تشبع المجمع $V_{ce(sat)}$ و التي تمثل الجهد بين المجمع و الباعث عندما يكون الترانزيستور منتقلاً إلى حالة التشبع.

بسبب وجود اختلاف بالناقلية فإنه يتم تشكيل وصلة من نوع p-n junction تدخل بين الطبقة البلورية epi-layer و القاعدة الأساسية substrate كما سنرى.

الشكل (11–4) يبين القاعدة الأساسية و عليها الطبقة البلورية .

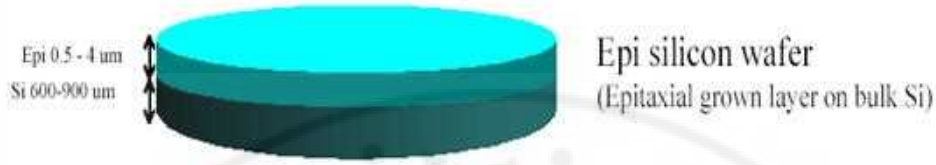
من المحاسن الأخرى لهذه الطريقة أن الطبقة البلورية المشابة يمكن أن يكون لها تركيز مختلف بالمقارنة مع طبقة الانتشار.



An epitaxial layer on a silicon substrate slice.

الشكل (11–4)

كذلك يمكن أن تنمو طبقة بلورية تالية للاستفادة من مزاياها بشكل تام و هذا يكون مصاحباً ببعض التشويه البلوري، و هكذا فإن معظم الدارات المتكاملة الوحيدة البلورة لها طبقة بلورية only one epi-layer وحيدة حيث تتوالى بعد ذلك الطبقات بواسطة تقنية الانتشار.



الشكل (12-4) الشريحة بعد نمو الطبقة الايبتاكسية عليها

و لا يوجد صعوبات إضافية في نمو الطبقة البلورية فوق مناطق الانتشار. لذلك فإن انتشار طبقة عالية التركيز buried من نوع n^+ يتم في القاعدة الأساسية دون أية مشكلات أضافية

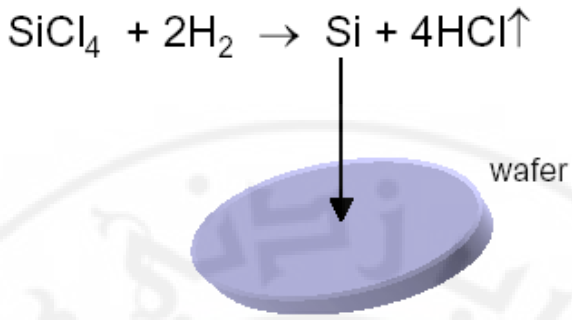
4-4-2- نمو طبقة السيلكون البلورية

Epitaxial growth of silicon

إن ذرات السيلكون يمكن أن ترسب مباشرة عن طريق العزل الفراغي أو بواسطة تقنية التفكك sputtering techniques و أكثر الطرق استخداماً تعتمد على تقنية تبخير رباعي كلور السيلكون SiCl4 silicon tetrachloride.

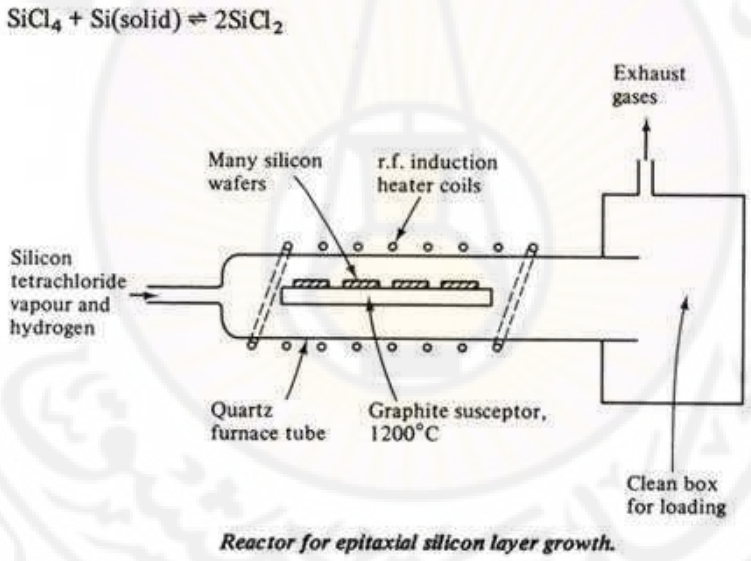
يتم نقل ذرات السيلكون بإحدى هذه الطرق إلى القاعدة الأساسية حيث تثبت بدرجات حرارة عالية لزيادة الارتباط و هكذا يتم تسريع العملية.

في تقنية التبخير يتم إنقاص بخار السيلكون (غاز كلور السيلكون) silicon chloride vapor بواسطة الهيدروجين على سطح شريحة السيلكون المكون للقاعدة الأساسية و التي تسخن بواسطة فرن تحريض لإنتاج السيلكون بشكل غير مباشر.



$$SiCl_4 + 2H_2 \leftrightarrow Si(solid) + 4HCl$$

مخطط الجهاز المستخدم لهذه العملية مبين في الشكل (4-13)



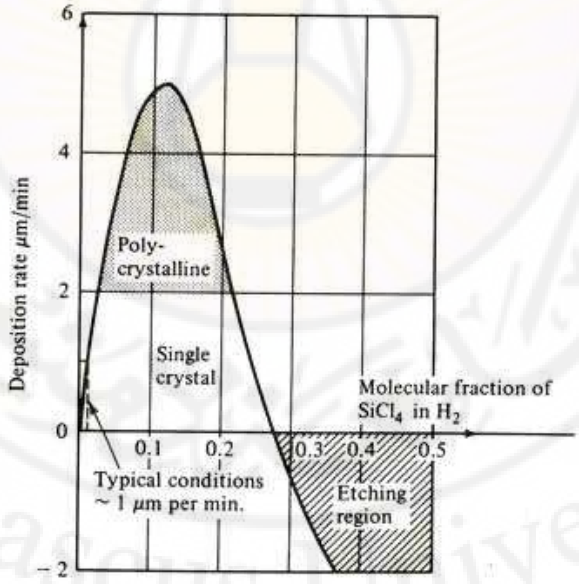
الشكل (13–4)

درجة حرارة المفاعل تحفظ نموذجياً عند القيمة 1200C° و إذا انخفضت درجة الحرارة كثيراً عن هذه القيمة فإن الطبقات البلورية epi-layer تتخرب ، و أخيراً بدون خط تبلور واضح و ذلك بسبب انخفاض تحرك ذرات الشوائب و بالتالي يصعب عليها التحرك إلى الاتجاه الصحيح لشبكة التبلور، يلاحظ أن التفاعل

الكيميائي المعطى بالمعادلة السابقة هو تفاعل قابل للانعكاس، فإذا وجد بخار كلور الهدروجين على حامل الغاز فإنه يحدث عملية حك etching بدلاً من حدوث نمو للطبقة البلورية و عندما يكون تركيز تتراكلوريد السيلكون concentration of silicon tetrachloride is high مرتفعاً، فإن احتمال حدوث الحك etching can still occur يبقى وارداً حتى عندما يكون حمض كلور الماء hydrogen chloride غير موجود تبعاً للمعادلة:

$$SiCl_4 + Si(solid) \leftrightarrow 2SiCl_2$$

و هكذا فإن معدل نمو طبقة السيلكون البلورية growth rate of epitaxial silicon التي تتأثر سلبياً بعملية الحك etching occurs تكون حرجة جداً و تعتمد على تركيز كلوريد السيلكون concentration of silicon chloride بنفس النسبة التي تعتمد فيها على درجة الحرارة كما نرى في الشكل (14–4).



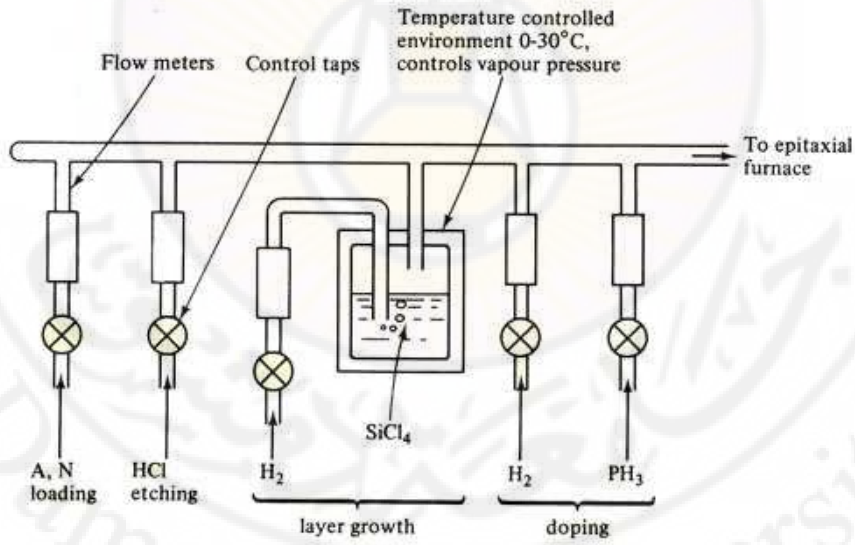
الشكل (14–4)

The variation of growth/etching rate with concentration of silicon chloride, at some particular temperature.

سوف نلاحظ أنه ضمن الشروط الصناعية النموذجية للنمو البلوري تتولد طبقات وحيدة البلورة بسرعة 1μm per minute.

إن إشابة Doping الطبقة البلورية يمكن تحقيقه بواسطة إضافة كميات محدودة من الشوائب الملائمة بشكل سائل ، مثال على ذلك: ثلاثي كلوريد الفسفور phosphorus tri chloride

أو ثلاثي كلور الانتموان (الزرنيخ) arsenic tri chloride إلى كلوريد السيلكون silicon chloride .



Auxilliary supplies for an epitaxial reactor.

الشكل (15–4) آلية التزويد الإشابة الطبقة الايبتاكسية

أو أن الشوائب يمكن أن تدخل مباشرة إلى غرفة المفاعل بشكل غاري مثل غاز الفسفور phosphates gas, PH3. الشكل (15–4) يبين التجهيزات الإضافية لتنمية الطبقة البلورية epi-layer growth و تنفيذ عملية الإشابة في نفس الوقت. الكشف النموذجي للإنتاج يمكن أن يوضح كما يلي :

شريحة القاعدة الأساسية تنظف بطريقة الحك etching بواسطة مزيج من cleaned by etching in a hydrofluoric – nitric – acid mix، يتبع ذلك الغسيل بواسطة ماء مقطر demonized water و تدور للتجفيف في الآزوت spin drying in nitrogen إن عملية التنظيف للشريحة تعتبر من المراحل الهامة لنجاح إنتاج الدارات المتكاملة.

الغاز الخامل مثل الأرغون argon أو النتروجين nitrogen يمر عبر المفاعل، بينما الشرائح المنظفة تكون محملة عليه.

تسخن الشرائح إلى درجة حرارة 1200 عن طريق نواقل من الغرافيت (انظر الشكل 6–4). و يتم توليد الحرارة باستخدام طاقة عشرات الكيلووات عبر الوشيعة الراديويه. يمر بخار حمض فلوريد الهيدروجين Hydrochloric – acid بالإضافة إلى الهدروجين فوق الشريحة لحك و تنظيف الوجه etch – clean، و يزيلان بشكل نموذجي 1μm من المادة و يهيئانها من أجل العزل البلوري التالي subsequent epitaxial deposition.

نمو الطبقة يمكن تحقيقها بضخ الهيدروجين عبر محلول كلوريد السيليكون المنظم حرارياً، و ينقل تيار الهدروجين معه البخار إلى القطعة heated substrates الساخنة ، و تدخل غازات الإشابة أيضاً في هذه المرحلة.

بهذه الطريقة التقنية يتم تكوين طبقة سماكتها 10μm layer ويتم ذلك بمعدل 1μm في الدقيقة الواحدة بالإضافة إلى بضع دقائق لعملية ما قبل الحك Few minutes pre – etching time سماحية السماكة تكون بحدود ± 5 per cent و في تصميم المقاومة تكون بنسبة ± 20 per cent.

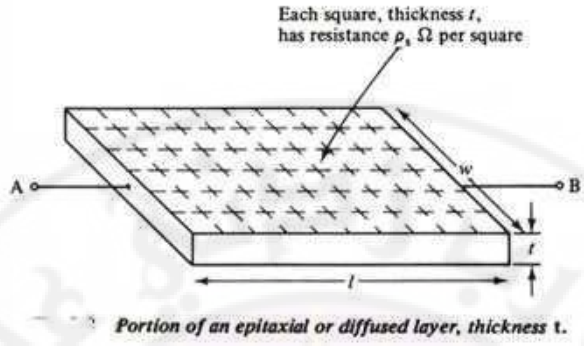
4-5- تقييم خصائص الطبقات البلورية

Evaluation of the properties of epitaxial layers

الدارة الميكروية و حيدة البلورة المصنعة ضمن طبقة الكريستال epi – layer تكون ذات خواص كهربائية و ميكانيكية مثل المقاومة (الصلابة) السماكة – المقاومة النوعية و يجب أن تقاس هذه الخواص ضمن شروط التصميم المطلوبة.
إن فكرة القياس لهذه الخواص و التقنية المستخدمة لذلك هي أيضاً قادرة على تحديد خواص طبقات الانتشار.

4-5-1- مقاومة الصفيحة (ρ_s sheet resistance)

بما أن الطبقات الابيتاكسية epitaxial أو الانتشارية diffused layers لا تكون بالضرورية مشابه بشكل متجانس فإن هذا لا يعتبر دائماً مناسباً ليعطي فكرة عن الناقلية التي تكون عادة تابعة للمسافة عبر المنطقة.
مقاومة الصفيحة sheet resistance ρ_s تحدد غالباً الخواص العملية المطابقة للصفائح المشابه.
باعتبار شريحة افتراضية من مادة نصف ناقلة مشابه كما هو مبين في الشكل(16-4).



الشكل (16-4)

فتكون المقاومة بين الطرفين A and B مساوية:

$$R_{AB} = \frac{\overline{\rho} I}{wt} ohms$$

حيث أن $\rho \Omega m$ المقاومة المتوسطة النوعية للطبقة.

جزئياً يمكن إيجاد المقاومة بواسطة تجزئة السطح إلى مربعات كل منها سماكته thickness t و تكون مقاومة كل مربع من الصفيحة يساوي مقاومة الصفيحة و يرمز له بـ $\rho_S \cdot \Omega / square$

The resistance of each square as the sheet resistance , $\rho_S \cdot \Omega / square$

و قيمة ρ_S يمكن إيجادها بوضع w=1 في المعادلة السابقة فيكون:

$$\rho_S = \frac{\overline{\rho}}{t}$$

إن هذه القيمة تعتبر ثابتة حيث تعتمد على القيم التربيعية أي يمكن أن تكون 1mm X 1mm; 1μm X 1μm الخ ...

بما أن الشريحة المنتهية تحتوي على المقدار L من المربعات على التسلسل تعطي القيمة $\rho_S L$ و كذاك القيمة w ذات تأثير تفرعي و بالتالي فإن المقاومة الكلية بين A and B تساوي : total resistance between

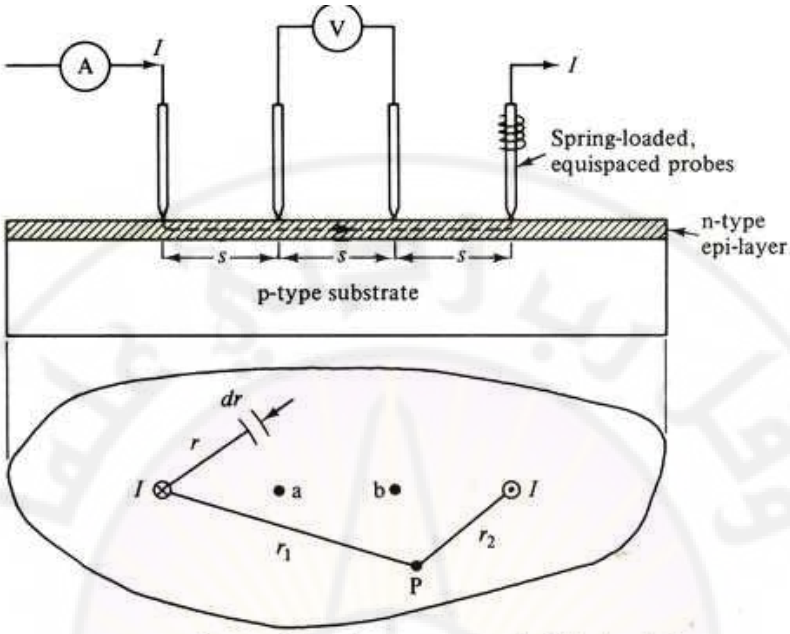
$$R_{AB} = \frac{\rho_S \cdot 1}{w} ohms$$

الميزة في معرفة ρ_S هي أن المقاومة للطبقة المشوبة بأبعادها العملية يمكن أن تحدد بدون معرفة لسماكة الطبقة أو تأثير الناقلية the layer thickness or conductivity profile بشرط أن تكون مقاومة الصفيحة معروفة.

إن هذا الأسلوب في التقنية مفيد جداً من أجل تصميم المقاومات الوحيدة البلورية design of monolithic resistors كما شرحنا.

4-5-2- قياس مقاومة الصفيحة measurement of sheet resistance

يتم قياس مقاومة الطبقات البلورية غالباً باستخدام طريقة الدبابيس الأربعة و الشكل(4-17) يبين المخطط العام لهذه الطريقة ، حيث يمر تيار قياس ثابت ((نموذجي)) مساو لـ 1mA بين طرفي العينات ويقاس الجهد V بواسطة مقياس فولت له ممانعة دخل عالية بين العينتين الداخليتين.



Four-point probe measurement of sheet resistance.

الشكل (4–17)

مقاومة العنصر الحلقي المبين في الشكل (4–17) يساوي $\rho_S \cdot \frac{dr}{2\pi r}$ و يكون الجهد الهابط عبر الحلقة يساوي:

$$dV_r = I\frac{\rho_S dr}{2\pi r}$$

الجهد عند النقطة العينة P بإجراء التكامل للكمية الجبرية يكون:

$$V_P = I \cdot \frac{\rho_S}{2\pi} \int_{r1}^{r2} \frac{dr}{r} = \frac{I.\rho_S}{2\pi} . \ln \frac{r2}{r1}$$

$$V_P = \frac{I.\rho_S}{2\pi} \log_e (\frac{r2}{r1})$$

و هكذا يكون فرق الجهد المقاس V يساوي:

So the potential difference measured , V , is given by:

$$V = V_a - V_b = \frac{I.\rho_S}{\pi} \log_e (2)$$

Which can be rearranged to give:

ترتب لتعطي:

$$\rho_S = \left[\frac{\pi}{\log_e 2} \right] \frac{V}{I} = 4.532 \frac{V}{I}$$

و بالتالي فإن مقاومة الصفيحة يمكن معرفتها بقياس الجهد و التيار

Measurement of V and I

توضيح:

$$V_a = \frac{I\rho_S}{2\pi}\ln 2$$

$$V_b = \frac{I\rho_S}{2\pi}\ln\frac{1}{2}$$

$$V_a - V_b = \frac{I.\rho_S}{2\pi}.\ln 2 - \frac{I.\rho_S}{2\pi}.\ln\frac{1}{2}$$

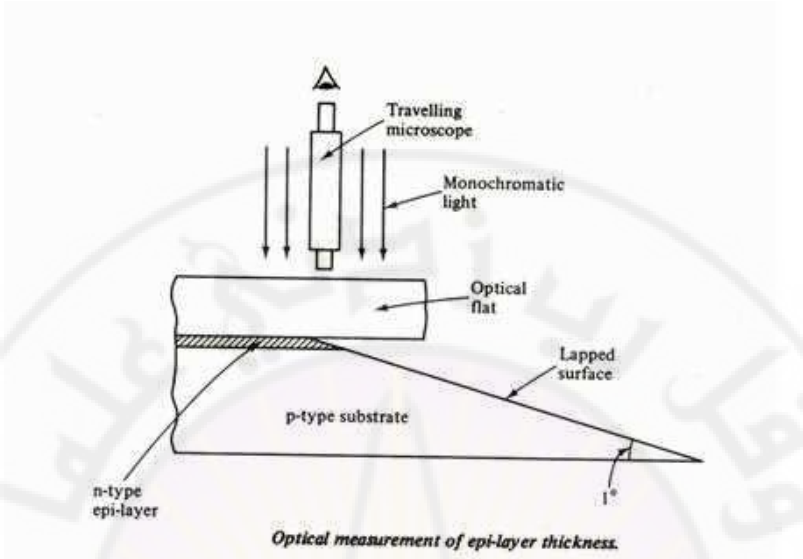
$$= \frac{I.\rho_S}{2\pi}(\ln 2 - \ln 1 + \ln 2)$$

$$= \frac{2I.\rho_S}{2\pi}\ln 2 = \frac{I.\rho_S}{\pi}\ln 2$$

4-5-3- قياس سماكة الطبقة البلورية (الابيتاكسية):

Measurement of epitaxial layer thickness:

تؤخذ قطعة صغيرة من الشريحة البلورية مشطوفة بزاوية صغيرة حوالي order 1°كما هو مبين بالشكل(18-4) .



Optical measurement of epi-layer thickness.

الشكل (18-4)

للحصول على بعض الخواص للمناطق الحدية حتى يمكن قياسها ، و يتم حك etching السطح المشطوف حتى يصبح من الممكن مشاهدته.

المادة المستخدمة للحك هي محلول من سلفات النحاس copper sulphtae و تجعل هذه المادة الوصلة بين القاعدة الأساسية و بين الطبقة البلورية منظورة (في حمض فلوريد الهيدروجين hydrofluoric) الذي يزيل تأكسد السطح.

طريقة الـ An interferometric method تستخدم غالباً لقياس السماكة للطبقات مباشرة و بذلك يتم إزالة حالة عدم التحقق بواسطة الزاوية المشطوفة. القسم المسطح يشاهد مباشرة على سطح الشريحة كما نرى، أما حاشية النموذج فتتم معاينته بواسطة الميكروسكوب باستخدام ضوء وحيد الطيف.

كمثال: إذا استخدم ضوء بخار الصوديوم فإن المسافة بين أطراف الضبط تصل إلى حوالي $0.3\mu m$ بإحصاء عدد الأطراف إلى الوصلة يمكن بالتالي تحديد سماكة الطبقة.

4-5-4- قياس المقاومة النوعية للطبقة:

Measurement of the resistivity profile of a layer:

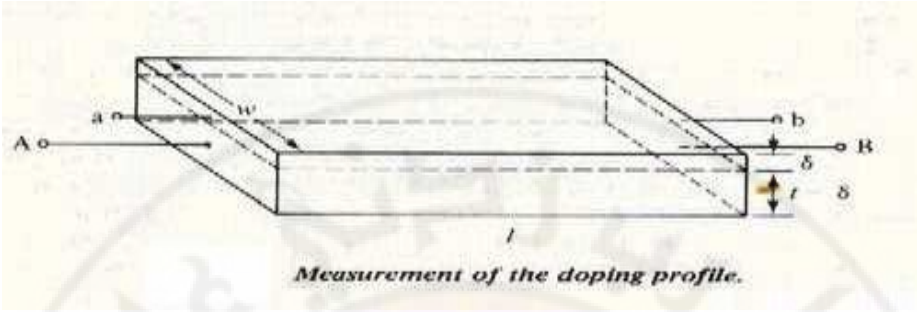
إن إحدى الطرق لقياس المقاومة النوعية بالمقارنة مع سماكة الطبقة و التي تعبر عن تحديد آثر الشوائب impurity profile تتم بإزالة لطبقات المادة، و قياس المقاومة الجديد للصفيحة sheet resistance after each step بعد كل خطوة، حيث من الممكن قياس هذه المقاومة باستخدام طريقة عينات النقاط الأربع السابقة الذكر.

بالعودة إلى الشكل (4-19) فإن المقاومة الداخلية بين نهايتي الصفيحة هي:

$$R_{AB1} = \rho_{S1} \frac{1}{w}$$

و لكن بعد إزالة طبقة بسماكة δ فان المقاومة تتغير إلى:

$$R_{AB2} = \rho_{S2} \frac{1}{w}$$



الشكل (19–4)

و المقاومة للطبقة المزالة R_{ab1} تكون:

The resistance of the removed layer, R_{ab1}, is then :

$$R_{ab1} = \frac{R_{AB1}.R_{AB2}}{R_{AB1} - R_{AB2}} = \frac{1}{w}.\frac{\rho_{S1}.\rho_{S2}}{\rho_{S1} - \rho_{S1}} = \frac{\overline{\rho_1}.1}{w\delta}$$

حيث أن $\overline{\rho_1}$ هي المقاومة ألوسطية average resistivity للطبقة المزالة.

و هكذا فإن المقاومة و كذلك تركيز الشوائب للطبقة المزالة يمكن أن تقدر من القيم المقاسة حيث:

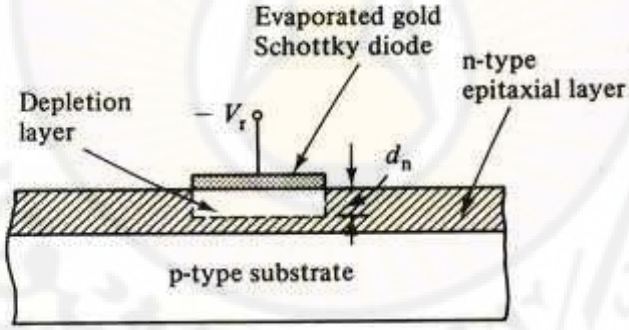
$$\overline{\rho_1} = \frac{\rho_{S1}.\rho_{S2}}{\rho_{S1} - \rho_{S2}}\delta(\Omega m)$$

و بالتالي يمكن قياس المقاومة النوعية و الإشابة بالاعتماد على طريقة القشط و القياس للطبقات.

الطريقة الأخرى و المتميزة بعدم حدوث أتلاف هي التبخير لثنائي شوتكي ذهبي للمساحة المحددة على سطح الطبقة.

An alternative method, which has the advantage of being nondestructive is to evaporate a gold Schottky barrier diode of prescribed area o to the surface of the layer.

مثال هذه الثنائيات مشابهة بجدتها و تركيزها للثنائيات الموصوفة في الفصل (7). كما هو مبين في الشكل(20-4).



Measurement of the impurity profile from the capacitance of a Schottky diode.

الشكل (20–4)

سعة المنطقة المعزولة Depletion Capacitance of the Diode للثنائي C يتم قياسها كتابع لجهد الانحياز العكسي Reverse Bias Voltage V_T و تعطى قيمة السعة بالعلاقة :

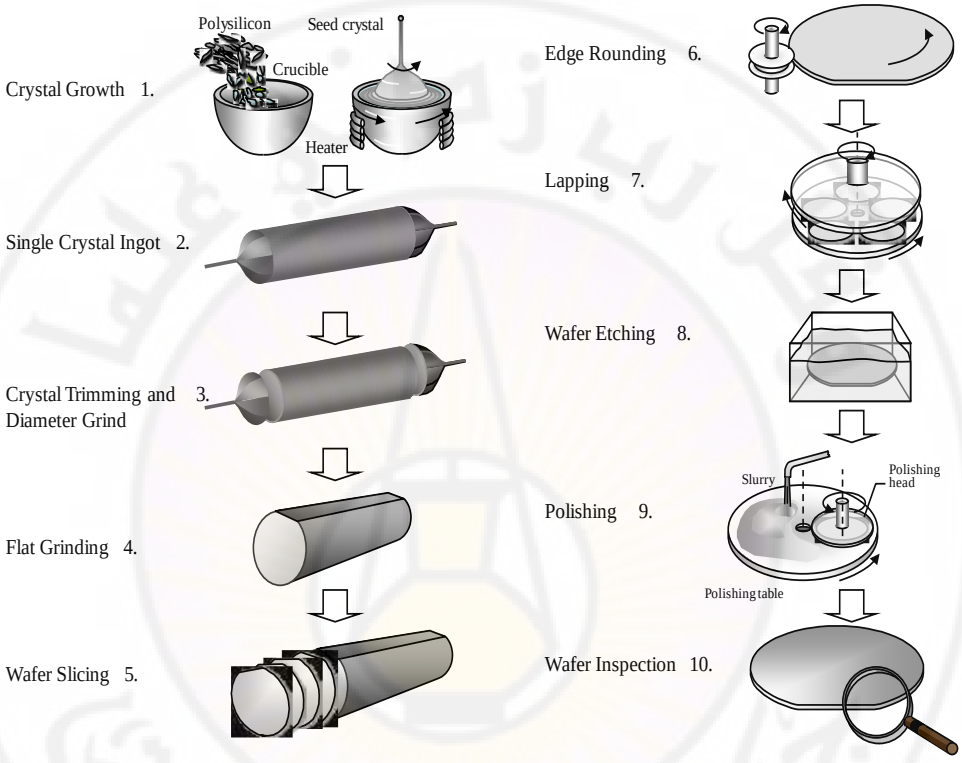
$$C = . \, {}^{1/2} V_r \, {}^{-1/2} \quad \left[\frac{e. \in_r . \in_o N_d}{2} \right]$$

وهكذا إذا كانت C^{-2} تعتبر كتابع ل V و بالتالي فان ميل المنحني يعطي القيمة المتوسطة لتركيب الشوائب في منطقة العزل .Depletion Layer N_d .

إن هذه الترتيبات تتخذ شكل الطبقة المشوبة حيث قيمة N_d هي غالباً تابع للبعد في الطبقة Function into distance of the layer مع ذلك في مثل هذه الحالات حيث أن عمق منطقة النضوب . Depletion layer width d_n التي تحدد السعة هي تابع للجهد المطبق فأن التغيرات الكبيرة في الجهد و قياس المطابقة للتغير يمكن ان تستخدم لحساب تركيز الشوائب Donor Concentration عند العمق العملي (d_n) Particular Depth N_d عمليا يمكن الحصول على هذه المعلومات من ميل المنطقة المحدودة لـ C^{-2} مع مخطط الجهد V .

و قد تم تطوير أدوات إلكترونية لقياس مثل هذه السعات لثنائيات شوتكي باستخدام جهد متناوب بسيط يتراكب مع جهد مستمر يحقن عكسياً غلى القاعدة و الذي يعطي معلومات مباشرة عن خطوط الشوائب .

Preparation of Silicon Wafers



الشكل (21–4) ملخص تصوري عام لمراحل تحضير شرائح السليكون



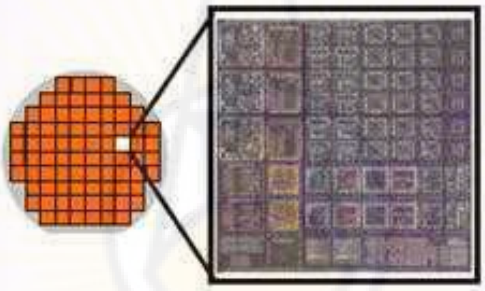
الشكل (22–4) مراقبة الخواص لشرائح السليكون المنتهية من المعالجة الأولية

Damascus University

الفصل الخامس

نمو طبقة الأوكسيد وتحضير النوافذ

Oxide layer growth and window preparation



5-1- نمو طبقة الأوكسيد على السيلكون وخواصها

5-2- تحضير القناع الضوئي

5-3- تحضير النوافذ بواسطة الحفر الضوئي

Damascus University

وقل رب زدني علما
Damascus University

5- نمو طبقة الأوكسيد وتحضير النوافذ:

Oxide layer growth and window preparation

إن إنتاج شرائح السيلكون المستخدمة كجسم للدارة المتكاملة يعتمد على الطبقة البلورية المشوبة من السيلكون التي شرحت في الفصل السابق. وعلى هذه الأساس تتكون المواد المستخدمة في الدارة المختلفة وفقاً للمبدأ المشروح في الفصل الثاني بواسطة انتشار الشوائب في الطبقة البلورية ***epi-layer***.

إن المساحات العليا التي تنتشر بشكل خاص فعالة وتحدد بطبقة الأوكسيد حيث تتشكل في النوافذ ***windows*** وسيتم هنا دراسة تقنية إنتاج النوافذ في طبقات الأوكسيد الملائمة.

5-1- نمو طبقة الأوكسيد على السيلكون وخواصها:

Growth and properties of oxide layer on silicon

تتشكل طبقة ثاني أوكسيد السيلكون على سطح الشريحة السيليكونية بواسطة الأكسدة الحرارية عند درجات الحرارة العالية وبوجود تيار من الأوكسجين وفق المعادلة:

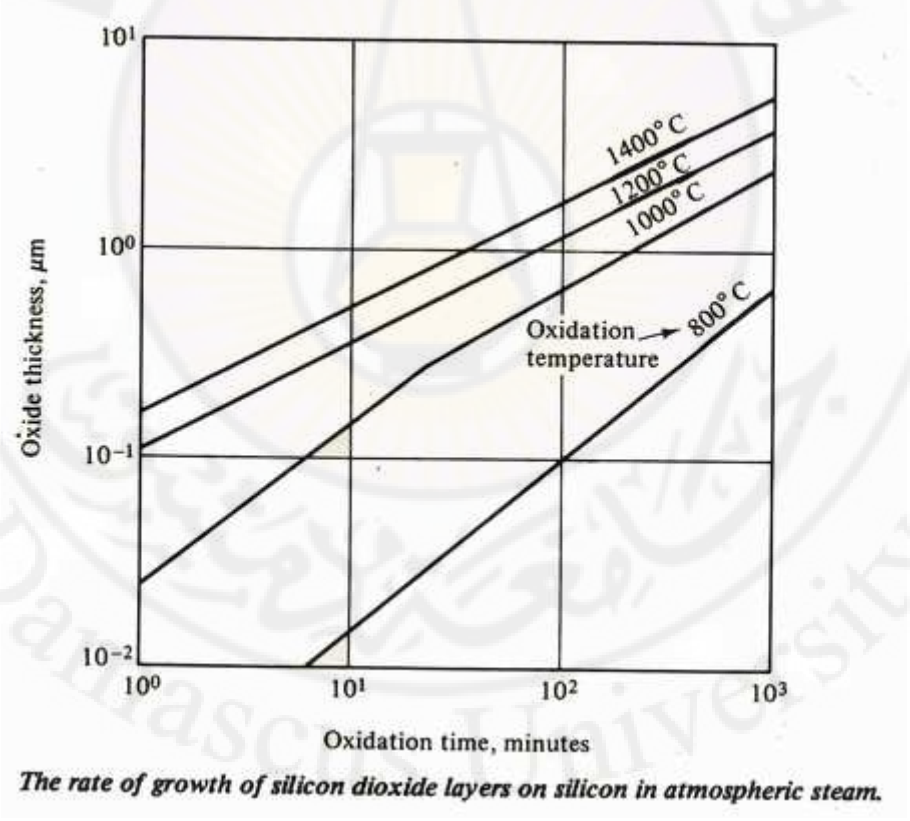
$$Si(solid) + O_2 \xrightarrow[highT]{} SiO_2(Solid)$$

فرن الأكسدة المستخدم لهذا التفاعل مشابه لفرن الانتشار المبين في الشكل ***(a;5-19)*** والشكل (4-5) وسماكة طبقة الأوكسيد تعتمد على درجة حرارة الفرن

وعلى زمن الشريحة في الفرن ومعدل جريان الأوكسجين ويمكن لمعدل الأكسدة أن يزداد بإضافة بخار الماء للأوكسجين إلى فرن الأكسدة.

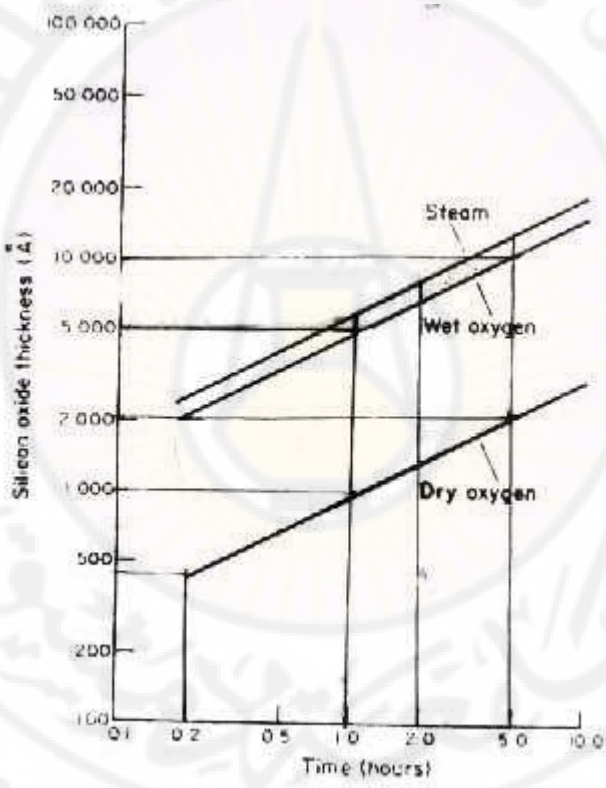
$$Si(solid) + 2H_2O \xrightarrow[highT]{} SiO_2 + 2H_2$$

أغلب عمليات الأكسدة تتم بهذا الأسلوب. إن الزمن ودرجة الحرارة المطلوبين للحصول على طبقة أوكسيد معينة يمكن الحصول عليها من المنحنيات المبينة في الشكل (1-5)



الشكل (1-5) معدل نمو الأوكسيد بدرجات حرارة مختلفة

سماكات الطبقة ضمن المجال بين ($0.1-5)\mu m$) يتم إنتاجها بشكل عام بدرجات حرارة بين 1000–1200 درجة مئوية وكذلك تبين المنحنيات في الشكل (2–5) معدل الزيادة في سماكة الطبقة الأوكسيديه باستخدام أوكسجين جاف أو رطب /بشكل بخار/ عند درجة حرارة ثابتة للفرن.

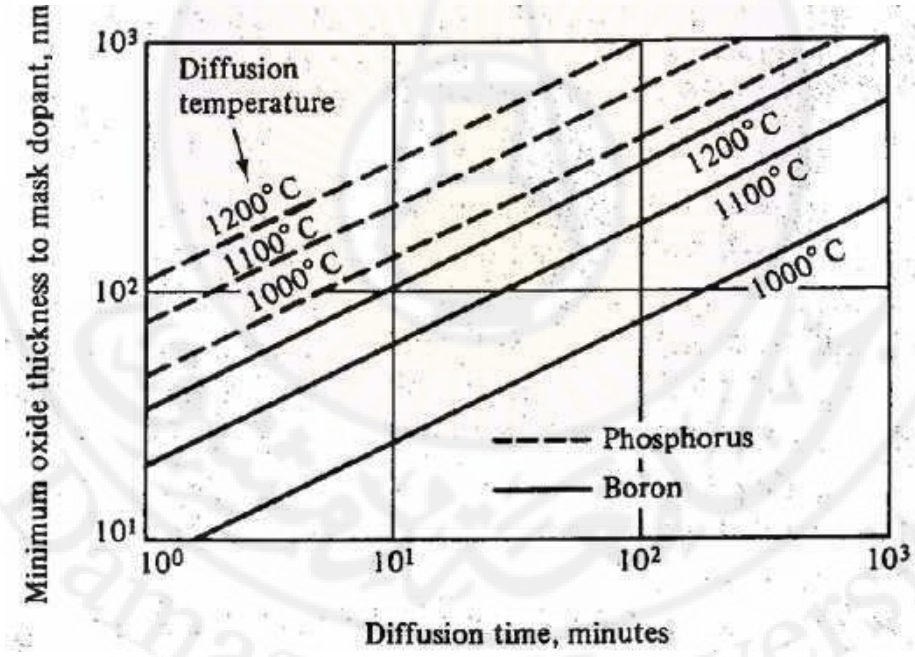


الشكل (2–5)

لقد أظهر الكشف النموذجي أن تمرير فقاعات الأوكسجين عبر الماء في طريقها إلى الفرن عند درجة الحرارة – 1100– لتعطي نمو الأوكسيد بمعدل ($0.5\mu m / Hour$).

طبقة الأوكسيد عند انتهائها يجب أن تكون قادرة على حجب شريحة السيلكون من أية شوائب تلي مرحلة الانتشار، وبالتالي فإن الشوائب يمكنها أن تنتشر إلى شريحة السليكون عبر النوافذ الدقيقة التحديد المقطوعة في طبقة الأوكسيد، وتكون السماكة الدنيا للأكسيد المطلوب للحجب بشكل كامل تعتمد على الشوائب وعوامل انتشارها مثل الزمن والحرارة.

السماكة الدنيا لطبقة الأوكسيد المطلوبة من أجل حالات الانتشار المختلفة وعلاقتها مع الزمن ودرجة الحرارة يمكن أن تستخلص من المنحنيات التجريبية المبينة في الشكل (3-5).



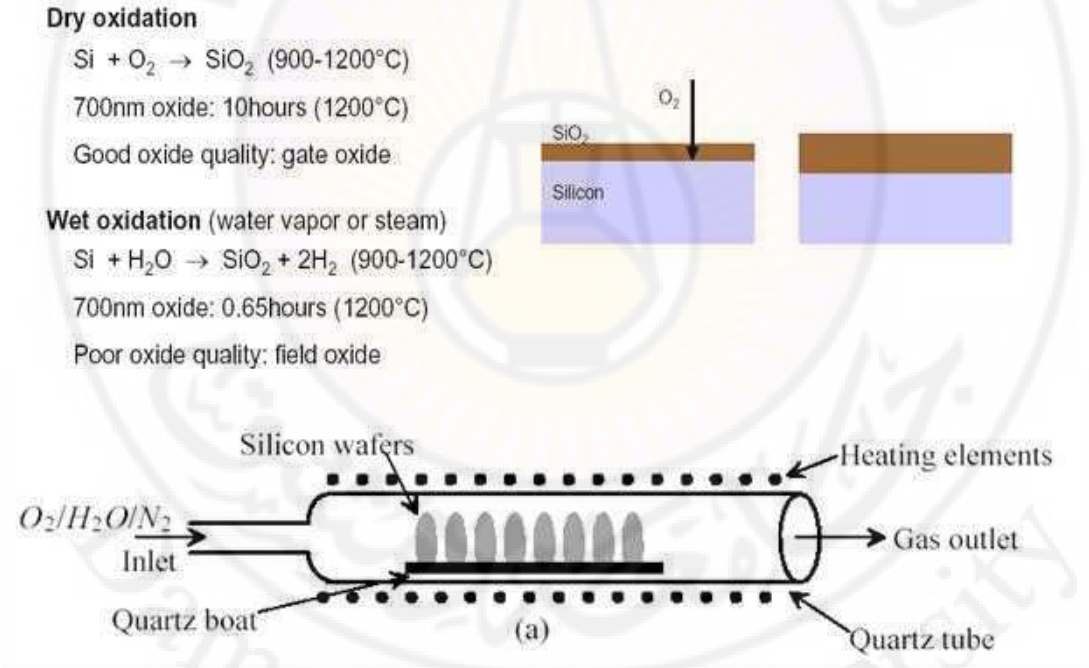
الشكل (3-5)

Minimum thickness of silicon dioxide required to mask a silicon slice from various dopants, under different diffusion conditions.

مجموعة المنحنيات المبينة في الشكل (1–5) تستخدم في نفس الوقت للحصول على الخواص الأولية التحضيرية لطبقة الأوكسيد الأصغرية التي تحدد بالاعتماد على الشكل (3–5)، فعلى سبيل المثال:

من أجل نوع ***n-type*** باعث فسفوري، زمن تحميل الانتشار 10 دقائق، وعند درجة حرارة 1000 درجة مئوية، نحتاج لسماكة طبقة أوكسيد لا تقل عن ($0.1\mu m$) وفقاً للشكل (3–5).

الشكل (1–5) بين أن مثل هذه الطبقة يمكن أن تتكون في البخار الجوي عند درجة حرارة 1000، وخلال 10 دقائق.



(a) Simplified representation of an oxidation tube furnace and

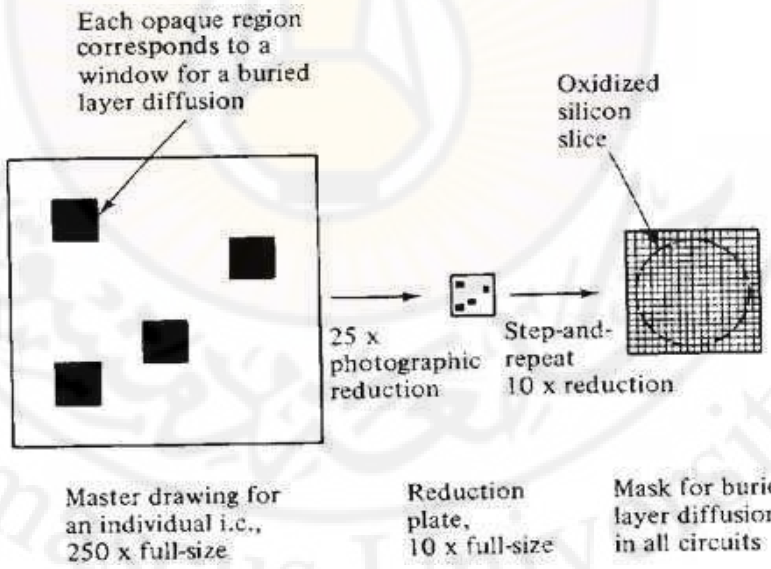
الشكل (4–5) تصور لفرن الأكسدة (أنبوب الأكسدة) مع تبيان لسماكة الاوكسيد للحالتين الجافة والرطبة مع المحددات الإنتاجية من زمن ورطوبة

5-2- تحضير القناع الضوئي:

Photo mask Preparation

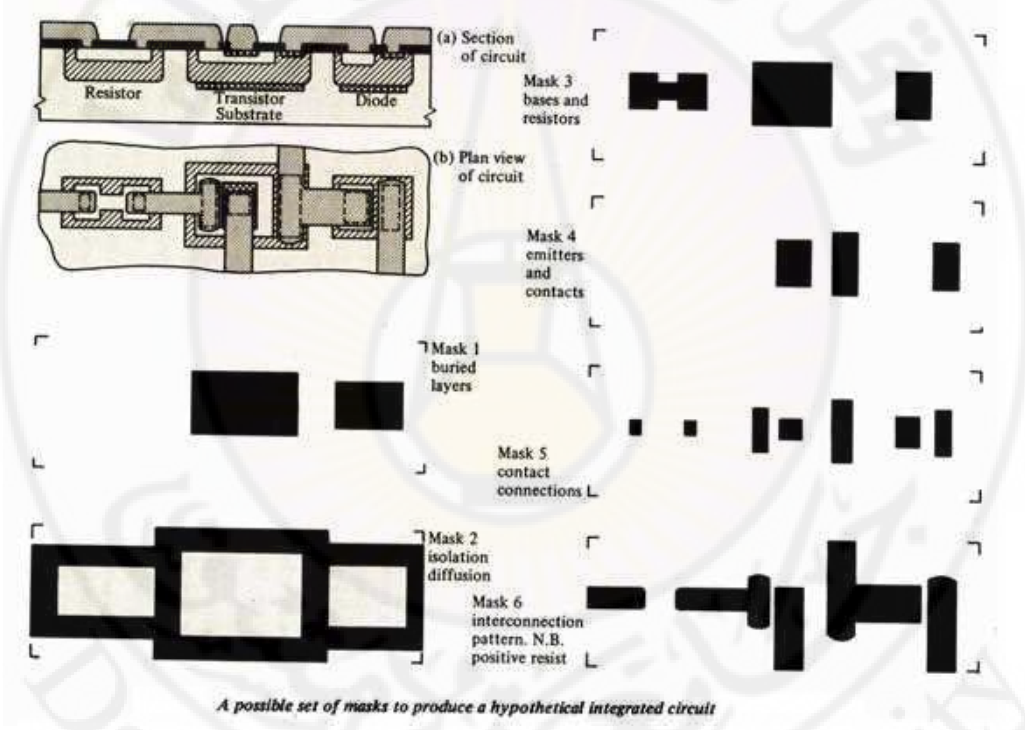
القناع الضوئي ***Photo mask*** هو الذي يحدد أماكن جميع النوافذ على طبقة الأوكسيد ويحدد مساحتها العملية التي ستحدث فيها خطوة الانتشار وكل قناع تام يحتوي بشكل أساسي على صفيحة تصوير يحضر عليها جميع النوافذ المراد فتحها قبل حصول عملية الانتشار وتكون بحجمها الكامل بشكل معتم والأقسام الباقية تكون شفافة.

من الشكل (5-5) نرى أن كل قناع كامل لا يحتوي فقط على جميع النوافذ للإنتاج المطلوب مرحلة واحدة في الدارة التكاملية ولكن بالإضافة إلى ذلك جميع المساحات المتشابهة لجميع الدارات في الشريحة الكاملة.



الشكل (5-5)

ويجب أن نعلم أنه لكل مرحلة من مراحل إنتاج الدارة المتكاملة نحتاج لقناع مختلف عن الآخر حيث أنه يتطلب ما يزيد على / 12/ قناعاً لإنتاج دارة نموذجية، ومن المتطلبات الحيوية وجود تجانس تام ومحكم بين قناع وآخر يليه على التسلسل وذلك لكي نكون واثقين من عدم وجود تراكب **overlap** بين العناصر وأن كل قسم من الترانزستور مصنع بإحكام ودقة وموضوع في مكانه الملائم.



A possible set of masks to produce a hypothetical integrated circuit

الشكل (6-5) تحضير الأقنعة لفتح النوافذ في طبقات الأوكسيد للدارة المتكاملة النموذجية المدروسة سابقا.

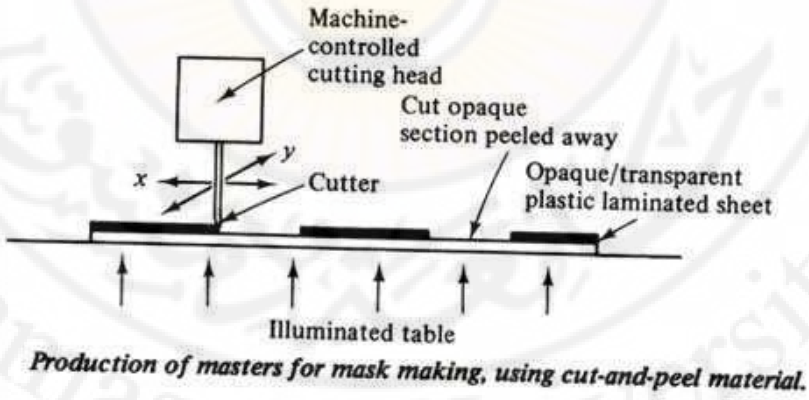
<u>مثال :</u>

إذا أخذنا الدارة المتكاملة التي شرحت سابقاً والموضحة في الشكل (4–3) (مراحل تصنيع الدارات المتكاملة وحيدة البلورة) وأعيد إيضاحها في الشكل (6–5).

لتصنيع القناع لإحدى مراحل الإنتاج يتم أولاً تحضير نموذج أساسي وهو يعتبر صورة طبق الأصل دقيقة لجزء من القناع النهائي المتكامل لإحدى الدارات التكاملية ولكن بتكبير قدره 250 مرة للحجم النهائي.

الشكل (7–5) يبين إحدى الإمكانيات لإنتاج قناع لتحديد طبقات الانتشار لإحدى الدارات الافتراضية النموذج الأساسي ($1\boldsymbol{m}\times1\boldsymbol{m}$) يتم تحضيره بحيث يحتوي على فلمين من البلاستيك أحدهما مظلم والآخر شفاف ويكونان بشكل صفائح مع بعضهما.

الرسم التخطيطي للنموذج المطلوب يقطع في الفلم المظلم باستخدام آلة قطع ذات تحكم آلي غاية في الدقة على طاولة مضاءة كما هو مبين في الشكل (7–5)



Production of masters for mask making, using cut-and-peel material.

الشكل (7–5) تحضير القناع الأساسي (ماستر ماسك)

ويمكن بعد ذلك إبعاد الفلم المظلم الأسود وذلك لإظهار المساحات الشفافة وكل واحدة تحدد منطقة نافذة في القناع الأخير.

عملية القطع يجب أن تتم يدوياً أو كما هو مستعمل في الوقت الحاضر بواسطة آلة يتحكم بها عن طريق حاسب الكتروني.

المرحلة التالية هي تصوير النموذج الأساسي **the master** باستخدام خلفية مضيئة وذلك للحصول على صفحة مصغرة عن النموذج الأساسي بمقدار 25 مرة، هذه الصفيحة تستخدم في كاميرا الخطوة والإرجاع التي تؤدي عملين:

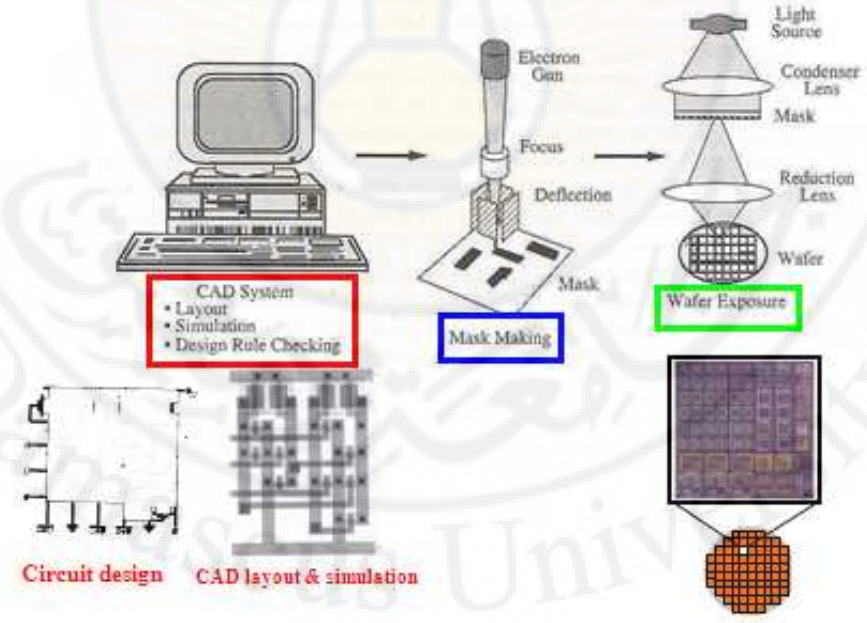
إنقاص النموذج بمقدار 10 مرات إلى حجمه النهائي وكذلك تكون قادرة على التوقف ميكانيكاً للحصول على ترتيب النماذج المتشابهة في القناع الأساسي النهائي، وإن كل مجموعة من الترتيبات تتكامل لتعطي دارة متكاملة واحدة عوضاً عن التحرك الميكانيكي لصفيحة التصوير بخطوات تدريجية **discrete steps** ومن أجل الدقة فإن الأفضل أن نختار استخدام أسلوب التحرك المستمر للصفيحة، والكشف التدريجي يتم تحقيقه بواسطة التزامن الإلكتروني لمصباح توهج **electronically synchronized xenon flash lamp**.

بما أن القناع العملي حساس جداً لذلك فإنه يستخدم فقط من أجل عدد محدد من الأعمال.

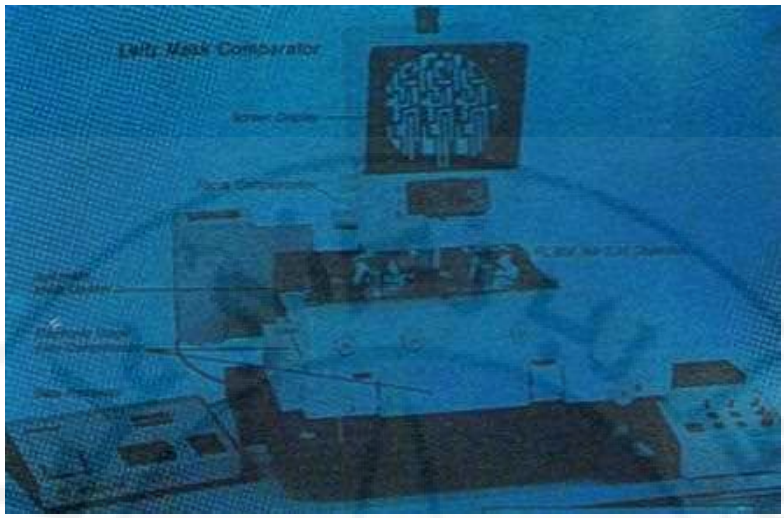
بناء على ذلك فإن عدداً كبيراً من طبعات –رسوم– التماس تصنع من القناع بعد تصوير الخطوة والإعادة.**Step and repeat photography**

وغالباً ما تتم صناعة الكوبي من الكروم على شرائح من الزجاج وذلك من أجل المتانة الإضافية.

إن ازدياد كثافة العناصر المجمعة في الدارة المتكاملة العصرية أدى إلى أن تصنيع الأقنعة الأساسية خصوصاً من أجل الوصلات الداخلية للنماذج في معظم الدارات أصبح أكثر تطوراً، وأصبح الحاسب الإلكتروني يأخذ مجاله في التطبيق بشكل أكبر حيث أن التصميم للعناصر الإلكترونية الأساسية كافة محفوظ في الحاسب الإلكتروني والحاسب تتم برمجته لحساب القناع المناسب لكل عنصر مخزون في الدارة والمصمم يدخل التصميم الأولي الهيكلي والحاسب الإلكتروني يعالج المعلومات الموجودة ضمنه للحصول على القناع للنموذج الملائم ويكون خرج الحاسب تصميماً للقناع على محوري ***x-y*** للاختبار وإعطاء شريط التحكم لقطع القناع الأساسي.



شكل تصوري لمراحل تشكيل القناع



الشكل (8-5) وحدة التأكد من سلامة الأقنعة عن طريق المقارنة الآلية والرؤيا المباشرة بعد تكبير القناع وإظهاره على الشاشة التلفزيونية.

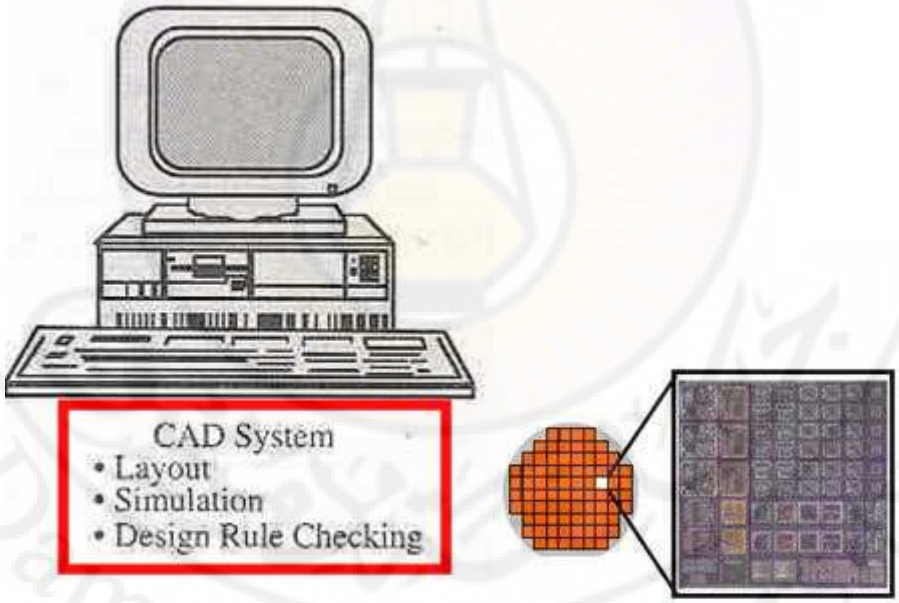
وبشكل تدريجي فإن خرج الحاسب يمكن أن يستخدم لتحديد الوضع والحجم للتحول الكهربائي في مولد النموذج وذلك لإنتاج صفيحة النموذج الأساسية مباشرة.
يتم تطوير العمل بواسطة الشعاع الإلكتروني الذي يتحكم به آلياً ، ففي النماذج الدقيقة جداً يمكن أن تنتج اعتماداً على هذا الشعاع الإلكتروني ذو الموجة القصيرة والذي يملك قدرة كبيرة نسبياً والمتحكم به بواسطة الحاسب .

وهكذا فإن القناع الأساسي النهائي يمكن أن ينتج مباشرة بواسطة اختصار مراحل التصوير.

تصنع الأقنعة عادة من الكروم على شرائح من الزجاج، نموذجياً تكون مساحتها **50mm square** وتصنع باستخدام شعاع إلكتروني بقطر ($1\mu m$) بواسطة تقنية الحفر الضوئي.

يغطى الكروم على شريحة الزجاج بطبقة فيلم حساسة إلكترونياً التي تغطي النموذج الملائم بواسطة شعاع إلكتروني يتحكم به بواسطة الحاسب.

تتم إزالة المقاومة الحساسة للشعاع الإلكتروني بواسطة الإظهار والفيلم الإلكتروني يتم حفره –إزالته– عن طريق ثقوب المقاومة وذلك لإتمام القناع بشكله النهائي.



الشكل (9–5) استخدام الحاسب الالكترونية لتنفيذ التصميم المطلوب للمخططات والأقنعة .

5-3- تحضير النوافذ بواسطة الحفر الضوئي:

Photolithographic window preparation

النوافذ ***window*** التي عبرها يتم الانتشار التالي تفتح في طبقة أوكسيد السيليكون للشريحة بواسطة الطريقة التالية:

أولاً: يتم وضع مقاومة تصوير حساسة للضوء على وجه شريحة أوكسيد السيليكون فإما أن يستخدم رشاش من الأيروزول أو نقاط عيني بينما الشريحة ممسوكة في المجال الخالي وتدور بشرعة عالية نموذجياً بحدود 20000 دورة في الدقيقة.

إن هذه العملية تتم في ضوء أصفر خافت وتنتج طبقة رقيقة فلميه مقاومة على وجه الشريحة كما نشاهد في الشكل ***(a-5-10)*** يتم بعد ذلك خبز الشريحة بدرجة حرارة حوالي 150 درجة مئوية لإزالة المحاليل وذلك أيضاً في ضوء أمين.

قناع التصوير وينتج كما وضحنا سابقاً ويترابط بإتقان مع النموذج على الشريحة باستخدام طريقة الاهتزاز الميكانيكية المبينة بشكل مبدئي في الشكل **(b-5-10)**، وفي كل لحظة يتوضع القناع في مكانه الملائم بواسطة تماس مع الفيلم ذي الحساسية الضوئية، ومع ذلك لا يزال في حالة الهز الميكانيكي ويتعرض لأشعة ضوئية فوق البنفسجية الشكل ***(b-5-10)*** يبين ذلك أيضاً.

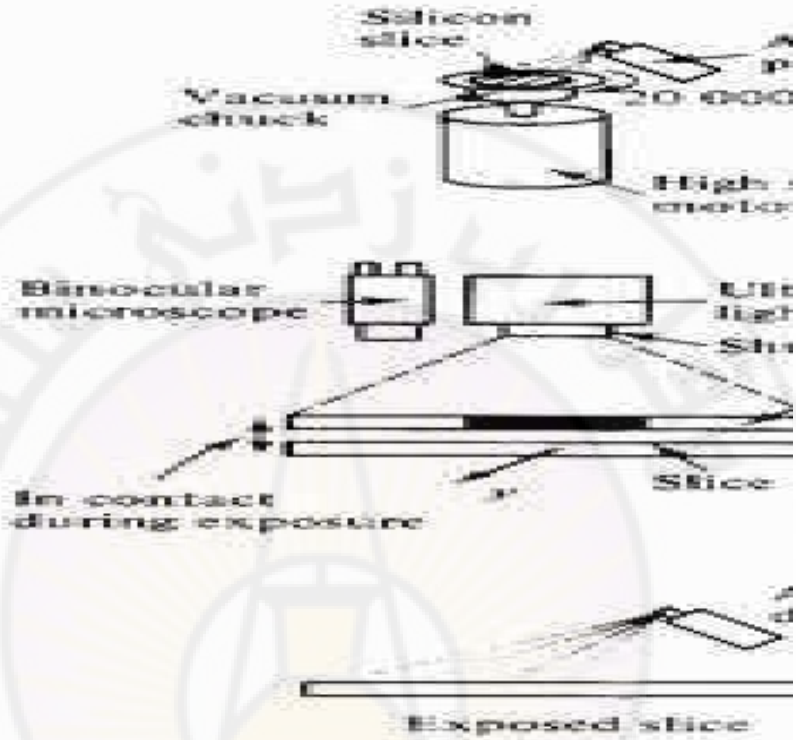
إن المستحلب الضوئي له خاصة بعدم الذوبان في معظم محاليل الإظهار حينما أو بينما تحدث عملية البلمرة **polymerizes** لاتحاد الأجزاء بواسطة التعرض للإشعاعات فوق البنفسجية.

المساحات غير المزالة تحت الأجزاء المظلمة للقناع يمكن أن تزال بواسطة محلول إظهار فلمي الذي يرش مرة ثانية كما في الشكل **(c-5-10)**. المقاومة المتبقية تقسى وتتفاعل كقناع ملائم يمكن من خلاله حفر طبقة الأوكسيد باستخدام حمض الهيدروفلوريد **hydrofluoric acid** التي تكشف المادة نصف الناقلة الموجودة في العمق السفلي كما في الشكل **(d-5-10)**.

المقاومة المتبقية يمكن إزالتها أخيراً بواسطة مزيج من حمض **sulphuric acid** وفوق أوكسيد الهيدروجين **hydrogen peroxide** والغسل النهائي ومرحلة التجفيف تتمان النوافذ المطلوبة في طبقة الأوكسيد.

بذلك يكون قد تم شرح عمليات فتح النوافذ، وذلك باستخدام مسودة مقاومة ضوئية مستحلبة **photo resist emulsion**.

ويمكن أن نستخدم الأسلوب العكسي للمقاومة الضوئية باستخدام مبيضة المقاومة الضوئية **positive emulsions** والتي تستخدم بنفس الأسلوب إلا أن النوافذ في هذه الحالة تفتح في الأماكن التي يكون فيها القناع شفافاً (وذلك بدلاً من المناطق المظلمة بالنسبة للطريقة التي تستخدم المسودة).



Damascus University

الشكل (10–5)

إن هذه المواد تعتبر مفيدة عندما تكون مساحات الأوكسيد المراد إزالتها كبيرة كمثال في حالة الوصلات الداخلية المعدنية كما نرى في الشكل (6–5) .

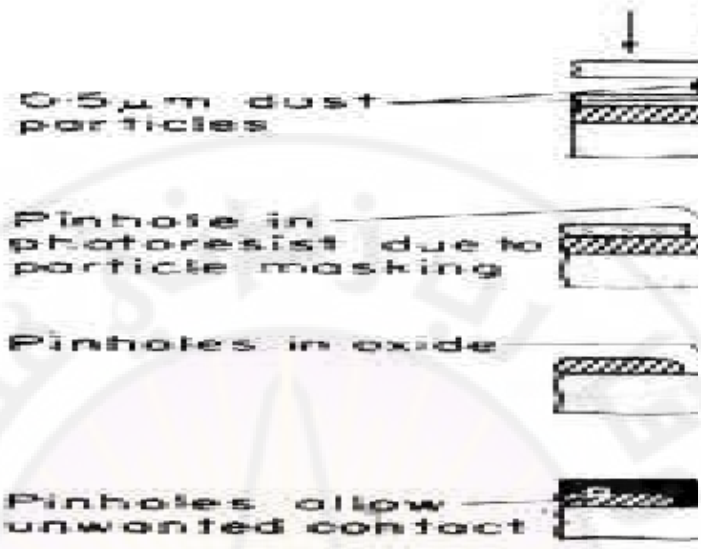
إن عملية النظافة في هذه المرحلة وفي المراحل الأخرى تعتبر أساسية في الصناعة ويبين الشكل (12–5) تاثير ذرات الغبار.

الأكسدة تتم غالباً في كبين صفائحي والذي يعتبر بحد ذاته غرفة مكيفة هوائياً، مع الأخذ بعين الاعتبار وجود لباس خاص إلزامي للعاملين في هذه الغرفة.

كما هو مبين في الشكل (11–5) و (13–5) لمرحلة الأكسدة للشرائح أو خلال نقل هذه الشرائح لفحصها أو وضعها في آلة ثانية وللمزيد من التوسع في هذا المجال يمكن العودة إلى ***[5]***.



الشكل (11–5) فرن الأكسدة



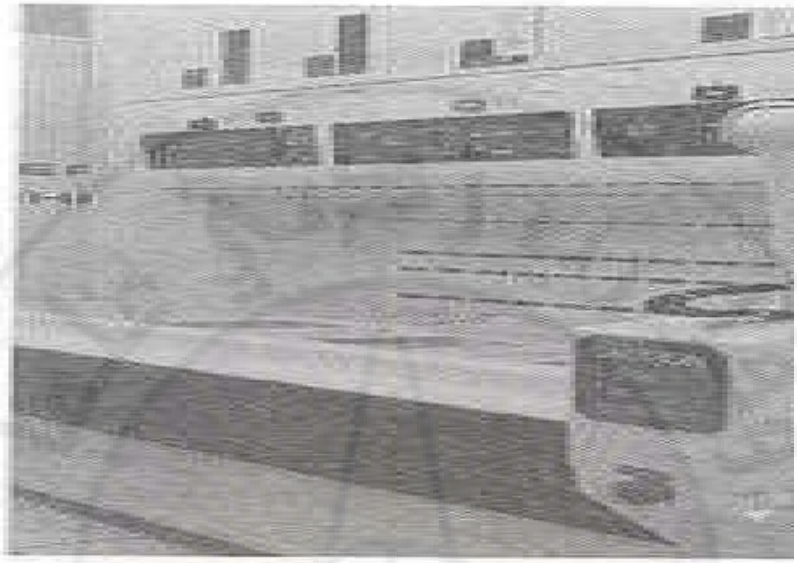
الشكل (12–5) المشاكل المتولدة عن الأجزاء الخارجية مثل الغبار على الشرائح المعالجة.



Copyright Intel Corporation

الشكل (13–5) باحث في معمل إلكترونيات دقيقة

يقوم الباحث بارتداء ملابس خاصة مصممة لكي تساعد في حماية رقاقات السليكون الدقيقة أثناء الاختبار ، حيث يمكن أن تتسبب ذرة واحدة من الغبار في إتلاف الرقاقات .



Semiconductor industry use robots to minimize contamination

الشكل (14–5) استخدام الروبوت في صناعة أنصاف النواقل للتقليل من التلوث

Damascus University

أسئلة وأجوبة للفصل الخامس

1 –ما المقصود بالتعبير **planar process** العمليات السطحية

What is the planar process?

إن المقصود بالتعبير ***planar process*** هو الأسلوب أو الطريقة المستخدمة لتصنيع ترانزستورات السيلكون في الدارات المتكاملة حيث يتم ذلك عن طريق مراحل تصنيع متتالية اعتماداً على تكرار تصنيع طبقات أكسيد على شرائح السيلكون المشابه ويعقب ذلك مراحل الحفر الضوئي والانتشار للشوائب بحيث نحصل في النهاية على تصنيع للترانزيستور في الطبقات الايبتاكسية.

إن كافة الخطوات تحدث على نفس السطح لشريحة السيلكون ونتيجة لذلك ينتج تركيب للعنصر على مستوى السطح ***planar surface*** ومن هنا أتت التسمية ***planar***.

2 –**هل تصنع الدارات المتكاملة بشكل منفرد(كل واحدة على حده):**

Are integrated circuits made one at a time ?

بالطبع لا وإنما يتم تصنيع مئات من الدارات المتكاملة المتشابهة في نفس الوقت على نفس الشريحة ***wafer*** ، فعند استخدام شرائح من السيلكون بقطر ***50mm*** وبمساحة ***1.25 mm^2*** للكسرة الواحدة ***chip*** فان الشريحة الواحدة يمكن إن تحتوي على 1200 كسرة متكاملة وهذه الدارات كافة تصنع في وقت واحد بواسطة المعالجة المتتالية للشريحة أو لعدة شرائح في نفس الوقت حيث تقطع بعد ذلك إلى كسرات مستقلة ***chips*** تمثل كل واحدة منها دارة متكاملة مستقلة.

3 –ما المقصود بالنمو الايبتاكسي على السيلكون؟

What is epitaxial growth of silicon?

إن هذه الطريقة لتشكيل طبقة رقيقة من السيلكون على شريحة السيلكون الأساسية ***substart*** اعتماداً على مبدأ الترسيب لمركبات سيلكونية بشكل بخار.

إن السيلكون المترسب يأخذ نفس شكل التركيب البلوري للقاعدة الأساسية وبالتالي تشكل المجموعة تركيبا كريستالياّ وحيد خط التبلور.

إن شريحة السيلكون تسخن إلى درجة حرارة حوالي ***c***1200 ويخلط رباعي كلوريد السيلكون مع الهيدروجين ويمر على سطح الشرائح ***wafers***

إن رباعي كلوريد السيلكون يتحلل ليعطي ذرات السيلكون التي تترسب على سطح الشرائح وذرات الكلور تتحد مع الهيدروجين لتكون بخار ***HCL*** الذي يطرد خارجاً، إن طبقة السيلكون وبسماكة حتى ***10μm*** تتشكل بهذه الطريقة ويتم التحكم بناقلية هذه الطبقة بإضافة الكميات الملائمة من الشوائب مع رباعي الكلوريد المتبخر.

في الدارات المتكاملة عندما تكون القاعدة الأساسية من نوع ***p-type*** فإن الطبقة الايبتاكسية تكون من نوع ***n-type*** وتنمو على السطح لتتكون فيها مركبات العناصر للدارة المتكاملة وتأخذ التسمية ***epi-layer*** .

4 -كيف تتكون طبقة الاوكسيد على سطح شريحة السيلكون ؟

How is a layer of silicon oxide formed on the surface of silicon slice?

إن هذه العملية تتم بتسخين الشرائح في جو مشبع بالأوكسجين وتزال عن الشريحة وتظهر المنطقة من الشريحة في هذا المكان أما الجزء الآخر من الاوكسيد فتتم حمايته بالمقاومة الضوئية ، بعد ذلك تتم إزالة الجزء غير المحلول من المقاومة

الضوئية بعمليات قشط خاصة حتى تصل إلى مستوى طبقة الاوكسيد وبالتالي يكون قد تم فتح النوافذ في الاوكسيد،

فإذا استخدم غاز الاوكسيجن بشكل جاف فإن معدل النمو للأوكسيد يكون قليلاً نسبياً وعملياً يتم استخدام مزيج من الاوكسيجن وبخار الماء مما يسبب تكون الأوكسيد بصورة أسرع.

معدل نمو طبقة الأوكسيد مبين في الشكل (2-5) السماكة النموذجية لطبقة الأوكسيد المستخدمة في الدارات الكاملة تكون ضمن المجال ***0.2-0.5*** μ***m*** فمن اجل سماكة اوكسيد مقدارها ***1*** μ ***m*** فان السيلكون يجب أن يسخن إلى درجة حرارة (1100***c***)مع مرور تيار من البخار لمدة ثلاث ساعات.

5 -كيف تتم عملية فتح النوافذ في الأوكسيد ؟

إن مراحل فتح النوافذ في الأوكسيد يسبقها مرحلة فتح النوافذ في المقاومة الضوئية والمراحل لذلك مبين في الشكل (6-5)

شريحة السيلكون المؤكسدة تغطى بمادة ذات مقاومة ضوئية والتي بوضعها الراهن تكون قابلة للانحلال ولكن عندما تعرض للأشعة فوق البنفسجية تصبح غير قابلة للانحلال لذلك يتم استخدام قناع بمناطق مظلمة ومناطق شفافة يدعى بالقناع الضوئي تغطى به الشريحة وتعرض المجموعة للأشعة فوق البنفسجية ففي المناطق التي يخترقها الضوء –المناطق الشفافة- فإن المقاومة الضوئية تحتها تصبح صلبة غير قابلة للانحلال ولكن تحت المناطق المظلمة فإن المقاومة الضوئية تبقى بدون تأثر ويمكن أن تنحل حتى تصل إلى منطقة الأوكسيد على شريحة السيلكون.

الآن إذا عرضت الشريحة لمحلول حمض فلوريد الهيدروجين فإن مناطق الأوكسيد غير المغطاة بالمقاومة الضوئية سوف تتأثر بالمحلول .

الفصل السادس

انتشار الشوائب

Diffusion of dopants impurities

(*Solid solubility of dopants in silicon)*



6-1- مقدمة

6-2- طبيعة انتشار الشوائب

6-3- انتشار الشوائب بدرجة مركزة

6-4- الحل العام لمعادلة الانتشار

6-5- تشكيل الوصلة

6-6- مجموعات الانتشار العملية

Damascus University

6- انتشار الشوائب:

Diffusion of dopants impurities:

لقد وصفنا المراحل الأساسية الأولية لإنتاج البلورة الوحيدة للدارات المتكاملة.

وسنتمم الوصف للمراحل التالية حيث مركبات الدارة تنشأ في طبقة السيليكون بواسطة الانتشار الناجح للشوائب عن طريق النوافذ في طبقة الأوكسيد.

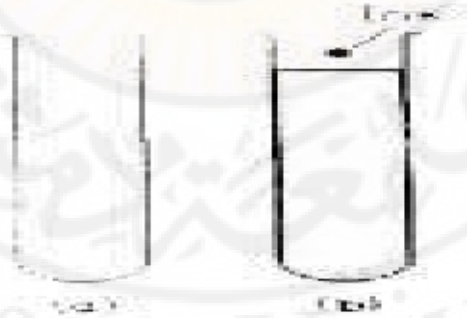
في هذا الفصل سنشرح طبيعة عملية الانتشار ونبين كيف يمكن التحكم بطبقات الإشابة، إضافة إلى توضيح عمليات الانتشار الفعلية واختيار الشوائب الملائمة لدارات السيليكون المتكاملة.

6-1- مقدمة:

Introduction:

تنتج العناصر الالكترونية في الدارات المتكاملة بتكنولوجيا أنصاف النواقل وفقاً لمبدأ عمليات الانتشار، حيث يتم تنظيم كميات الشوائب الداخلة إلى شبكة السيلكون.

تدخل ذرات الشوائب إلى سطح شريحة السيلكون وتنتشر داخل الشبكة البلورية وذلك لأن قابليتها للحركة تكون من المناطق ذات التركيز العالي إلى المناطق ذات التركيز المنخفض، والشكل (1-6) بين أسلوباً مبسطاً لتوضيح عملية الانتشار.



الشكل (1-6) المفهوم المبسط لانتشار الشوائب

فإذا وضعنا نقطة من الحبر في مادة لها نفس الكثافة ولتكن الماء شكل ***(a-6-1)*** في اللحظة الأولى للتطبيق تتواجد كثافة عالية للحبر على سطح الماء ولا يوجد أثر لذلك في الماء شكل ***(c-6-1)*** بعد ذلك يبدأ الحبر بالتفرق أو الانتشار في الماء شكل ***(d-6-1)*** ويستمر الانتشار إلى أن ينتظم بشكل كامل في الماء شكل ***(f-e-6-1)***.

- إشابة إنصاف النواقل :

Doping of Semiconductors

The addition of a small percentage of foreign atoms in the regular crystal lattice of silicon or germanium produces dramatic changes in their electrical properties, producing n-type and p-type semiconductors.

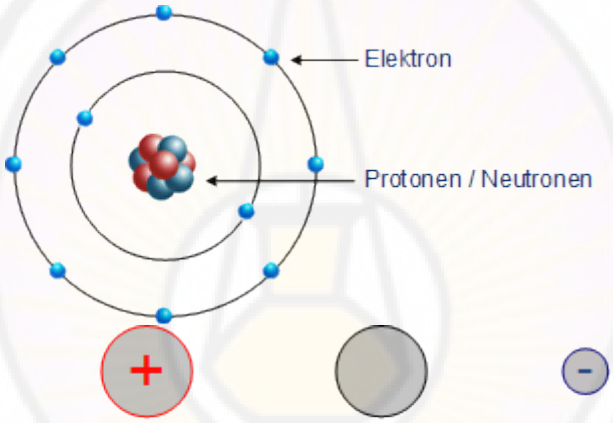


impurities

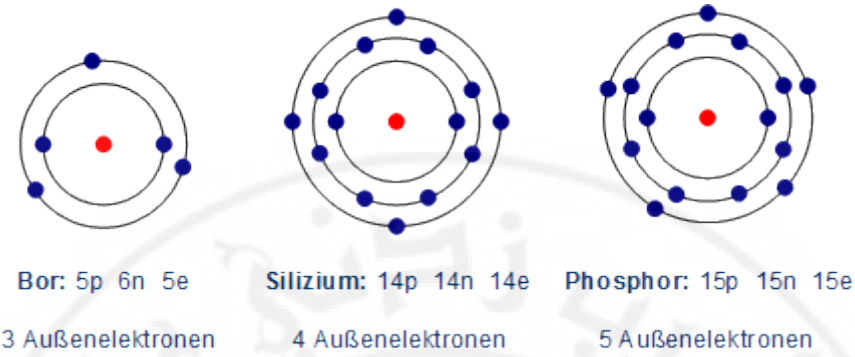
Impurity atoms with 5 valence electrons produce n-type semiconductors by contributing extra electrons

impurities

Impurity atoms with 3 valence electrons produce p-type hole" or electron deficiency. semiconductors by producing a "



Teilchen	Proton	Neutron	Elektron
Ladung	+1	0	-1
Masse	$1{,}672 \cdot 10^{-27}$ kg	$1{,}675 \cdot 10^{-27}$ kg	$0{,}0009 \cdot 10^{-27}$ kg



الشكل (2-6) مفهوم الإشابة

إن هذه العملية تحدث عندما تنتشر الشوائب في شرائح السليكون حيث تسخن الشرائح إلى درجة حرارة عالية تسمح بالتالي للشوائب بالانتشار بشكل كاف وتكون ذرات الشوائب صغيرة جداً بحدود 1 إلى 2 ميكرون. لذلك فإنه في عملية الانتشار يكون تجمع ذرات الشوائب على منطقة قريبة من سطح الشريحة ثم بعد ذلك إلى داخل الجسم للمادة. إن هذا يولد مقاومة نوعية تعتبر تابعاً للمسافة والبعد عن السطح. بما أن تشكل الشوائب يؤثر على التصميم والإنجاز العملي لعناصر الدارة المتكاملة فإنه يعول على نظرية الانتشار في أن تنبئ عن التأثير الناتج عن شروط العمل.

المواد التي يحدث فيها الانتشار قد تكون ذاتية حيث يحدث الانتشار محلياً معها، ولنقل الذرات العاطية للحصول على مادة من نوع **n-type** من الأكثر شيوعاً في عمليات الدارات المتكاملة هو أن تكون المواد المشابة مسبقاً وليكن نوع **n-type** بواسطة طبقة بلورية أو عملية انتشار سابقة، فإن انتشار شوائب من نوع **p-**

type تكون عندئذ أكثر تعويضاً أو تبادلاً للحصول على منطقة ذات نوع **p-type**.



P- and N- Type Semiconductors

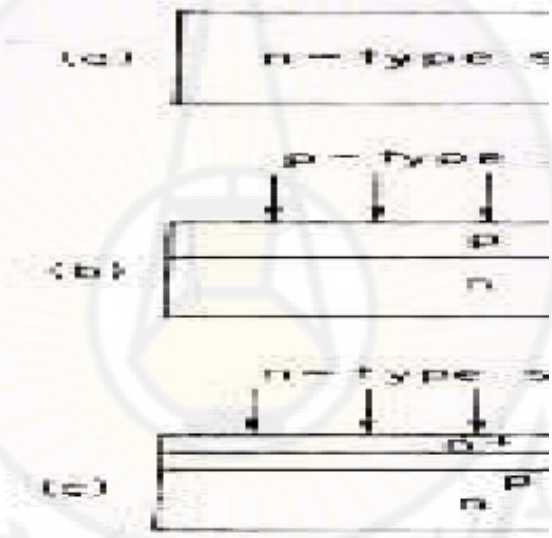
الشكل (3–6) أنصاف النواقل من نوع N&P

فإذا كان لدينا شريحة من السيلكون نوع ***n-type*** شكل ***(a-6-4)*** سخنت إلى درجة حرارة عالية في جو غازي يحتوي على مواد قابلة نوع ***n-type*** فإن الذرات القابلة سوف تنتشر في مادة السيليكون، وإذا استمرت العملية مدة زمنية كافية فإن تركيز الذرات القابلة في مجال السطح سوف يزيد عن التركيز الطبيعي للذرات العاطية وسيصبح الشكل من نوع ***p-type*** ويتم تشكل وصلة ***p-n junction*** ذات بعد صغير عن السطح حيث يكون تركيز ذرات القابلات المنتشرة فيها مساو لتركيز المعطيات الأساسية. هذا مبين في الشكل ***(b-6-4)***.

n-type مرة ثانية الآن إذا أخذنا الشريحة وسخناها ثانية إلى درجة حرارة عالية، في هذه الحالة بوجود بخار المعطيات فإن ذرات المعطيات سوف تنتشر في

داخل السطح نوع ***p-type***. تركيز المعطيات في مجال السطح سيزيد ذرات القابلات ومجال السطح سيصبح من نوع ثانية مكوناً بالتالي تتابعاً من ***npn sequence*** كما هو مبين في الشكل ***(c-6-4)***.

إن هذا يوضح طبيعة وكيفية الانتشار التي ستشرح باستخدام المعادلات الرياضية في الفقرات التالية.



الشكل (4–6) دراسة تقنية انتشار الشوائب في المادة نصف الناقلة (معطية أو آخذة).

6–2– طبيعة انتشار الشوائب:

The nature of impurity diffusion:

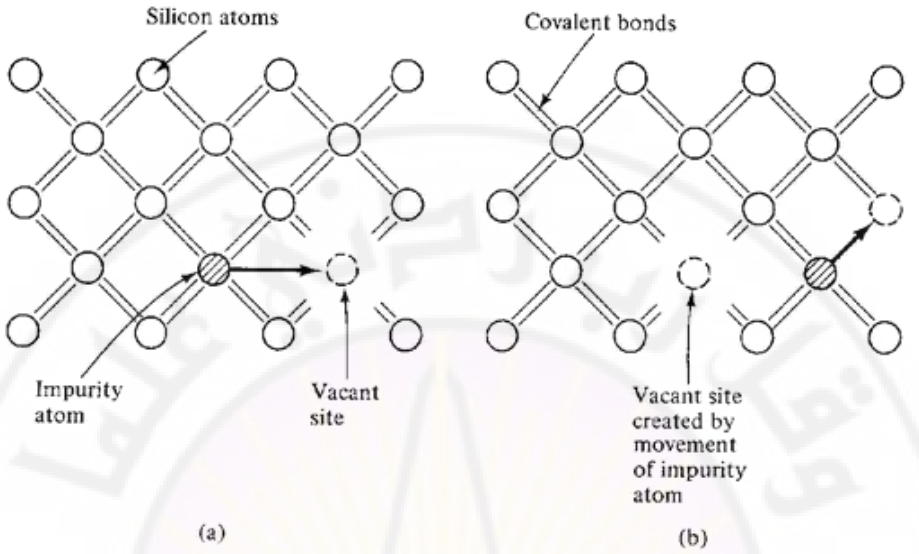
يعتبر تحرك الشوائب في شبكة السيلكون تابعاً لدرجة التركيز ووفقاً لسلسلة من القفزات العشوائية، ويوجد العديد من الإمكانيات الميكانيكية لهذه الحركة حيث تعتمد على عدة عوامل. من بينها ذرات الإشابة الخاصة لمرحلة الانتشار المدروسة وهذا ينطبق على التكنولوجيا العامة للدارات المتكاملة التي ستبحث بشكل مفصل

6-2-1 – الانتشار التعويضي أو الاستبدالي:

Substitution diffusion

في هذه العملية يتم انتشار الشوائب بواسطة التحرك من مكان ما من الشبكة إلى مكان مجاور بواسطة التعويض لذرات السيلكون ذات الفجوة لتصبح مملوءة كما هو مبين في الشكل ***(5-6)***.

إن ميكانيكية الانتشار هذه تنطبق على معظم الشوائب مثل البورون والفسفور والأرزينيك.



Two-dimensional representation of substitutional diffusion by dopants.

الشكل (5–6)

في الواقع حتى تتحرك ذرة الشوائب هذه إلى ثقب مجاور يجب عليها أن تتغلب على قدرة قيمتها ***Eb=1e.v*** تبعاً لقيم الانهيار الحدية المطلوبة. وامتلاك الطاقة الحرارية الكافية للقيام بذلك يعتبر تابعاً أسياً بدرجة الحرارة وفقاً للعلاقة:

$$.exp(-E_{b1}/KT)$$

ولكن قدرتها على التحرك تتوقف أيضاً على توفر الفراغ في المجال المجاور وبما أن الجانب المجاور قد تواجد فيه فراغ بواسطة ذرة السيلكون تبعاً للتقلبات الحرارية للشبكة فإن احتمال حدوث مثل هذا الشيء هو أيضاً تابع أسي لدرجة الحرارة :

$exp(-E/\sqrt{KT})$

حيث أن E_v هي طاقة تشكيل الفراغ في الشبكة.

وهكذا إذا كان تردد اهتزاز الشبكة أو معدل المحاولة للتغلب على طاقة العزل هي f_e فإن التردد الذي تتحرك فيه ذرات الشوائب إلى جانب الفراغ المجاور هو f_n ويساوي:

$$f_n = 4 f_e \exp(-E_{b1} / KT) \exp(-E_v / KT) \ldots\ldots\ldots\ldots (5-1)$$

العامل 4 عامل رفع وذلك لإمكانية التحرك يمكن أن تتوفر في أربعة اتجاهات مجاورة كما يظهر في الشكل (5−6).

إذا كانت الطاقة في المعادلة (1−5) تساوي $1eV$ والتردد يكون نموذجياً بحدود $f_e=10^{13}H_z$ فإن معدل القفز عند درجة الحرارة النظامية يكون بطيئاً جداً كمثال بمعدل قفزة واحدة كل $1\ jump\ per\ 10^{50}\ years$ في درجة الحرارة العادية، مع ذلك فإن معدل الانتشار يمكن زيادته بواسطة زيادة درجة الحرارة.

وعند درجة حرارة العمل التي تستخدم عادة والتي هي بحدود 1000 درجة مئوية فإن الانتشار الضروري للشوائب في الفترة المعيارية للزمن المحدد يمكن أن يحقق بشكل عملي.

6-2-2- الانتشار التخلخلي:

Interstitial diffusion

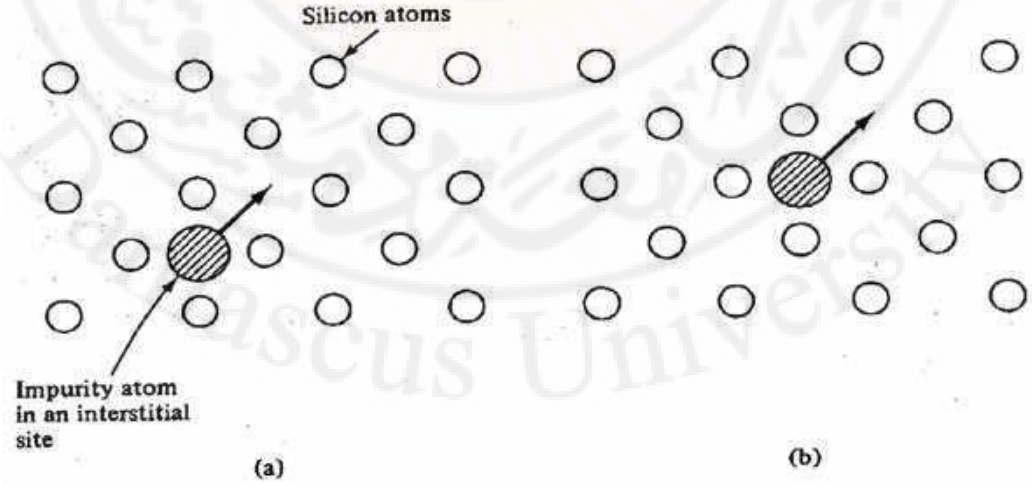
عمليات الانتشار هذه غالباً تطبق في المعادن ذات التأين الثقيل مثل الذهب، حيث تدخل إلى السليكون لخفض ما يسمى بـ ***Carrier lifetimes***.

بسبب الحجم الكبير نسبياً لمثل هذه الذرات فإنه لا يحدث عادة تعويض ***substitute*** في شبكة السيلكون، ومع ذلك فإنه يوجد فراغات تخلخلية ضمن وحدة الخلية لجوهرة شبكة السيلكون وكل فراغ يكون كبيراً بشكل كاف ليحتوي على ذرة الشوائب.

ذرة الشوائب المتواجدة في مثل هذه الفراغات يمكنها أن تتحرك إلى فراغ مجاور كما نرى ذلك تخطيطياً في الشكل (6-6)، وهذا بالفعل يتطلب من الذرة أن تتغلب على جهد العزل تبعاً للشبكة.

وهكذا في هذا الوقت فإن معظم جوانب التخلخل المجاورة تكون خالية وتردد الحركة للشوائب يخضع للمعادلة:

$$f_n = 4 f_e \exp(-E_{b2} / KT).....(5-2)$$



الشكل (6–6)

ومرة ثانية فإن معدل الانتشار تبعاً لهذه العمليات وعند درجة حرارة الغرفة يكون بطيئاً ولكن تصبح العملية السابقة أكثر فعالية عند درجة حرارة العمل الطبيعية والتي هي بحدود 1000 درجة مئوية.

كذلك يجب أن نلاحظ أن معدل الانتشار تبعاً لعمليات التخلخل تكون أكبر بكثير بالمقارنة مع ميكانيكية التعويض وهذا ينعكس على عوامل انتشار بشكل نسبي لمثل هذه العمليات.

6–3– انتشار الشوائب بدرجة مركزة

Diffusion of impurities in a concentration gradient

إن السرعة التي تنتشر فيها الشوائب في شبكة المادة نصف الناقلة تعتمد على الميكانيكية الخاصة للانتشار وعلى درجة حرارة كما رأينا سابقاً بالإضافة إلى ذلك فإن للعوامل التالية تأثير كبير في تحديد معدل الانتشار :

أ) الخواص الفيزيائية الخاصة للشوائب مثل حجمها الذري:

a) the physical properties of a particular impurity, for example its atomic size.

ب) الخواص المحيطة (المغلفة) للتركيب البلوري.

b) the properties of the lattice environment.

جـ) درجة تركيز الشوائب:

c) the concentration gradient of impurities

د) التشكل الهندسي لجزيئات المادة نصف الناقلة:

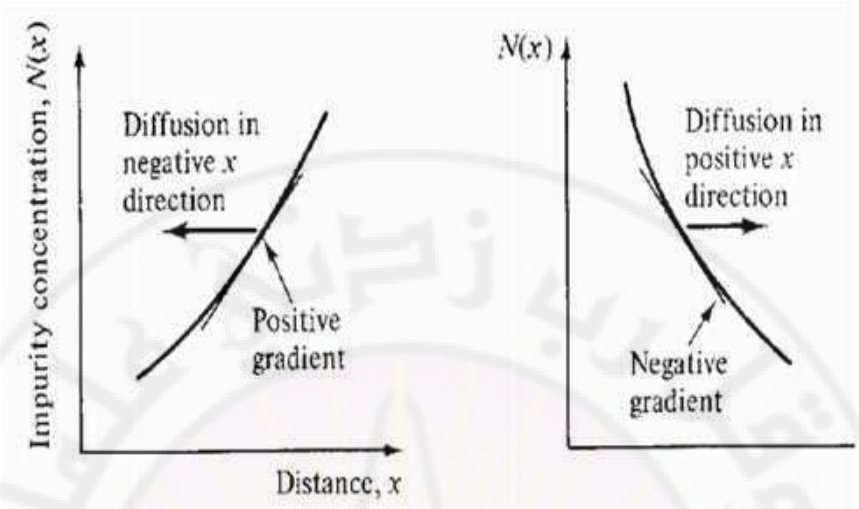
d) the geometry of the parent semiconductors

الانتشار للشوائب يمكن أن يحدث في أي اتجاه ولكن من أجل الهندسة السطحية نعتبر أن التحرك يحدث في اتجاه واحد ويعطي تصرف الجسيمات في هذه الحالة بواسطة قانون ***Fick`s Law*** حيث يوضح العلاقة بين معدل كثافة السيالة للجسيمات :

j atoms m^{-2} s^{-1}، إلى درجة التركيز $N;\partial N/\partial x m^{-4}$ هي كثافة الشوائب عن طريق عامل الانتشار ***Dm^2s^{-1}*** وفقاً للعلاقة:

$$j = -D\frac{\partial N}{\partial x}$$

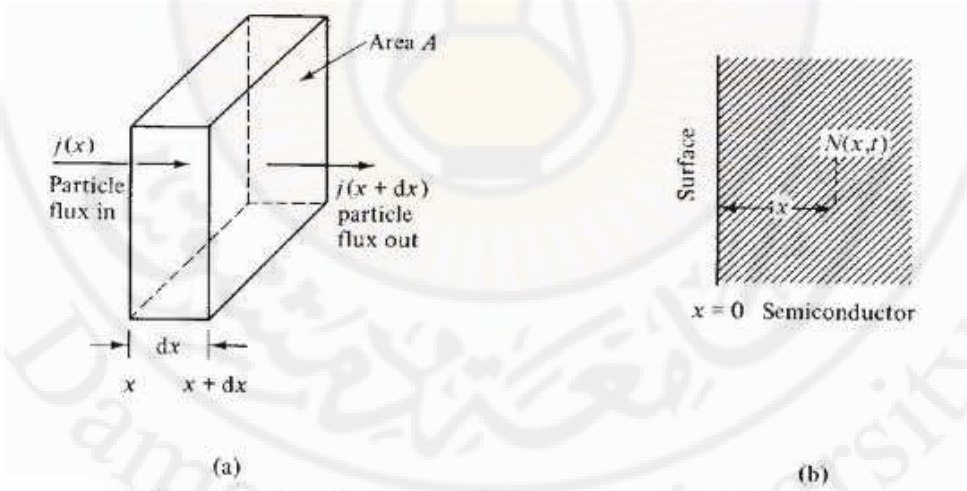
إن هذه المعادلة تبين أنه من أجل عمليات الانتشار تكون الكثافة أو معدل الجريان في واحدة المساحة نسبة مباشرة لدرجة التركيز. والإشارة السالبة تعني أن الانتشار يحدث بعيداً عن مناطق التركيز العالي، أي في الاتجاه المعاكس لزيادة درجة التركيز كما هو مبين في الشكل (7-6).



Diffusion of impurities.

الشكل (6–7)

بشكل عام مادة الشوائب لا تشحن، وإنما تتحرك فقط في الحقل الكهربائي.



(a) The elemental volume used to derive the transport equation and (b) the transport equation applied to planar diffusion.

الشكل (6–8)

إذا اعتبرنا العنصر الصغير للمادة نصف الناقلة المبين في الشكل ***(a-6-8)*** بفرض انه لا تتولد ولا تفنى أي ذرة ضمن هذا الحجم، والتغير في عدد الذرات المتواجدة بواحدة المساحة وخلال واحدة الزمن يساوي الفرق بين سيالة الجزئيات الداخلة أو الخارجة أو:

$$\frac{\partial \overline{N}}{\partial x}.\frac{dxA}{A} = j(x) - j(x+dx) \qquad \textbf{5-3}$$

حيث:

$\overline{N}$ متوسط كثافة الجزيئات، عندما ***dx*** تتقارب من الصفر و $\overline{N}$ إلى القيمة الحدية ***N(x)*** فإن المعادلة السابقة تصبح :

$$\frac{\partial N}{\partial x} = \frac{\partial j}{\partial x} \qquad \textbf{5-4}$$

وتسمى معادلة الانتقال ذات البعد الواحد.

الإيضاح لكثافة سيالة الجزيئات ***flux density*** كما هو مبين في المعادلة ***(5-3)*** يمكن تعويضها الآن للحصول على معادلة الانتشار (***diffusion equation***) والمعروفة أحياناً باسم قانون فيكس الثاني:

$$\frac{\partial N}{\partial x} = D\frac{\partial^2 N}{\partial x^2} \ldots\ldots\ldots (5-5)$$

وحل هذه المعادلة يعطي تركيز الشوائب N عند جزء من المسافة x في الأصل وعادة من سطح المادة نصف الناقلة كما هو مبين في الشكل ***(b-6-8)*** عند الزمن t ***time***.

6-4- الحل العام لمعادلة الانتشار:

The general solution of the diffusion equation

إحدى إمكانيات الحل لمعادلة الانتشار (5-5) يمكن الحصول عليه بواسطة فصل لمتحولات وتطبيق نظرية فوريه في التكامل:

$$N(x,t) = t^{-1/2} \exp[-x^2/(4Dt)] \quad \text{.....(5-6)}$$

ويعتبر هذا الحل أكثر سهولة للتعويض.

وتعطي المعادلة (5-6) تكاملاً عملياً وحيداً لمعادلة الانتشار ويمكن أن يكون لهذه المعادلة عدد من الحلول، وحيث أن المعادلة الخطية فإن مجموع عدد من أمثال هذه التكاملات يعتبر حلاً أيضاً:

$$N = \sum_n \frac{1}{2\sqrt{(\pi Dt)}} \alpha_n . \exp[-(X - X`)^2/(4Dt)] \quad \text{.....(5-7)}$$

حيث أن $x`$ هو ثابت ويعتبر ثابتاً إجبارياً أو قسرياً، الجمع لعدة قيم لـ $x`$ يمكن استعاضتها بواسطة التكامل لتعطي:

$$N(x,t) = \frac{1}{2\sqrt{(\pi Dt)}} \int_{-\infty}^{+\infty} f(x`) e^{-(X-X`)^2/(4Dt)} dx` \quad \text{.....(5-8)}$$

ويعتبر هذا الحل لمعادلة الانتشار من أجل الانتشار في جسم غير محدد ***infinite body***

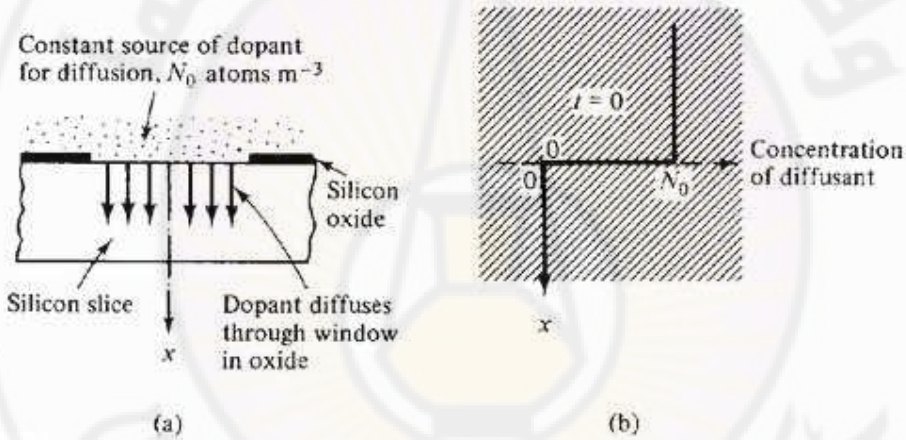
يمكن أن نلاحظ ان ***f(x`)*** تطابق التركيز الأولي (الابتدائي) لتوزيع الانتشار في الزمن ***(t=0)***.

كمرحلة ثانية سنعتبر الحلول أكثر نوعية لمعادلة الانتشار التي تطبق مباشرة على عمليات الانتشار السطحي باستخدام تكنولوجيا الدارات المتكاملة ***integrated circuit***.

6-4-1- الانتشار السطحي من منبع شوائب ثابت:

Planar diffusion from a constant source of dopants:

إن تقنية الانتشار هذه تعتبر واحدة من أكثر العمليات التكنولوجية شيوعاً حيث تجلب الشوائب إلى وجه شريحة السيلكون الساخن ويسمح لها بالانتشار إلى المادة وكمية الشوائب على السطح تبقى على مستوى ثابت، وإن مثل منبع الانتشار الثابت هذا مبين في الشكل ***(a-6-9)***:



Constant-source diffusion. (a) a conceptual view of diffusion in planar geometry, (b) initial conditions assumed to deduce the impurity profile, N(x, t).

الشكل (6-9)

الحل لمعادلة الانتشار التي تطبق في هذه الحالة يكون أكثر سهولة بأن يستنتج بواسطة الانتشار المعتبر أولاً بشكل كامل ضمن المادة التي تحدث فيها تغيرات التركيز الابتدائية بشكل فجائي فيبعض المستوي عند النقطة $x=0$ من N_0 إلى الصفر. كما نرى في الشكل ***(b-6-9)***. بهذه الشروط الحدية يصبح الحل العام لمعادلة الانتشار المحددة بالمعادلة (8-5) يساوي:

$$N(x,t) = \frac{N_o}{2\sqrt{(\pi Dt)}} \int_{-\infty}^{0} e^{-(X-X`)^2/(4Dt)} dx` .....(5-9)$$

وحل هذه المعادلة يكون:

$$N(x,t) = \frac{N_o}{2}[i - erf\{\frac{x}{2\sqrt{(Dt)}}\}].....(5-10)$$

حيث أن:

$$erf\{\frac{x}{2\sqrt{(Dt)}}\}$$

تابع الخطأ ويكون محدداً بجداول خاصة للانتشار المطلوب:

N_x: تركيز الشوائب على بعد x من السطح.

N_0: تركيز الشوائب على السطح.

erf: مصطلح رياضي لتابع الخطأ.

x: البعد عن السطح.

D: ثابت انتشار الشوائب في السيليكون عند درجة الحرارة الملائمة (الموافقة).

t: الزمن بالثانية.

ملاحظة:

تابع الخطأ: يعرف وفقاً لما يلي:

إذا كانت $/x/ < \infty$

فإن تابع الخطأ للقيمة x هو:

$$erf(x) = \frac{2}{\pi}\int_0^x e^{-t2}, dt$$

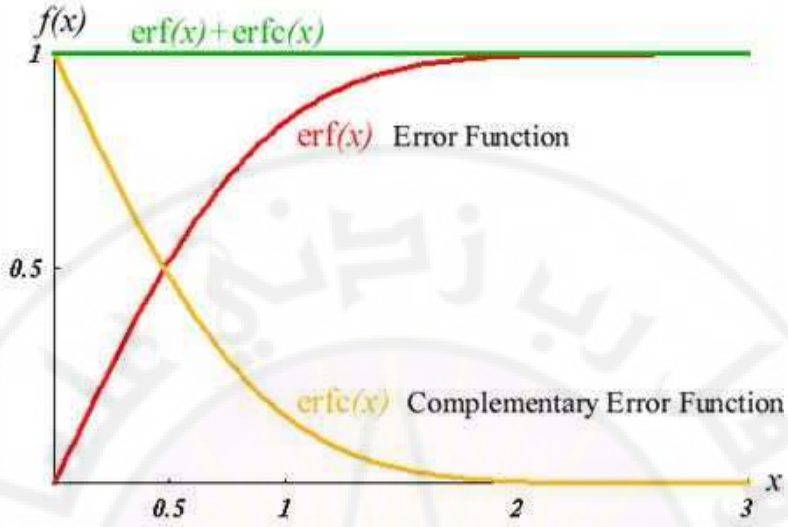
$$= \frac{2}{\sqrt{\pi}}(X - \frac{X^3}{2!.3} + \frac{X^5}{2!.5} - + ... + \frac{(-1)^n . X^{2n+1}}{n!(2n+1)}$$

$$\lim_{x \to \infty} ref(X) = 1$$

ويمكن أيضاً أن يكون الحل مجدولاً بشكل تابع خطأ متتام.

$$N(x,t) = \frac{N_o}{2} erf\{\frac{x}{2\sqrt{(Dt)}}\} .....(5-11)$$

وهذه المعادلة تستعرض وجه الشوائب في جسم افتراضي لا نهائي.



الشكل(10−6) تابع الخطأ وتابع الخطأ المتمم

تركيز الشوائب في أوقات مختلفة مبين في الشكل ***(a-6-11)*** في الحوادث العملية للحالات السطحية كما هو مبين في الشكل ***(a-6-9)*** فإن تركيز السطح يبقى ثابتاً خلال الزمن تبعاً للانتشار عند N_0 توزع الشوائب في الحالة $N(x,t)$

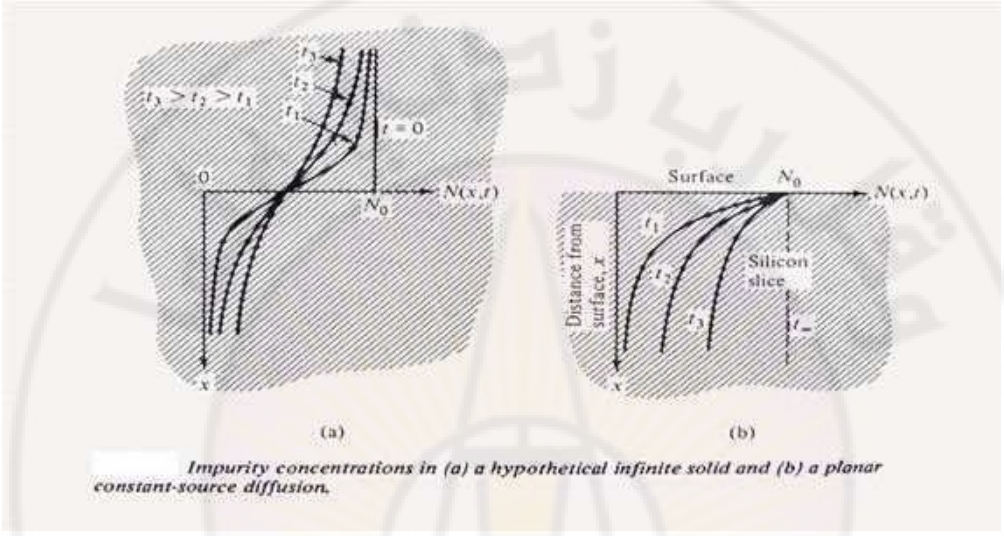
يمكن أن نستنتج من المعادلة (11−5) وهذه تعطي:

$$N(x,t) = N_o erfc\{\frac{x}{2\sqrt{(Dt)}}\}.....(5-12)$$

وذلك لأن الانتشار لا يتم إلا في اتجاه واحد فقط وليس في اتجاهين كما بين الحل لمعادلة الانتشار العامة.

التغيير في تركيز انتشار الشوائب مع الزمن، كما هو موضح في هذه المعادلة يمكن ملاحظته في الشكل ***(b-6-11)***.

تركيز السطح يبقى عادة عند القيمة N_0 ينخفض قليلاً عن هذه القيمة بعيداً عن السطح ، فإذا سمح بإعطاء وقت كاف فإنه من الممكن أن تحصل الشريحة على المستوى شوائب قيمته $N_o m^{-3}$.



Impurity concentrations in (a) a hypothetical infinite solid and (b) a planar constant-source diffusion.

الشكل (11–6)

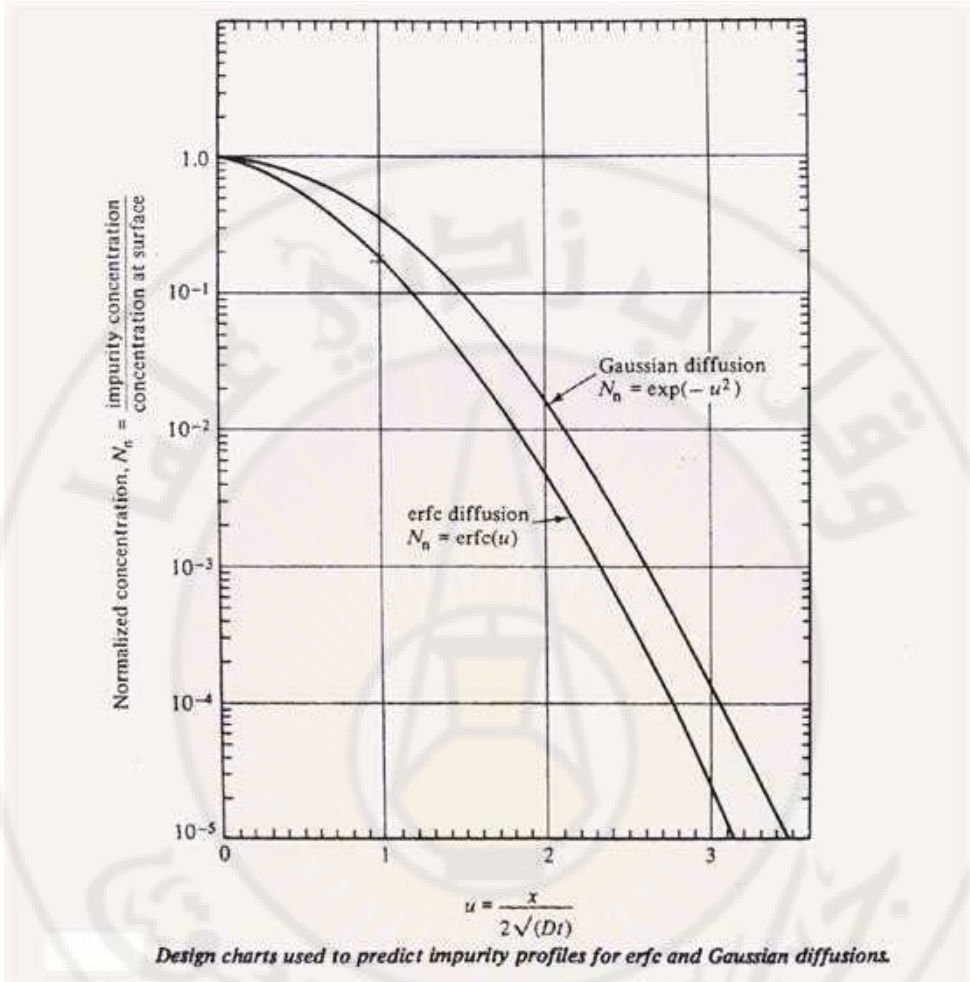
مخطط التصميم يمكن أن نحصل عليه كما هو مبين في الشكل (12–6) الذي يسمح بحل المعادلة (12–5) بشكل تخطيطي.

وهكذا فإن مستوى الشوائب يمكن أن يكتشف من أجل أي زمن انتشار خاص وتحت الشروط الخاصة للحرارة التي تؤثر على عامل الانتشار D وتركيز السطح N_0. بسبب التركيز العالي للسطح الممكن بواسطة استخدام المصدر القابل للانتشار أو تابع الخطأ المتمم للانتشار فإن التقنية تعتبر مفيدة بشكل خاص من أجل انتشار الباعث كما سنرى.

من الواضح أنه توجد حدود عليا للتركيز بالنسبة لأي شوائب تقاد إلى شبكة الجسم الخاص عند بعض درجات الحرارة.

التركيز الأعظمي الذي يحدد عادة تركيز السطح في انتشار المنبع الثابت يدعى بقابلية الانحلال الصلب للشوائب الخاصة.

قيم قابلية الانحلال التي تعطى عادة بجداول مرافقة مع درجة الحرارة نموذجياً تكون بمرتبة ***order 10^{27} m^{-3}***، من أجل التعويض العام للانتشار في السيلكون أو البورون والفسفور والأرزيني ك عند درجات حرارة عمل عادية وقيمة التخلل للذهب تكون أصغر بكثير وتتراوح نموذجياً في المجال ***range 10^{22} -10^{23} m^{-3} .***



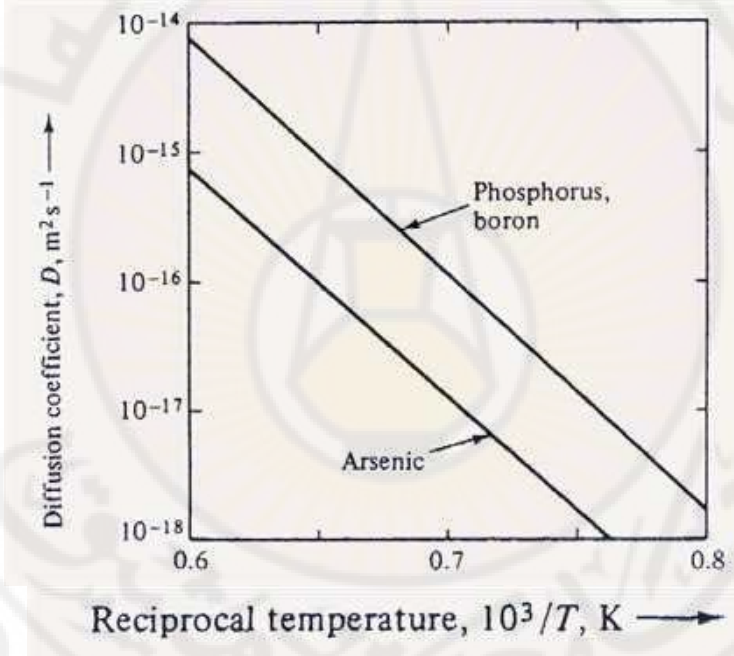
Design charts used to predict impurity profiles for erfc and Gaussian diffusions.

الشكل (12–6)

قبل حل المعادلة (12–5) بيانياً باستخدام المخطط المبين في الشكل (12–6) للحصول على تفاصيل أثر الشوائب أو عملية الإشابة من الضروري أن نعرف عامل الانتشار ***D*** لحالة الإشابة الخاصة بالمادة التي يحدث الانتشار فيها عند درجة حرارة الانتشار.

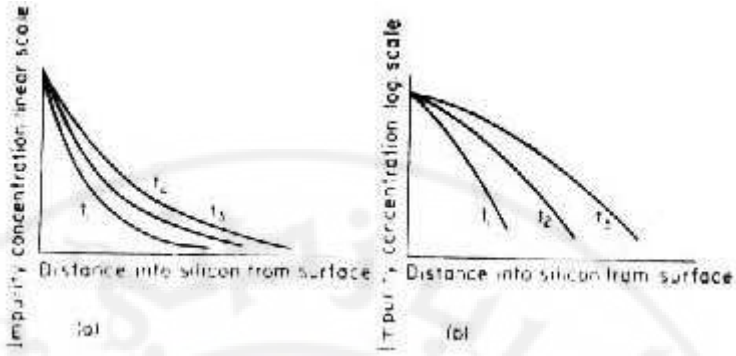
إن مثل هذه المعلومات يمكن الحصول عليها بشكل بياني كما يبين الشكل (13–6) الذي يبين عامل الانتشار جزئياً لأهم مواد التعويض في السيلكون، بصورة مماثلة يمكن الحصول على معلومات تخلل الشوائب في المواد التي لها عوامل انتشار أكبر بكثير مما رأينا على سبيل المثال في الذهب فتخلله في السيليكون عند درجة حرارة $850\ ^oC$ يعطي $D \approx 10^{-11} m^2 s^{-1}$ عامل

D - Coefficient for gold diffusing in silicon



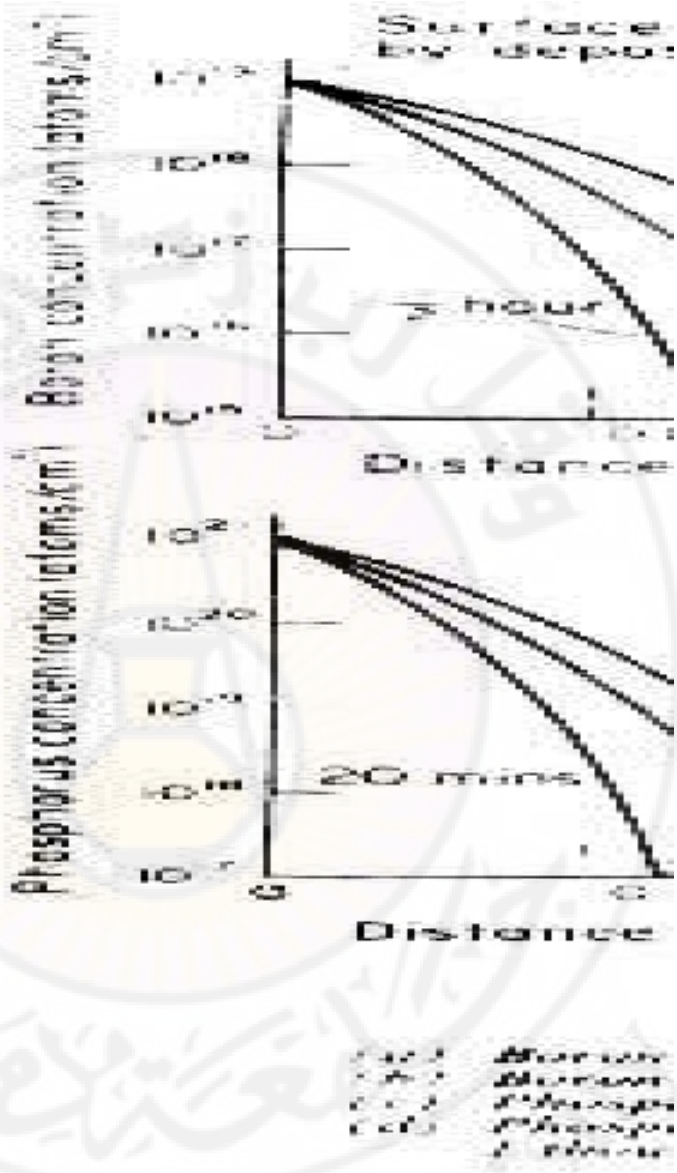
Diffusion coefficients of dopants in silicon.

الشكل (13–6)



الشكل (14–6)

الشكل (14–6) يبين العلاقة بين تركيز الشوائب والبعد عن السطح عند درجات حرارة مختلفة للسيليكون وحيث يعتمد هذا بشكل أساسي على ثابت الانتشار للشوائب الخاصة المستخدمة.


Surface
by depos
Boron concentration (atoms/cm³)
3 hour
Distance
Phosphorus concentration (atoms/cm³)
20 mins
Distance

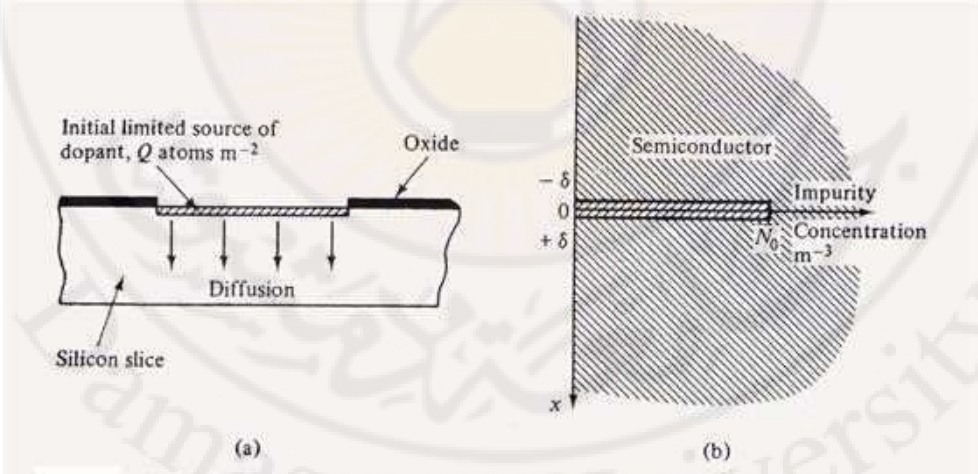
الشكل (15–6)

وللشكل (6–15) يبين انتشار الشوائب وفقاً لمعادلة الانتشار (5–10) حيث يظهر انتشار الشوائب في شريحة السيلكون والمنحنيات المختلفة لمادتي البورون والفسفور عند درجات حرارة مختلفة وفترات زمنية مختلفة.

6–4–2– الانتشار السطحي من منبع محدد للشوائب:

Planar diffusion from a limited source of dopants

لقد رأينا أن تابع الخطأ لانتشار الشوائب يعتبر مثالياً للمناطق المسطحة نسبياً ذات التركيز العالي، مثل باعث الترانزيستور n^+ مع ذلك من اجل الأجزاء الأخرى من الدارة المتكاملة مثلاً قواعد الترانزيستور فإنه يتطلب شكلاً آخر من أشكال الانتشار يختلف عن الأشكال التي يقدمها تابع الخطأ. وإن مثل هذه المستويات من الشوائب يمكن الحصول عليها بواسطة إيقاف مصدر الانتشار بعد فترة زمنية محددة بينما تحافظ المادة نصف الناقلة على درجة حرارة عالية.



(a) Limited source diffusion, (b) mathematical model used to determine the impurity profile.

الشكل (6–16)

الانتشار الأولي غالباً من نوع ***erfc type*** يعطي كمية محدودة ولتكن ***Q*** ***atmos m^{-2}*** تتداخل في طبقة رقيقة جداً على السطح كما هو مبين في الشكل ***(a-6-16)***. إعطاء الشوائب يتوقف بعد ذلك وينتشر بشكل مستمر من المنبع المتولد الثابت الذي يكون قد انتشر إلى طبقة السطح، مثل هذه التقنية تسمى (تقنية المنبع المحدود الانتشار).

استنتاج الأثر لمثل هذا الانتشار يمكن الحصول عليه بسهولة لواسطة الاعتبار الأولي للافتراض ولكن بحالة موازية لطبقة الشوائب الرقيقة المطمورة في المادة نصف الناقلة اللانهائية كما هو مبين في الشكل ***(b-6-16)*** إعطاء الشوائب يتوقف بعد ذلك وينتشر بشكل مستمر من المنبع المتولد الثابت، الذي يكون قد انتشر إلى طبقة السطح. مثل هذه التقنية تسمى (تقنية المنبع محدود الانتشار).

استنتاج الأثر لمثل هذا الانتشار يمكن الحصول عليه بسهولة بواسطة الاعتبار الأولي للافتراض ولكن بحالة موازية لطبقة الشوائب الرقيقة المطمورة في المادة نصف الناقلة اللانهائية كما هو مبين في الشكل ***(b-6-16)*** الكمية الكلية للشوائب (***totaling Q per m^2***) مقدرة بواحدة المتر المربع والكثافة (***(density N_0 m^{-3}*** للمتر المكعب مع الافتراض الأولي أنها مجمعة في طبقة ذات سماكة ($thickness 2\delta$) حول المركز عند ***x=0*** كما نرى.

بتعويض هذه الشروط الحدية في معادلة الانتشار العامة (8−5) نعطي كثافة الشوائب على مسافة ***x*** من نقطة الأصل عند الزمن ***t*** كما يلي:

$$N(x,t) = \frac{N_o}{2\sqrt{(\pi D t)}} \int_{-\infty}^{\delta} e^{-(X-X`)^2/(4Dt)} dx` \text{.....} (5-13)$$

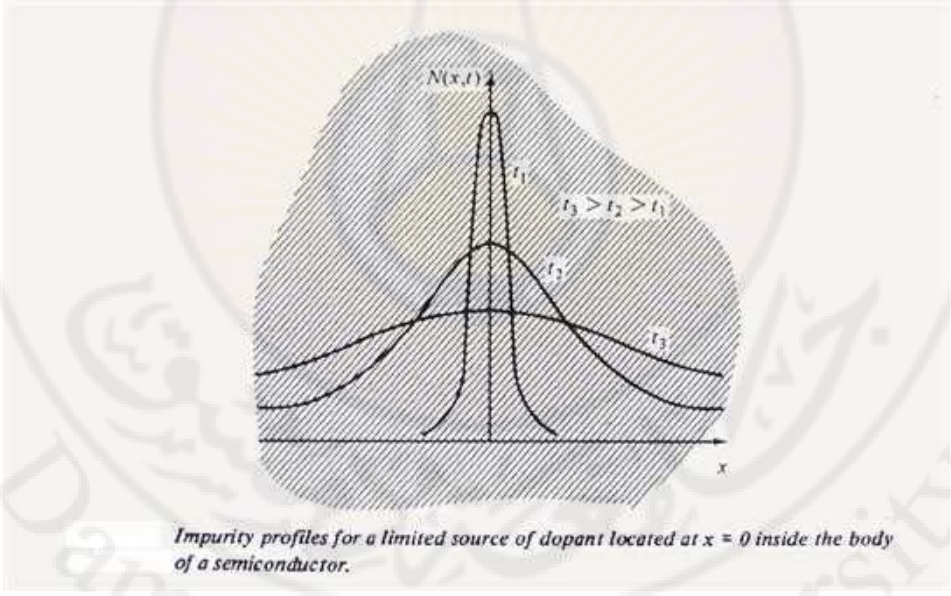
وبما أن ($N_0 = Q/2\delta$) وبتغيير حدود التكامل نجد:

$$N(x,t) = \frac{Q}{2\delta\sqrt{(\pi Dt)}}\int_0^{\delta} e^{-(X-X`)^2/(4Dt)}dx` \text{.....(5-14)}$$

بإجراء التكامل ينتج:

$$N(x,t) = \frac{Q}{2\sqrt{(\pi Dt)}}\exp(-x^2/4Dt) \text{.....(5-15)}$$

انتشار الشوائب بعد فترات زمنية مختلفة وفقاً لهذه المعادلة يمكن أن نلاحظه في الشكل ***(6-17)***.



Impurity profiles for a limited source of dopant located at x = 0 inside the body of a semiconductor.

الشكل (6-17)

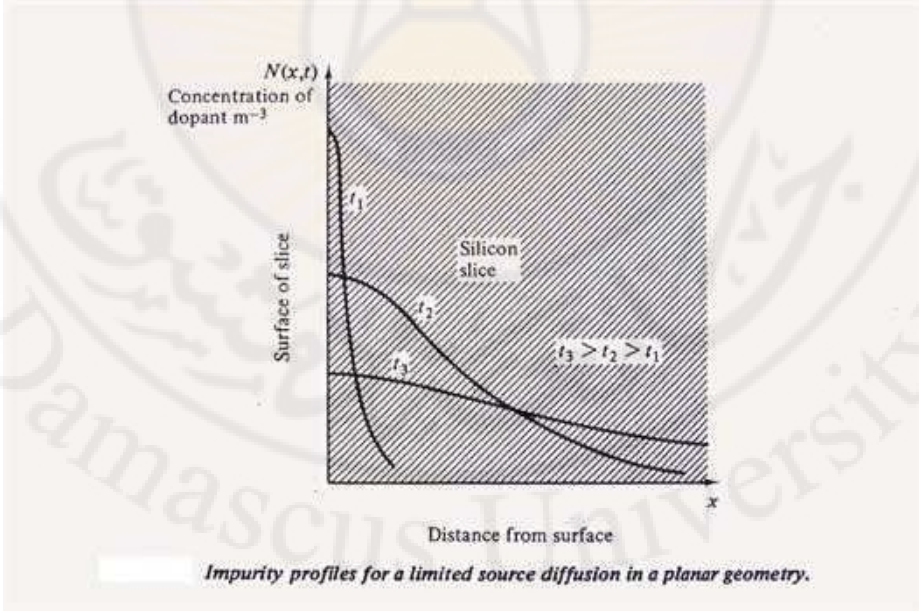
في الحالة السطحية العملية بدلاً من أخذ إمكانية الانتشار في كلا الاتجاهين كما اعتبرنا في النموذج المدروس نظرياً، فإن كمية الانتشار الأولية على سطح الشريحة يمكن أن تحدث في اتجاه واحد فقط أي إلى داخل الشريحة.

توزع الشوائب المحددة في المعادلة (15–5) يعتبر لاتجاهين من الانتشار وعملياً يتحرك باتجاه واحد فقط $+X$ ويكون تركيز الشوائب في أي نقطة وعند فترة زمنية معينة خاضعاً بالتالي للمعادلة.

$$N(x,t) = \frac{Q}{\sqrt{(\pi Dt)}} \exp(-x^2 / 4Dt) \ldots\ldots\ldots (5-16)$$

وهذا يكافئ توزع غوص وتدعى العملية أحياناً باسم الانتشار الغوصي.

أثر الشوائب كتابع للزمن يمكن أن يحدد من المعادلة (16–5) وشكلها البياني العام مبين في الشكل (18–6) وبشكل متبادل يمكن الحصول على هذه المعلومات باستخدام منحنيات التصميم الناتجة عن المعادلة (16–5) مماثلة



Impurity profiles for a limited source diffusion in a planar geometry.

الشكل (18–6)

لما هو موجود في الشكل (12–6) الاختلاف الأساسي بين نوعي تقنية الانتشار واضح للمقارنة كما في الشكل (18–6) حيث أن تركيز السطح يبقى ثابتاً من أجل تابع انتشار الخطأ بينما يحدث انخفاض مع الزمن بالنسبة للنوع الغوصي وأن الانتشار الغوصي يعتبر أفضل وسيلة للامتداد العميق للطبقات المتوسطة حيث السطوح ذات التركيز المنخفض تعتبر مقبولة مثلاً كقواعد للترانزيستور.

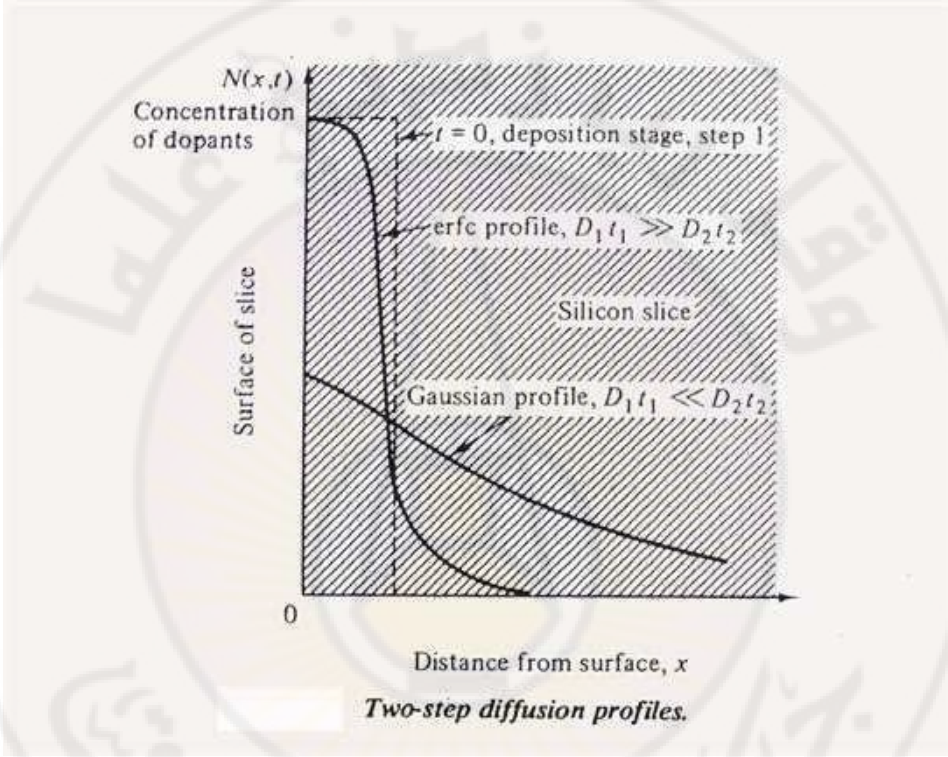
6–4–3– الانتشار ثنائي الخطوة:

Tow – step diffusion

الانتشار ثنائي الخطوة حيث أن تركيز الشوائب وأثرها يمكن أن يتحكم بها بعناية وكذلك بنوع الانتشار، لكل من تابع الخطأ ***erfc*** أو تابع غوص وتحدد بواسطة اختيار شروط التشغيل، وتعتبر هذه واحدة من أكثر الطرق التقنية انتشاراً في الوقت الحاضر .

في الخطوة الأولى:
تقدم الشوائب من منبع الانتشار الثابت ولفترة زمنية قصيرة وعادة بدرجات حرارة منخفضة نسبياً ولتكن 1000 درجة مئوية .
في الخطوة الثانية :
مرحلة القيادة يتوقف تقديم الشوائب ويسمح للشوائب المتواجدة بالانتشار إلى جسم المادة نصف الناقلة التي تثبت عند درجة حرارة مختلفة تقرب من قيمة 1200 درجة مئوية في جو تأكسدي (مؤكسد)،

طبقة الأوكسيد المشكلة على وجه الشريحة تبعاً لهذه المرحلة تمنع الشوائب الأخرى من الدخول أو حتى من الخروج، فيكون أثر الشوائب تبعاً لشروط الانتشار، مثل درجة الحرارة، الزمن، وعامل الانتشار لكل خطوة، كما نرى في الشكل(19–6).



Two-step diffusion profiles.

الشكل (19–6)

إن نتائج الانتشار تكون وفقاً لتابع الخطأ فيما إذا كان:

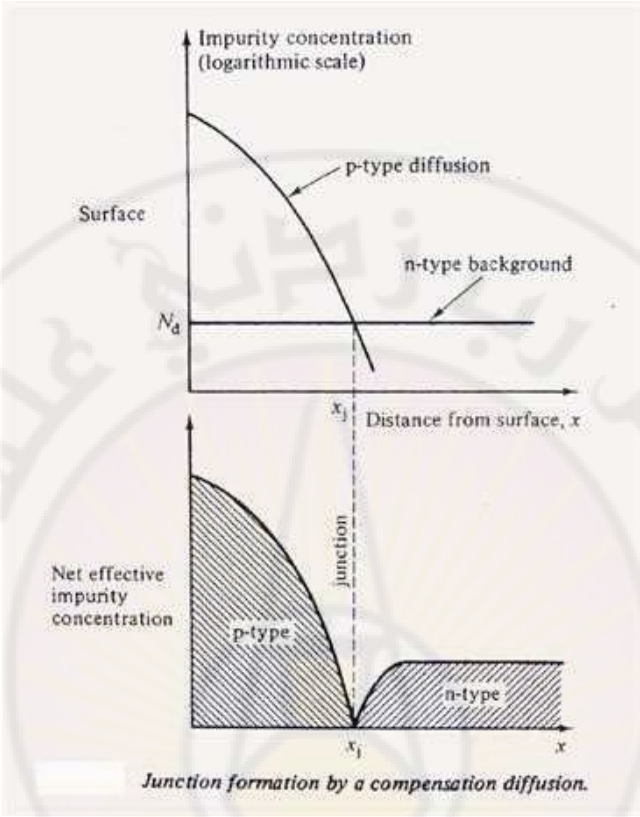
$$D_1(T_1).t_1 >> D_2(T_2).t_2$$

ولكن التوزيع يكون غوصياً إذا كانت المتراجحة السابقة معكوسة. إن هذا الوصف يعود إلى الخطوة الأولى والثانية يجب أن نلاحظ أن ($D_1 \neq D_2$) حتى لو لم تتغير الشوائب بسبب اختلاف درجات الحرارة لكل خطوة.

6-5- تشكيل الوصلة:

Junction formation

في تكنولوجيا الدارة المتكاملة السطحية تتم الإشابة غالباً بواسطة الانتشار في المادة نصف الناقلة التي تكون ذات أرضية (أساس) مسبق ذي تركيز بشوائب ذات إشارة معاكسة مثال ذلك المادة من نوع ***p-type*** قد تحول إلى طبقة بلورية من نوع ***n-type*** والتي تكون ذات تركيز معطيات وليكن بمقدار N_d كما هو مبين في الشكل (6-20) عندئذ يحدث لدينا وصلة من نوع ***p-n junction*** في النقطة، حيث تكون الشوائب من نوع ***p-type*** مركزة مساوية تماماً للأساس من نوع ***n-type background*** أي أنه في النقطة التي يحدث فيها التعويض الكامل ويكون التركيز الفعال للشوائب كما هو مبين .



الشكل (20–6)

والمسافة التي تحدد مكان الوصلة من السطح x_j يمكن تأسيسها بواسطة مساواة N_d مع $N(x,t)$ بالمعادلة الجبرية المناسبة لنوع الانتشار مقدرة عند $x=x_j$.
كمثال: إذا اعتبرنا الانتشار بحالة خاصة من نوع المنبع المحدد مع الأثر الغوصي الموضح في المعادلة (5–16) عندئذ يكون عند الوصلة.

$$N_d = N(x_j,t) = \frac{Q}{\sqrt{(\pi Dt)}}\exp(-x_j^2/4Dt).....(5-17)$$

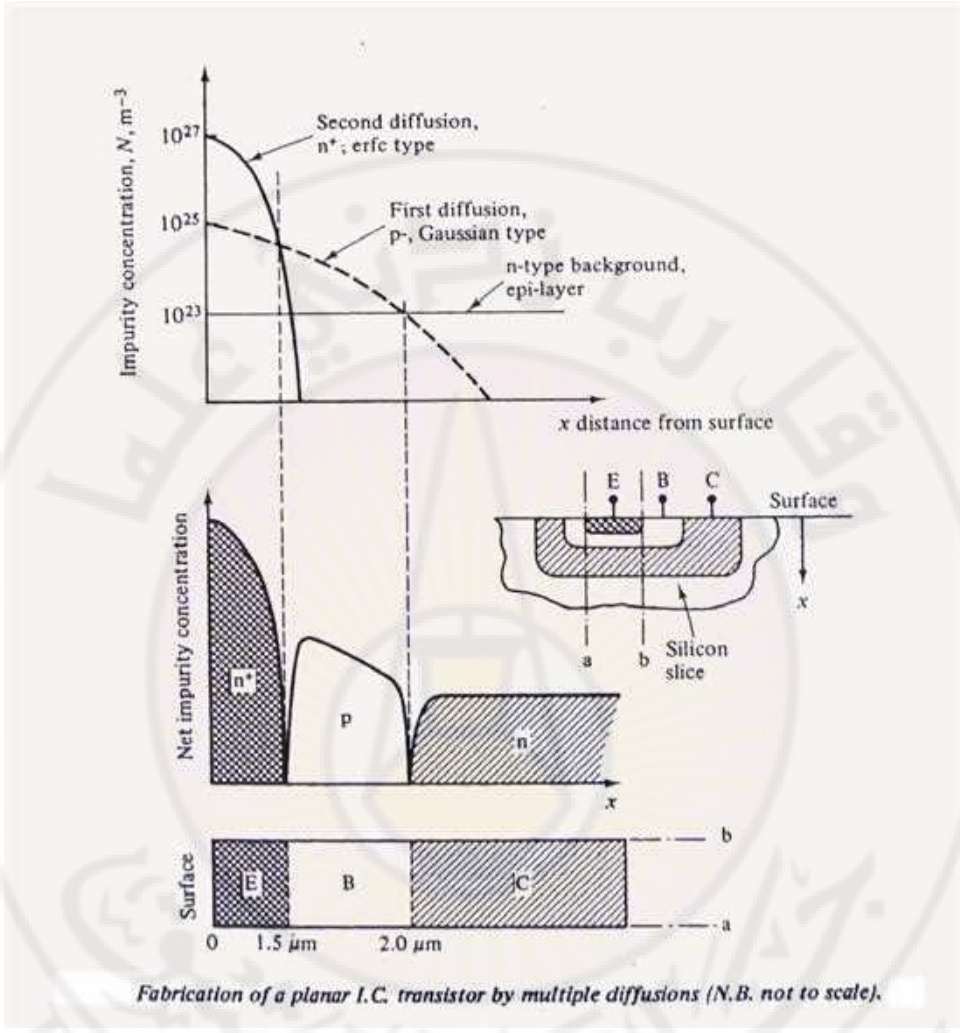
ومنها ويمكن تقدير قيمة x_j في تركيبات الدارة المتكاملة وحيدة البلورة يتم الحصول على العناصر كما شرحنا سابقاً عن طريق انتشار الشوائب المعطية والآخذة للحصول على طبقات أنصاف ناقلة من نوع ***n-type semiconductor*** أو نوع ***p-type*** كما بينا سابقاً الشكل (4–6) .

إذا اعتبرنا كمثال الترانزيستور السطحي المبين تخطيطياً في الشكل (21–6) فإن المجمع يشكل عادة من طبقة بلورية من نوع ***n-type epitaxial*** بنسبة شوائب معقولة.

انتشار شوائب القابلات ***(Diffusion of acceptor)*** إلى طبقة تسبب تكون منطقة القاعدة من نوع ***p-type base*** لتكون قاعدة الترانزيستور وأخيراً الانتشار الثاني للمعطيات ***(diffusion of donors)*** يحول المادة من نوع ***p-type*** قرب السطح إلى النوع n^+***-type*** لتكون باعث الترانزيستور.

إن تركيز السطح للمادة الأولي المكونة لانتشار القاعدة يجب أن يكون أقل من نوع n^+ لانتشار الباعث ولكن عمقه يجب أن يكون أكبر وهذا الانتشار يأخذ خواص غوص وحيث أن الانتشار الباعث من نوع تابع الخطأ n^+***-type, emitter diffusion is an erfc type***.

القيم المبينة في الشكل (21–6) هي قيم نموذجية لترانزيستور ذي سرعة قطع عالية.



Fabrication of a planar I.C. transistor by multiple diffusions (N.B. not to scale).

الشكل (21–6) تصنيع الوصلات المختلفة لترانزيستور تكاملي

من الواضح أن نفس المنطقة من شريحة المادة نصف الناقلة قد تكون مكاناً لعمليات انتشار عديدة.

يحب أن نختار أنواع الشوائب بحيث أن الانتشار الأول يحدث عند درجة حرارة مرتفعة نسبياً مع عامل الانتشار منخفض للمادة.

إذا تم ترتيب أي انتشار سطحي ليحدث عند درجة حرارة منخفضة مع عامل انتشار مرتفع، فإن ترسب الشوائب السابق لن يستمر لينتشر بشكل يمكن تقديره خلال العملية الثانية.

كمثال يتم غالباً اختيار الأرزنيك كشوائب طبقة ***buried layer*** n^+ حيث يكون لها عامل انتشار أكثر انخفاضاً منن البورون أو الفوسفور حيث تبقى في مواقعها خلال عملية التعويض لانتشار المواد في المراحل التي تلي ذلك.

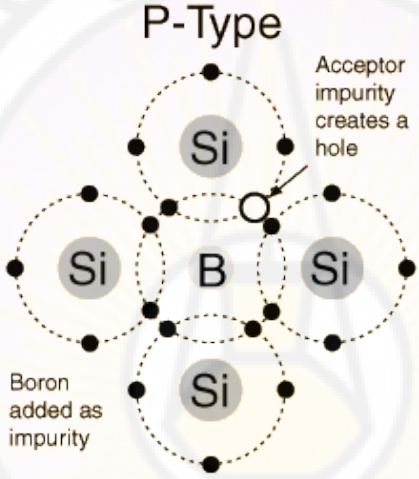
6-6- مجموعات الانتشار العملية:

Practical diffusion systems



1-6-6 الشوائب من نوع p-type impurities): P-Type (Semiconductor)

يعتبر الجاليوم الإمكانية النموذجية للانتشار من نوع ***p-type*** في السليكون وكذلك الألمنيوم والبورون والأنديوم.



في مجموعات الانتشار العملية يكون اختيار الشوائب (الطلاء) أكثر تحديداً، كمثال: فإن الغاليوم يمكن ألا يستمر حتى يمتلك عامل انتشار كبير نسبياً في ثاني أوكسيد السيليكون، وتقنية فتح النوافذ العادية للانتشار المحلي يكون عديم الفائدة. بصورة مشابهة للأنديوم الذي تقل أهمية استخدامه بسبب مستوى القابلات المرتفع ***high acceptor level of 0.16 eV*** بالمقارنة مع ***0.01eV*** للبورون التي تدل على أنه ليس كل القابلات تتأين في درجة حرارة الغرفة للحصول على

الثقوب، أما المساوئ مع الألمنيوم فهي أنه يتفاعل بقوة مع أي أوكسجين متواجد في شبكة السيليكون.

لهذه الأسباب فإن البورون يعتبر الاختيار المطلق كشوائب قابلة في السيليكون ويعتبر ذا عامل انتشار معتدل نموذجياً ***typically of order 10^{-16}*** $m^2 s^{-1}$ عند درجة الحرارة ***1150^oC*** درجة مئوية (انظر الشكل 13–6) الذي يعتبر ملائماً من أجل التحكم بالانتشار بشكل دقيق ومحكم.

حدود الانحلال للجسم الصلب حوالي ($5\times10^{26}\,atomsm^{-3}$) وهكذا فإن تركيز السطح يمكن أن يتوفر في مجال عريض ولكن معظم النتائج المتولدة تكتسب عندما يكون التركيز مساوياً للقيمة ***10^{24} m^{-3}*** تقريباً والذي يعتبر نموذجياً لانتشار قاعدة الترانزيستور، وفي معظم المجموعات يكون تفاعل السطح بين ثلاثي أوكسيد البورون والسيلكون يعطي بورون على سطح المادة نصف الناقلة، التفاعل عند درجة حرارة الانتشار يعطى بالعلاقة:

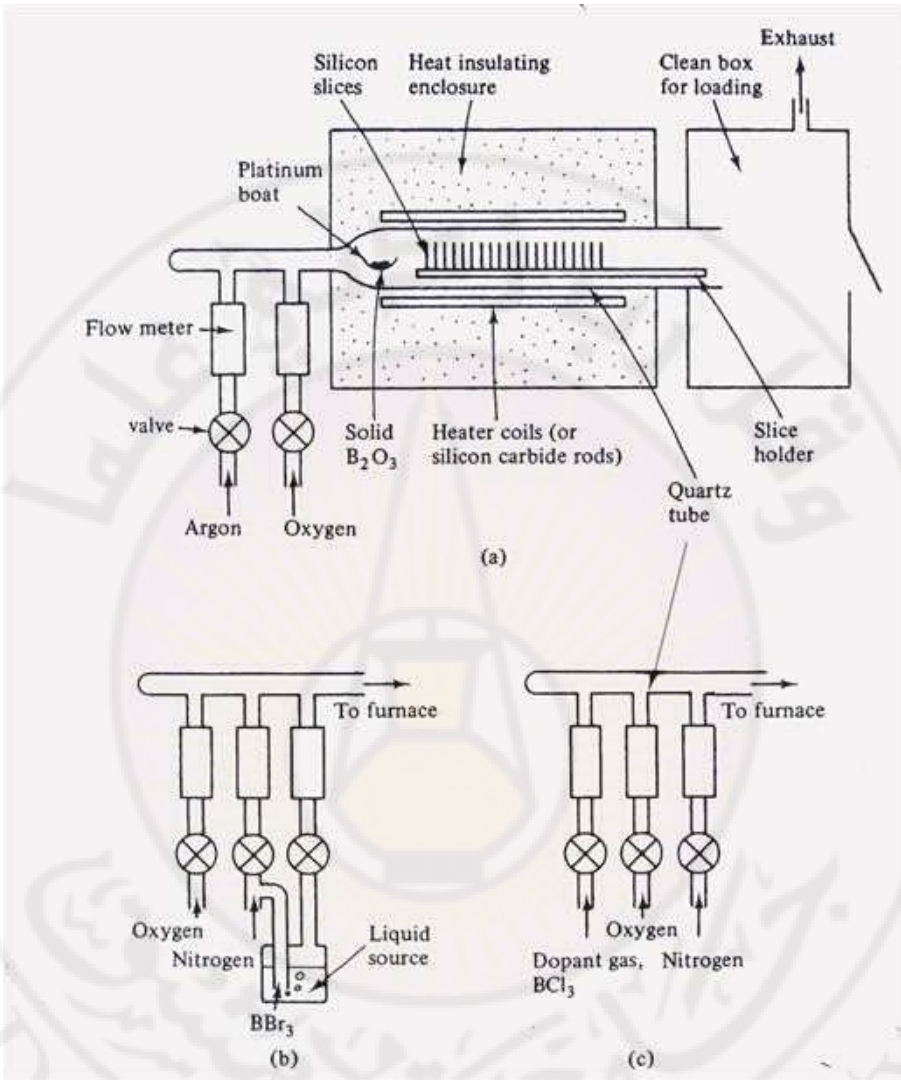
$$(2B_2O_3 + 3Si \Leftrightarrow 4B + 3SiO_2)$$

هذا التفاعل والانتشار الذي يليه يحدث في فرن مقاوم مبين تخطيطياً في الشكل (22–6).

نموذجياً تكون مرحلة الانتشار بدرجات حرارة 1000 درجة مئوية ولمدة 30 دقيقة، الغاز الحامل يكون بنسبة 99% من الآرغون و 1% أوكسجين، يمرر خلال مرحلة قيادة الانتشار ***Drive-in*** في الأوكسجين بدرجة 1100 درجة مئوية للحصول على سماكة انتشار في بمقدار ($0.5\mu m$) وبمدة زمنية قدرها ***15 minutes***، وكذلك فإن عملية الإشابة يمكن أن تطبق باستخدام طريقة الكبسولة

المبرشمة حيث أن الشوائب الصلبة تكون على شكل بودرة من السيلكون عالية الإشابة يتم حقنها إلى أنبوبة الكوارتز المفرغ مع شرائح السيلكون حيث يتم تسخين المجموعة في فرن الانتشار بشكل مشابه لما سبق ذكره.

من الممكن أيضاً استخدام السائل بدل المصدر الجامد- الصلب- لمواد الإشابة. كمثال: الجريان المنتظم للغاز الحامل يمكن أن يدفع عبر ثلاثي بروميد البورون كما هو مبين في الشكل ***(b-6-22)*** الذي ينتج ثانياً مع الأوكسجين ثلاثي أوكسيد البورون على سطح الشرائح، بعد ذلك يكون التفاعل كما هو الحال بالنسبة للمصدر الصلب.



الشكل (22-6)

أخيراً من الممكن إدخال شوائب البورون مباشرة إلى فرن الانتشار على شكل غازي (غاز ثلاثي البورون).

كمثال يمكن أن يتفاعل مع الأوكسجين في المراحل الداخلية للحصول على أوكسيد البورون الذي يخفض إلى البورون وينتشر كما هو مبين في الشكل ***(c-6-***

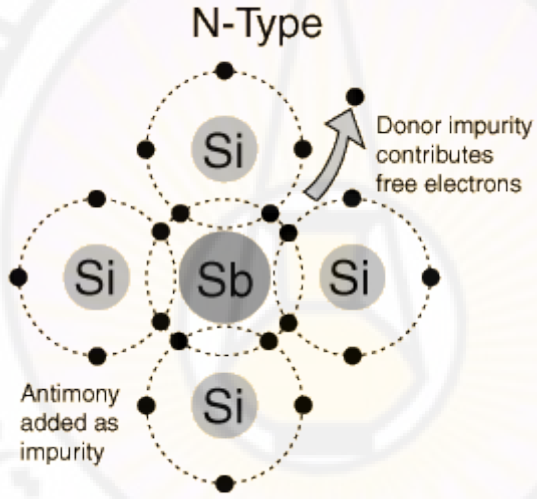
(22) والشكل ***(6-23)*** بين الوضعية العملية الإنتاجية لإدخال الشرائح إلى فرن الانتشار ذي درجة حرارة مرتفعة.



الشكل (23–6) إدخال الشرائح *wafers* إلى فرن الانتشار
–الوضع العملي–

6-6-2- الإشابة من نوع (*n-type dopants*) N-Type Semiconductor)

إن أكثر الشوائب نوع ***n-type dopants*** شيوعاً في السيلكون هي الفسفور والأنتموان والأرزينيك.



لا يعتبر اختيار إشابة خاصة في هذه الحالة ضرورياً كما هو الحال بالنسبة للمواد من نوع ***p-type*** يمكن أن تستخدم في المراحل المختلفة لإنتاج الدارة المتكاملة.

كمثال: ثابت الانتشار المنخفض نسبياً للأرزينيك والأنتموان يجعلها مواد مفيدة لمراحل الانتشار الأولية كما هو الحال بالنسبة للمناطق ***n^+ buried layers***.

يعتبر الأنتموان في بعض الأحيان ممتازاً لأنه قليل التسمم ولكن الأرزينيك يمتلك حدود انحلال أعلى في الجسم الصلب.

ويمكن أن يعطى تركيز سطحي أعظم للشوائب، إن زمن انتشار بحدود 10 ساعات بدرجة حرارة عالية حوالي 1200 درجة مئوية نموذجية لهذا النوع من الإشابة.

ثابت الانتشار للفوسفور يعتبر أكبر بكثير من النوعين الآخرين للشوائب نوع ***n-type dopants*** ويعتبر ملائماً للبورون الذي يعطي بالتالي نتائج اقتصادية لزمن انتشار أقصر.

يكون تركيز السطح للشوائب الفسفورية متغيراً ضمن مجال عريض وقيمته النموذجية تساوي ***typically 10^{26} m^{-3}*** من أجل انتشار الباعث وفقاً لنظرية تابع الخطأ.

المجموعات العملية المستخدمة لإدخال الشوائب نوع ***n-type*** في الشرائح لأجل الانتشار مشابهة لتلك الموضحة في الفصل السابق.

على سبيل المثال فإن مصدر الفسفور يمكن أن يكون صلباً ***P_2O_3*** أو سائلاً، أوكسوكلوريد الفسفور أو بشكل غازي. والنوع الأخير سام وقابل للانفجار ويحتاج إلى عناية في المعالجة.

أما استخدام خماسي أوكسيد الفسفور للإشابة فيتم تطبيقه وفقاً للمعادلة التالية:

$$2P_2O_5 + 5Si \xrightarrow{T} 4P + 5SiO_2$$

حيث:

$2P_2O_6$: المنبع الصلب لخماسي أوكسيد الفسفور.

***4P*:** إشابة في السيليكون (شوائب تدخل إلى عمق السيلكون لإحداث الإشابة الجديد).

***Sio_2*:** يتكون بشكل طبقة زجاجية مشابة بالفسفور على سطح السيليكون (يمنع الانتشار بالاتجاه المعاكس).

وربما يجدر بنا أن نلاحظ هنا بأن المراقبة الدقيقة تعتبر ضرورية خلال عمليات الانتشار المختلفة، وبسبب الصعوبات الداخلية تبعاً لعدم النقاوة أو التلوث فإنه من المألوف أن يتم لكل عملية من عمليات الانتشار المختلفة استخدام أفران انتشار منفصلة مماثلة للفرن العملي المبين في الشكل (23–5). إن أفران الانتشار منفصلة مماثلة للفرن العملي المبين في الشكل (20–5).

إن أفران الانتشار المتجمعة ترتب من أجل عمليات المعالجة المتتابعة للشرائح، أما الأفران المنفصلة فتستخدم من أجل تنفيذ الخطوات التالية:

- الأكسدة ***Oxidation***.
- انتشار الطبقات الأولية ذات الناقلية العالية.

Buried layer (arsenic) diffusion and drive –in deposition

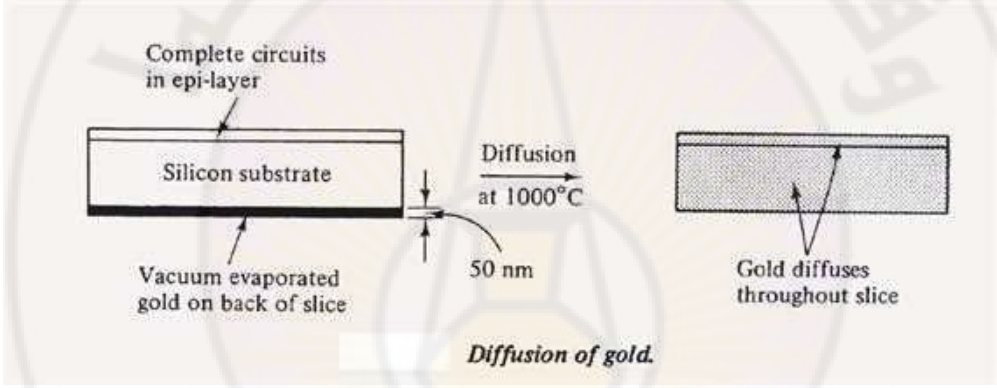
- انتشار البورون ***(boron)diffusion*** وقيادته إلى عمق الشريحة ***(drive-in)***.
- انتشار القاعدة ***base deposition(boron)*** وقيادته إلى عمق الشريحة ***(drive-in)***.
- انتشار الفسفور ***emitter deposition (phosphorus)*** وقيادته إلى عمق الشريحة.

6-6-3- انتشار الشوائب التخلخلي:

Diffusion of interstitial dopants

إن الذهب ينتشر غالباً في دارات السيلكون ليرفع معدل إعادة التجمع (الانضمام) وهكذا يزيد من سرعة الفتح للعناصر الفعالة (كما شرحنا سابقاً).

بما أن الذهب له عامل انتشار كبير نسبياً للانضمام والاشتراك بين الأنسجة الخلوية، فإن طبقة انتشار الذهب تكون غالباً المرحلة الأخيرة من مراحل المعالجة وتتم في درجات حرارة منخفضة نسبياً.



الشكل (24-6)

بسبب الصعوبة في التحكم بطبقة الذهب فإنه يتم عادة تغطية القسم الخلفي والسفلي من الشريحة ثم باستخدام تقنية التبخر الخلوي فإنه يتم الانتشار على كافة وجوه الشريحة كما هو مبين في الشكل (24-6).

6-7 أسئلة و أجوبة للفصل

6-7-1 ما هو الانتشار للشوائب ?What is Impurity Diffusion

إن الانتشار للشوائب أو الإشابة هي إدخال ذرات من الشوائب إلى شريحة السيليكون نصف الناقلة فإذا سخنت الشرائح السيليكونية الموضوعة في فرن الإشابة الخاص إلى درجة حرارة مرتفعة ما بين 1000-1200 C^o و مرر بخار مستمر من الشوائب عبر الفرن فوق هذه الشرائح فإن بعضاً من هذه الذرات سوف تتلامس مع سطح الشريحة و مع استمرار العملية فإن هذه الذرات سوف تدخل إلى داخل الشريحة و إن العمق الذي تخترقه عبر الشريحة يعتمد على الزمن الذي تتواجد مكانه الشريحة في الفرن و على درجة تركيز الشوائب و كذلك على ثابت الانتشار لهذه الشوائب الذي يعتمد بدوره على حرارة السيليكون .

إن العلاقة الرياضية التي تبين الانتشار من سطح ثابت الشوائب هي :

$$Nx = No\ (1 - \mathrm{erf}\frac{X}{2\sqrt{Dt}})$$

Nx : تركيز الشوائب على بعد x من السطح .

N0 : تركيز الشوائب على السطح .

erf : تابع الخطأ.

X : البعد عن السطح إلى داخل الشريحة.

D : ثابت الانتشار للشوائب في الشريحة عند درجة حرارة العمل .

t : الزمن بالثواني .

إن شكل تركيز الشوائب بالنسبة للبعد عن سطح الشريحة مبين في الشكل (22–5) حيث الانتشار للبورون في السيليكون .

إن سرعة دخول ذرات الشوائب في السيليكون تكون بطيئة جداً فعلى سبيل المثال و عند درجة إشابة قدرها $1100\ C^o$ فإن ذرات البورون تنتشر بمعدل $1.25\mu m$ في الساعة بينما تتطلب ذرات الفسفور 40 دقيقة لكي تتخلل إلى بعد مقداره $2\mu m$.

فإذا تم انتشار ذرات البورون في شرائح من نوع n-type حيث يعتبر البورون ذا شوائب قابلة أي نوع (p) فعندما يصبح تركيز ذرات البورون على السطح للشريحة أكبر من تركيز الشوائب العاطية فإن مجال السطح سوف تتغير نوعيته ليتحول إلى نوع p-type و تتكون وصلة P-N على بعد صغير من سطح الشريحة حيث يكون التركيز لكل من N,P متساوياً .

إذا أخذنا الآن الشريحة و سخناها ثانية و في هذه المرة بوجود تركيز عال لبخار الفوسفور ، فإن ذرات الفوسفور سوف تنتشر في السطح من نوع p-type و يحول ثانية إلى نوع n-type يتكون لدينا بالتالي التركيب npn المبين في الشكل (20–5) .

6–7–2 الشروط الحدية للانتشار بفرض أن الانتشار يحدث وفقاً لتابع الخطأ التام :

وبتركيز : $N_A(x,t)/m^2$

فيكون التركيز على السطح : $N_A(O,t)=No\ U(t)$

حيث $U(t)$ هو تابع الخطوة Unit step function من أجل جسم لا نهائي $N_A(\infty,t) < \infty$ و عند زمن صفر $N_A(x,0)=0$.

و حل معادلة الانتشار يعطي :

$$NA(x,t) = No\ .\mathrm{erfc}\frac{X}{2\sqrt{Dt}}$$

و لحساب عدد الشوائب في الشريحة wafer بعد زمن t :

بفرض أن مساحة السطح المعرض للإشابة تساوي A فإن العدد الكلي للشوائب يساوي :

$$QA(t) = \mathrm{A}\int_{o}^{\infty} \mathrm{NA(x,tp)dx}$$

$$= No\ .\mathrm{A}\int_{o}^{\infty} \mathrm{erfc}\frac{X}{2\sqrt{Dt}}\,\mathrm{dx}$$

ووفقاً لجداول تابع الخطأ فإن :

$$\int_{o}^{\infty} \mathrm{erfc\,y\,dy} = \frac{1}{\sqrt{\pi}}$$

لذلك تصبح المعادلة السابقة بالشكل التالي :

$$QA(t) = \frac{2No\ .A}{\sqrt{\pi}}\ \sqrt{Dt}$$

إن الكمية $\sqrt{Dt}$ تعطي الخواص الأساسية لنوعية الانتشار (و يطلق عليها بمميزة الطول).

وجد عملياً أنه إذا كانت سماكة الشريحة كبيرة بالمقارنة مع مميزة الطول فإن التقريب المحسوب يكون جيداً و المعلومات صحيحة .

مثال :

احسب مميزة الطول Characteristic Length لانتشار البورون عند درجة حرارة $C^{o}950$ و زمن 30 دقيقة من أجل

$D \approx 1.6\ X\ 10^{-3}\ \mu m^2/h$

نجد أن مميزة الطول

$$\sqrt{Dt} = 2.8 \text{ X } 10 - 2 \text{ µm} = 2.8 \text{ X } 10 - 8 \text{ m}$$

إذا كانت السماكة للشريحة تساوي

$$L = 10 \text{ mils} = 10 \times 25.4 \times 10^{-6} \text{ m}$$

تحسب السماكة منسوبة إلى مميزة الطول فنجد :

$$= \frac{L}{\sqrt{Dt}} \approx 104$$

$$>> L\sqrt{Dt}$$

و العلاقات صحيحة .

إذا كانت $Nx=5 \times 10^{15}/cm^3$

المطلوب حساب عمق الانتشار في زمن 30 دقيقة و درجة حرارة 950 درجة مئوية .

من المعادلة :

$$Nx = No \cdot \text{erfc} \frac{X}{2\sqrt{Dt}}$$

من المخطط و عند $Nx=5 \times 10^{15}$ نجد أن erfc=3.4 تقريباً فيكون :

$$\frac{X}{2\sqrt{Dt}} = 3.4$$

و لدينا $\sqrt{Dt} = 2.8X10^{-8}$ m

$$X=2 \times 2.8 \times 10^{-8} \times 3.5 = 19.6 \times 10\text{-}8 \approx 0.2 \times 10^{-6} \text{ m}$$

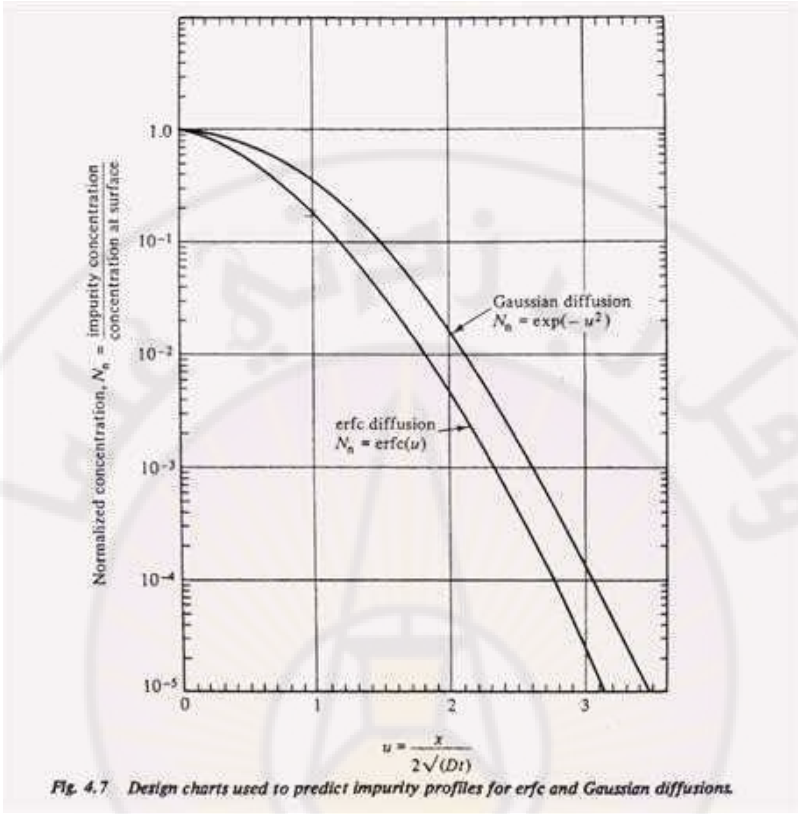


Fig. 4.7 Design charts used to predict impurity profiles for erfc and Gaussian diffusions.

6-7-3 أمثلة غير محلولة Problems

1-3-7-6 المطلوب انتشار البورون A boron diffusion في مادة نوع n-type في طبقة السيليكون البلورية ذات مقاومة نوعية 0.005 silicon epitaxial ohm-m تركيز الشوائب في سطح السيلكون يحافظ على القيمة 5×10^{25} ذرة في المتر المكعب .

الانتشار يحدث في درجة حرارة 1100 درجة مئوية حيث يكون عامل الانتشار الحراري للبورون يساوي

diffusion coefficient of boron is 4.3×10^{-17} m^2 s^{-1}

الطبقة (الوصلة) التي ستتشكل تكون بسماكة 5 μm تحت السطح .

ماهو الزمن المطلوب لحدوث الانتشار ؟ يفترض أن تحرك الالكترونات في السيليكون يساوي $0.15\ m^2\ v^{-1}\ s^{-1}$

الجواب : 5.7 h

6–7–3–2 يتم استخدام مادة البورون للانتشار في السيليكون لمدة زمنية قدرها ساعة واحدة و بدرجة حرارة 1150 درجة مئوية ، و عامل انتشار شوائب البورون في السيليكون عند هذه الدرجة يساوي $10^{-16}\ m^2\ s^{-1}$ التركيز الأصلي لشوائب البورون concentration of boron atoms في السيليكون قبل الإدخال يساوي $10^{22}\ m^{-3}$ و عمق الوصلة يساوي 1. μm

ما هو تركيز ذرات البورون قبل الإشابة pre-deposition على سطح شريحة السيليكون قبل القيادة الداخلية before drive in ؟ يفترض أن مرحلة قبل الإشابة محققة بشكل تام .

الجواب $1.1 \times 10^{16}\ m^{-2}$

6–7–3–3 تم تصنيع طبقة عازلة عبر طبقة كريستالية من نوع n-type epitaxial layer بسماكة 10 μm باستخدام تركيز شوائب مقداره concentration of atoms $10^{22}.\ m^{-3}$ و تركيز فعالية القوابل على الوجه لكل مجال انتشار $5 \times 10^{25}\ atoms.\ m^{-3}$ و تمت المحافظة على تثبيت ذلك خلال الانتشار .

احسب الزمن الأدنى للانتشار عند درجة حرارة 1200 درجة مئوية .

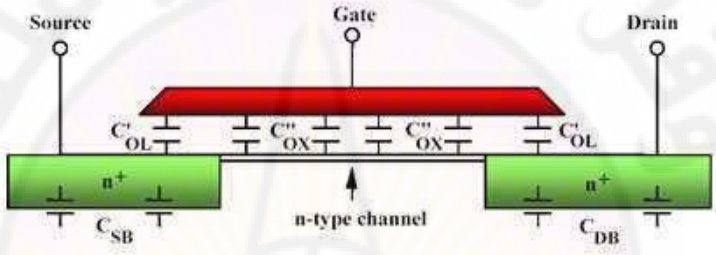
عندما يكون عامل الانتشار له القيمة $3.0 \times 10^{-16}\ m^2\ s^{-1}$ و كيف يمكن إنقاص هذا الزمن ؟

الجواب :3.4 h

الفصل السابع

مركبات الدارة المتكاملة

Integrated circuit components



1.7. مكثفات الدارة المتكاملة **Integrated circuit capacitors**

2.7. مقاومات الدارة المتكاملة **integrated circuit resistors**

3.7. ملفات الدارة المتكاملة **Integrated circuit inductors**

4.7. الترانزستورات التكاملية **integrated transistors**

7-5- الثنائي التكاملي **Integrated planar diode**

7-6- العناصر المتكاملة ذات الأثر الحقلي **integrated FET**

7-7- عناصر أخرى ذات اثر حقلي

7-8- تكنولوجيا الدارات الهجينة

وقل رب زدني علما
جامعة دمشق
Damascus University

مركبات الدارة المتكاملة: integrated circuit components

مقدمة :

إن عمليات تصنيع الدارات المتكاملة الوحيدة البلورة قد تم شرحها بشكل عام في الفصل الثالث، أما في الفصول الأخرى فقد تم أيضاً توضيح ذلك بشكل أكثر تفصيلاً.

الآن سوف نوجه اهتمامنا للأنواع المختلفة لعناصر الدارة المتكاملة التي يمكن صنعها بالطرق السابقة.

من المهم بالنسبة لمصمم ي الدارات وكذلك بالنسبة للمصنعين أن يكونوا على اطلاع ومعرفة بأنواع العناصر الفعالة active device وغير الفعالة passive device المتضمنة في الدارة المتكاملة ومعرفة خواصها المشتركة.

ويجب أن نلاحظ من المناقشة المسبقة للمبادئ العامة لتصنيع الدارة المتكاملة وحيدة البلورة إن العناصر كافة تم تشكيلها بأسلوب تسلسلي في آن واحد مشابه لعمليات الانتشار، مثال على ذلك المقاومات الوحيدة البلورة تشكلت تحت نفس شروط الانتشار وفي نفس الوقت تعمل كقواعد للترانزيستور.

إن هذا لا يحد فقط إمكانيات الاختيار للعناصر ولكن ينقص أيضاً المرونة في عملية التصميم.

عادة من أجل آثار الانتشار diffusion profiles وتركيز السطح للطبقات المختلفة للدارات المتكاملة السطحية يجب أن يتم الاختيار بحيث تتوافق مع متطلبات العناصر الفعالة في الدارة وبشكل خاص دارات الترانزستورات العادية bipolar circuit تكون ذات طبقات كريستالية epitaxial بمقاومة نوعية تساوي 0,005 Ω - m التي توافق انتشار المنبع المحدد للشوائب القابلة حيث يكون

تركيز السطح بحدود $10^{24}\ m^{-3}$ وبعمق بعض مكرونات لتشكل بذلك قواعد للعناصر المتكاملة كافة.

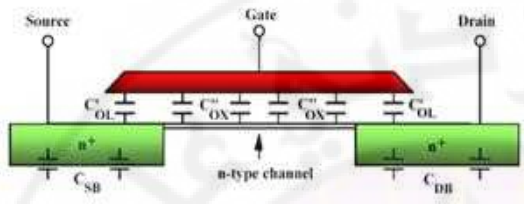
هذا يمكن أن ينتج بواسطة منبع انتشار ثابت أكثر ضمانة مع تركيز للمعطيات donor concentration $10^{26}\ m^{-3}$ للحصول على مناطق مشابهة لمناطق الباعث.

إن كافة العناصر غير الفعالة السطحية مثل مقاومات أو مكثفات الانتشار All passive planar components, such as diffused resistors or capacitors يجب أن تصمم بحيث تصنع من هذه الطبقات متضمنة مقاومات الصفيحة وفقا لمستويات الإشابة، والإثارة الناتجة عنها.

في الفصول التالية سيتم شرح الأنواع المختلفة للعناصر المتوفرة للمصمم لكي يأخذها بعين الاعتبار في تصميم الدارات الإلكترونية بشكل مفصل.

مكثفات الدارة المتكاملة

Integrated circuit capacitors



1.7. مكثفات الدارة المتكاملة

Integrated circuit capacitors

يوجد نوعان أساسيان من المكثفات يمكن الحصول عليهما في الدارات المتكاملة ويحتويان بشكل أساسي على طبقتين ذات مقاومة منخفضة يشكلان قطبين معزولين عن بعضهما بواسطة عازل كهربائي.

النوع الأول: مكثفات الأفلام الرقيقة thin – film capacitors

حيث يكون أحد الأقطاب عادة من المعدن وينفصل عن القطب الآخر بطبقة عازلة تنتج بخطوة عمل إضافية بعد الانتشار السطحي.

النوع الثاني: مكثفات انتشار الوصلة diffused junction capacitors

يستفاد في هذه الحالة من السعة المتواجدة بين الطبقتين p and n regions حيث يتكون بينهما طبقة الشحنة الفراغية والتي تتواجد بسبب الانحياز العكسي .

في حالة أخرى تكون مساحة القطب A كبيرة بشكل كاف والفاصل d صغير بشكل كاف بحيث يمكن إهمال تكون الحقول المتنافرة وتكون السعة capacitance المتكونة C تساوي :

$$C = \frac{\in_{r} \in_{0} A}{d} \qquad (7.1)$$

قيمة السعة العملية بواحدة المساحة :

$$\frac{C}{A} = 8.85 \times 10^{-10} \frac{\in_{r}}{d}\ pF(\mu m)^{-2} \qquad (7.2)$$

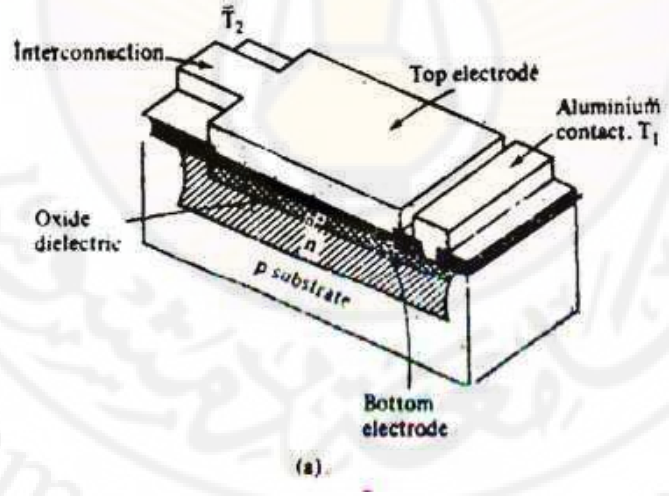
1.1.7. مكثفات الأفلام الرقيقة thin film capacitors

إن مكثفات المعدن . الأوكسيد . السيلكون Metal – oxide – silicon capacitors (MOS) يمكن أن تتشكل باستخدام انتشار الباعث كقطب أسفل له مقاومة صفيحة منخفضة. هذا يضمن أن المقاومة التسلسلية المتضمنة في الدارة المكافئة التامة للعنصر، لحساب مقاومة الضجيج parasitic resistance بين أطرافها والمنطقة الفعالة، المسماة بمقاومة النمو access resistance تبقى أصغريه minimum شكل (7.1) القطب العلوي الذي يشكل بواسطة عملية الوصل المعدنية الداخلية منفصلة عن الطبقة الأخرى بواسطة عازل كهربائي كما هو مبين في الشكل (7.1) ويمكن أن يكون هذا العازل إما من ثاني أوكسيد السيلكون silicon dioxide الذي له ثابت عازليه نسبية relative permittivity

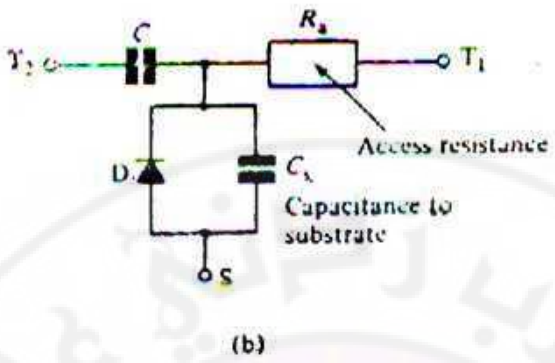
of 3-4 حوالي 4.3 أو نتريد السيلكون الأقل شيوعاً silicon nitride وله ثابت عازليه نسبي يقترب من القيمة 9.

إن كلا العازلين الكهربائيين له عازليه كهربائية قوية وذلك للحصول على جهد انهيار عال حوالي $(\mu m)^{-1}$ breakdown voltages around 1 KV

وهكذا فإن السعة المتوفرة يمكن زيادتها بواسطة تقليل سماكة الطبقات عن طريق الحك المعدني etching كما شاهدنا ، ولكن هذا يتطلب مع ذلك خطوات عمل إضافية. والسماكة النموذجية للأكسيد بحدود $[1.01\mu m]$ Typical oxide thickness ، الدارة المكافئة لمكثفة MOS تعتبر معقدة إلا أنه إذا أهملت مقاومات التسريب وهذا غالباً ممكن فإن الدارة تصبح أكثر تبسيطاً كما هو مبين في الشكل (2–7).



الشكل (1–7) مكثفة MOS المتكاملة

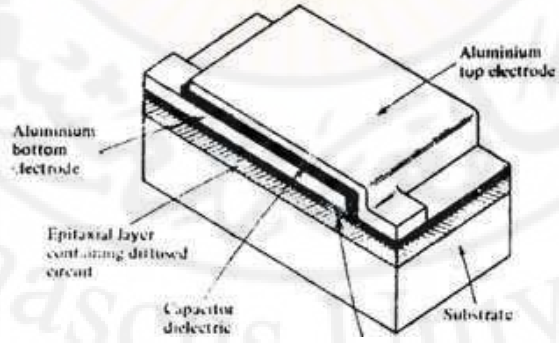


Integrated MOS capacitor and its equivalent circuit.

الشكل (2-7) الدارة المكافئة لمكثفة MOS

يلاحظ أن طرف المكثف T_1 يجب أن يكون دائماً ذا انحياز موجب بالنسبة للقاعدة الأساسية S ولمنع التوصيل إليها عن طريق ثنائي الوصلة junction diode D.

المكثفات نوع . معدن . أوكسيد . معدن metal oxide – metal capacitors يمكن أن تصنع بشكل كامل على قمة شريحة دارة تكاملية كما هو مبين في الشكل (3-7) وهذا يشتمل على خطوات عمل أكثر مما يعطي مساوئ من الناحية الاقتصادية.

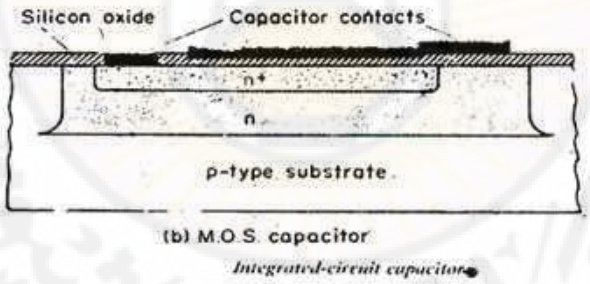


الشكل (3-7)

إن هذه الطريقة لها بعض الحسنات الإضافية حيث أن العازل الكهربائي يمكن اختياره ليوافق التطبيق العملي، كما أن السعات التشردية تنخفض ومقاومة النمو access resistance minimized تكون منخفضة.

إن المكثفات ذات السعات العالية يمكن تصنيعها فوق الدارة الموجودة وذلك من أجل الاستخدام الفعال لمساحة الكسرة ومن العوازل الكهربائية المعروفة المستخدمة في مثل هذه المكثفات هي أوكسيد الألمنيوم oxide of aluminum التانتاليوم tantalum التيتانيوم titanium الهافينيوم hafnium والشكل (4–7) يبين مقطعاً لمكثف (MOS) متشابه للشكل (7.1) سماكة طبقة الأوكسيد تكون حوالي 1000 انغستروم مشكلة على السطح لتكون المادة العازلة أما الألمنيوم فتواجد على السطح ليشكل نقاط التماس للأقطاب ،السعة النموذجية تساوي :

0.4 P F per square thou



الشكل (4–7)

2.1.7. مكثفات الاتصال Junction capacitors

إن وصلات p-n المختلفة المتواجدة في التركيبات السطحية الأحادية البلورة تقترن مع سعات واحدة المساحة والتي يمكن تسخيرها لإنتاج مركبات الدارة المتكاملة.

وعادة تكون هذه الوصلات ذات انحياز عكسي وذلك حتى تكون المقاومة التفرعية الفعالة للمكثف أكبر كما يمكن.

إذا كان تغير الشوائب عبر المنطقة p-n عملياً غير منتظم أو ذا تغير فجائي abruptly مثال على ذلك: حالة منطقة الاتصال بين الطبقة البلورية epi-layer والقاعدة الأساسية substrate عندئذ تكون سماكة المنطقة المجردة (أو منطقة النضوب) Depletion layer dj بوجود جهد الانحياز العكسي V_r المطبق تساوي:

$$dj \approx \left(\frac{2 \in_r \in_o V_r}{eN} \right)^{1/2} \qquad (7.3)$$

حيث أن N تركيز الحامل في جانب المقاومة العالية للوصلة و $\in_r$ ثابت العازلية للسيلكون relative permittivity for silicon السعة بواحدة المساحة لمثل هذه الوصلة تساوي اعتماداً على المعادلتين (7.1 و 7.3).

$$\frac{C}{A} = \left(\frac{e \in_r \in_o N}{2V_r} \right)^{1/2}$$

$$or \qquad (7.4)$$

$$\frac{C}{A} \alpha (V_r)^{-\frac{1}{2}}$$

إن المساوئ الظاهرة التي يجب أن يسمح لها في مثل هذه العناصر هي أن أمثال هذه السعات غير ثابتة وإنما متغيرة مع جهد الانحياز.

وإن واحدة أو أكثر من وصلات الانتشار one or other of the diffused p-n junctions في الطبقة البلورية يتم استخدامها غالباً لتشكل المكثف في الدارة المتكاملة.

آثار الشوائب عبر أمثال هذه الوصلات تعتمد على نوع الانتشار المستخدم ومعدل التغير التدريجي أكثر من اعتمادها على التغيرات الفجائية عبر سطح الوصلة. أما إذا كان التغير بالتركيز بين الوصلة P.N غير فجائي وإنما هو خطي وذو ميل S فإن السعة في واحدة السطح capacitance per unit area of تعطي بالعلاقة:

The linearly graded junction is given by:

$$\frac{C}{A} = \left(\frac{\epsilon_r^2 . \epsilon_o^2, es}{12 V_j} \right)^{1/2}$$

or

$$\frac{C}{A} \alpha (V_j)^{-1/2}$$

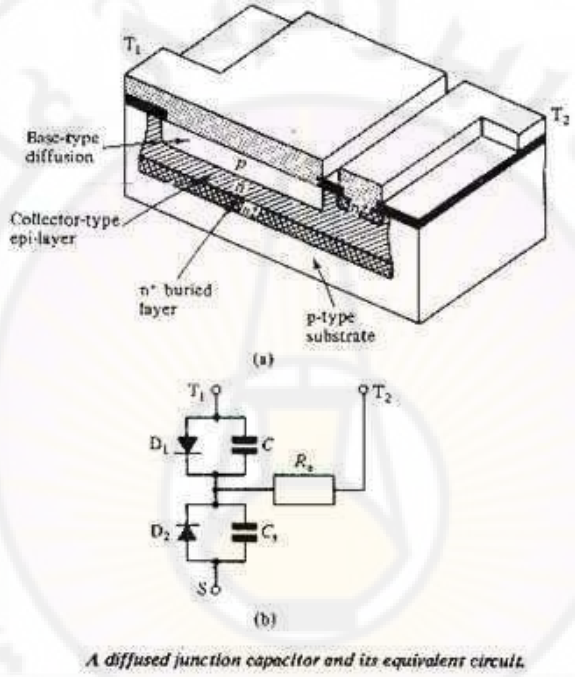
إن هذه العلاقة يمكن أن تستخدم للحصول على المكثفات المسماة مكثفات الانتشار capacitance of a diffused capacitor مع ذلك فإنه من أجل تشكل الوصلة باستخدام منبع انتشار محدد أو ثابت فإن ميل slope أثر الشوائب الفعالة في الوصلة غير خطي ولكنه متغير مع العمق depth.

الحل لمعادلة بواسون the solution of poison's equation لمثل هذه الوصلات العملية يعتبر معقداً وصعباً وإن استخدام الحاسب الإلكتروني يعطي كحل لسعة المكثفات كتابع لعوامل الوصلة ويمكن عند الحاجة التعمق في هذه النقطة باستخدام المراجع المختلفة مثل (9) (10) (11) (12).

إحدى مكثفات الانتشار النموذجية المكونة اعتماداً على السعة بين المجمع والقاعدة مبينة في الشكل (7.5 a).

السعة "C" لمثل هذا العنصر نموذجياً يكون بحدود $100 pFmm^{-2}$ مع جهد انحياز عكسي بحدود 1فولت.

إن طبقة the n^+ emitter – type diffusion تبين أن المقاومة الأومية المشكلة للتماس بين وصلة الألمنيوم مع نوع p-type وقاعدة الانتشار نوع n type منخفضة (وإلا ستكون مرتفعة لحالة المكثف المبين في الشكل (5–7) الدارة المكافئة مبينة في الشكل (7.5 b).



A diffused junction capacitor and its equivalent circuit.

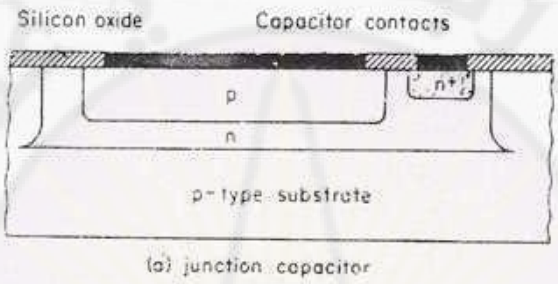
الشكل (5–7) مكثفة وصلة الانتشار مع دارتها المكافئة

مقاومة الوصول the access resistance للمكثف R_a يمكن أن تكون كبيرة تبعاً لمقاومة المسرى العالية بين T_2 عبر الطبقة البلورية Epi- layer مع ذلك فإن القيمة تنخفض غالباً بواسطة احتوائها للطبقة n^+ buried layer diffusion كما هو مبين.

ثنائي الاتصال D_1 يكون دائماً ذا انحياز عكسي لإنقاص المقاومة التفرعية. وهكذا يبقى T_2 موجباً بالنسبة T_1 (وكذلك بالنسبة للقاعدة الأساسية،

لعكس الانحياز D_2 والمحافظة على عزل العنصر كما سيشرح ذلك في الفصل التالي).

جهد الانهيار V_{BD} .breakdown voltage لمكثف الانتشار يمكن وصفه بالمقارنة مع وصلة القاعدة . المجمع.



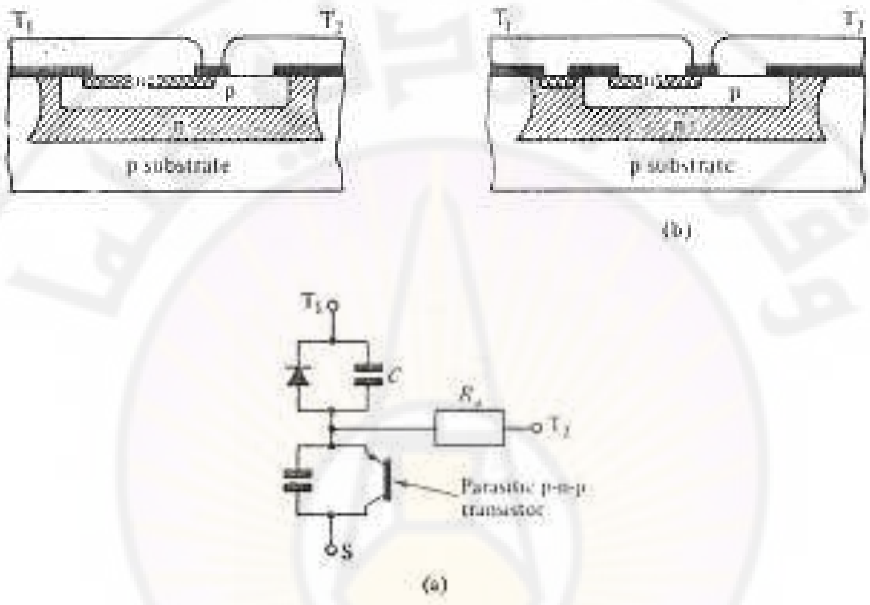
الشكل (6–7) مكثفة الوصلة بدون الطبقة المركزة

لزيادة سعة المكثف بواحدة المساحة للكسرة يلجأ إلى تطبيق وصلة لكسرة الباعث . القاعدة . كما هو مبين في الشكل (7.7).

السعة لهذه الوصلة نموذجياً حوالي 10^{2} PF mm^{-2} من أجل جهد انحياز عكسي قدره 1فولت ولكن هذه السعة العالية يقابلها جهد انحياز عكسي أقل الذي يحدد جهد العمل بأقل من 5 فولت operating voltage to less than 5 V

كما أنه توجد إمكانية تسريب تيار إلى القاعدة الأساسية عبر الترانزيستور الطفيلي parasitic p-n-p transistor والتي يمكن تجنبها بواسطة الانحياز الصحيح، وحتى تتحقق من ذلك فإن الترانزيستور يبقى في حالة قطع always cut – off

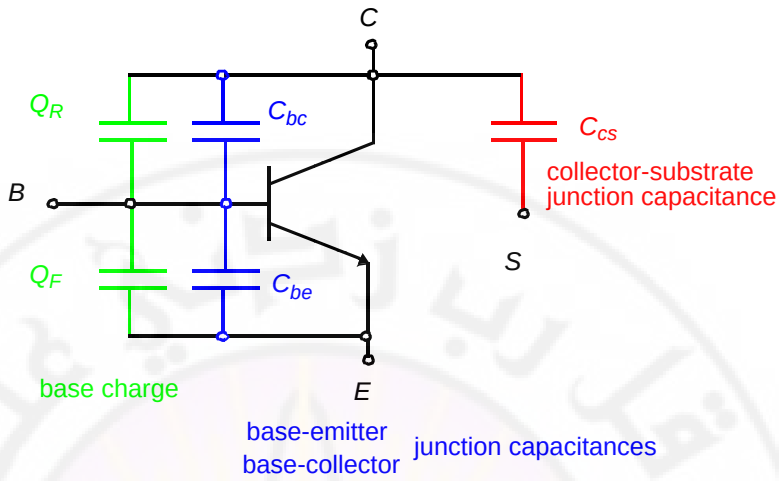
أخيراً من الممكن وصل مكثفات "الباعث القاعدة . والقاعدة المجمع للحصول على مكثفات انتشار بواسطة نموذج معدني كما هو مبين في الشكل (b.7.7).



الشكل (7–7) مكثفات عالية القيمة

وإن لهذه الوصلة سعة عالية ولكن أيضاً لها مساوئ كوم الجهد V_{BD} منخفضاً واحتمال حدوث تسريب تيار إلى القاعدة الأساسية.

ويبين الشكل (8–7)نموذج السعات المختلفة الممكنة الاعتبار في الترانزيستور



Capacitive Model for Bipolar Transistor

الشكل(8–7) السعات الممكنة الاعتبار في الترانزيستور

7.1.2.1. مثال:

سعة الوصلة P-N قيمتها C=10 PF عند جهد انحياز عكسي مقداره 1V.

احسب قيمة السعة عندما يتغير جهد الانحياز العكسي المطلق على الوصلة ليساوي 5V مع افتراض أن تغير الإشابة بشكل خطي.

الحل:

إن معادلة السعة للتدرج الخطي للإشابة تعطي بالمعادلة:

$$\frac{C}{A}=\left(\frac{\in_r^{\,2}.\in_o^{\,2}.e.s}{12V_j}\right)^{1/3}$$

أو نقول أن تناسب السعة إلى جهد الانحياز العكسي يكافئ القيمة التالية

$$\frac{C}{A}\alpha\left(V_j\right)^{-1/3}$$

وعلاقة التناسب هذه يمكن أن تعطي:

$$10PF \rightarrow (1)^{-1/2}$$

$$C_x \rightarrow (5)^{-1/3}$$

فتكون قيمة السعة الجديدة:

$$C_x = \frac{5^{-1/3} \times 10}{1^{-1/3}} = 5.8PF$$

2.2.1.7. مثال:

وصلة P.N ذات مقطع $1\ mm^2$ وسعة 300 PF عند جهد انحياز عكسي مقداره 10V

احسب التغير بالسعة عندما يتغير الجهد العكسي بمقدار 50% نقصاناً مع اقتراض أن الإشابة ذات تدرج خطي.

الحل: اعتماداً على علاقة الحل في المثال السابق يمكن أن تكتب:

$$300PF \rightarrow (10)^{-1/3V}$$

$$C_x \rightarrow (5)^{-1/3V}$$

فتكون قيمة السعة الجديدة:

$$C_x = \frac{300 \times 5^{-1/3}}{10^{-1/3}} = \frac{300 \times 0.5848}{0.464158}$$
$$= 377.97 \approx 378PF$$

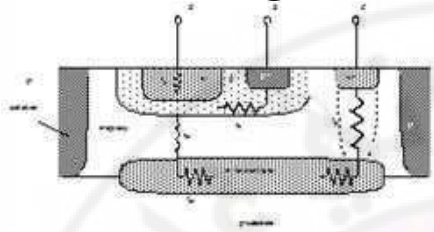
فيكون التغير بالسعة يساوي

$$378 - 300 = +\ 78\ \text{PF} = 26\%$$

أي أن التغير بالجهد بمقداره 50% – يكافئه ازدياد بالسعة مقداره 26% +

مقاومات الدارة المتكاملة

integrated circuit resistors



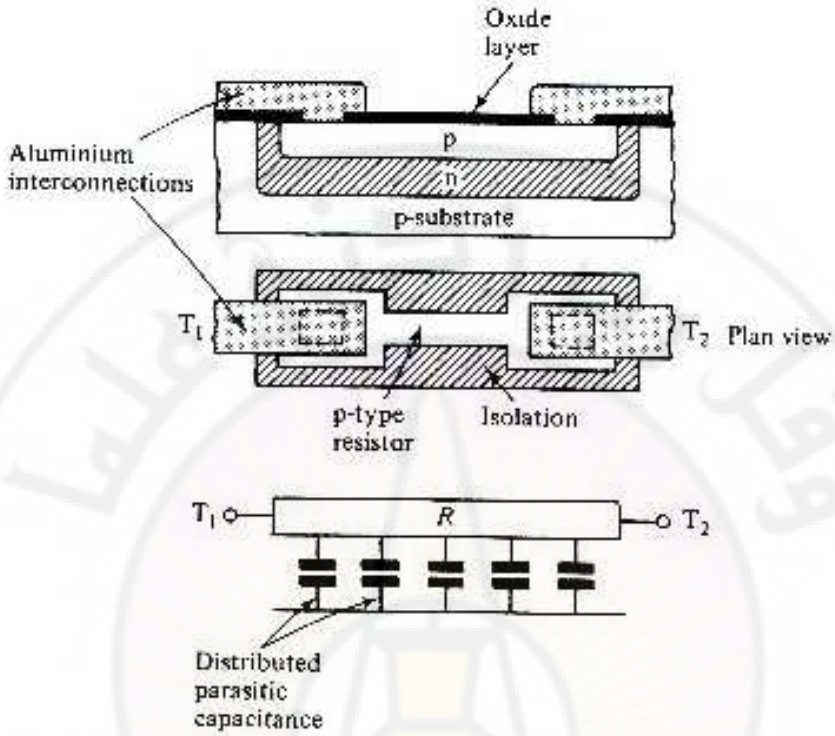
2.7. مقاومات الدارة المتكاملة

integrated circuit resistors

1.2.7. مقاومات الانتشار وحيدة البلورة:

Monolithic diffused resistors

تعتبر هذه المقاومات من النوع الأكثر شيوعاً وتشكل بنفس واسطة الانتشار لمادة نوع P- type diffusion المستخدمة كقاعدة الترانزيستور المتواجد ضمن جزيرة تعزله بشكل كامل من مادة نوع p-type كما هو مبين في الشكل (7.9) الوصلة بين المقاومة والجزيرة نوع n- type island تحافظ بشكل دائم على انحياز عكسي وذلك لتقيد سير التيار بحيث يمر فقط عبر المقاومة.



Diffused integrated resistor and a possible equivalent circuit.

الشكل (9–7) مقاومة الانتشار مع دارتها المكافئة

انتشار القاعدة النموذجي المستخدم هو من نوع منبع الشوائب المحدد "أي تخضع للتوزيع الغوصي" Limited – source type وبتركيز للقابلات في السطح. بحدود 10^{24} around m^{-3} وبعمق بضع الميكرومترات حيث تعطي مقاومة صفيحة ^{p}s resistance بمعدل $\Omega/square$ 100 -200 in the range وتحدد مقاومة الانتشار Determined by this figure for $^{p}{}_{S}$ and the ratio of the resistor .R. Length .L . to its width .w. since

$$R = \rho_s \, L/w$$

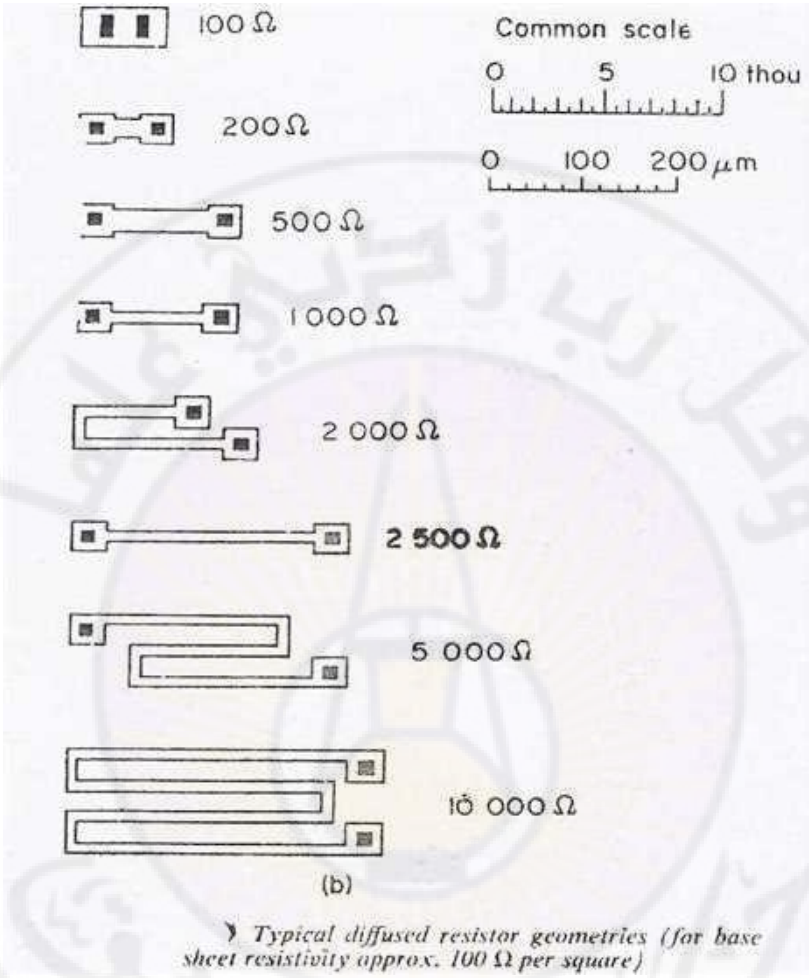
ويلاحظ توضع المقاومة نوع p-type ضمن جزيرة من العازل نوع n-type وطرفاها متصلان بوصلات ألمنيوم $T_2 - T_1$

وفي الدارة المكافئة توضح تأثير السعات الطفيلية وتوزيعها التقريبي.

مثال:

إذا كانت $\rho_s = 100\Omega / square$ فإن مقاومة قدرها $1\ \mathrm{K}\Omega$ يمكن الحصول عليها من عشر مساحات موصولة على التسلسل هذا يعني أن الطول يساوي عشر مرات العرض المقاومات في المجال $50\Omega - 10k\Omega$ وبمساحية حوالي around =25 يتم الحصول عليها بهذه التقنية.

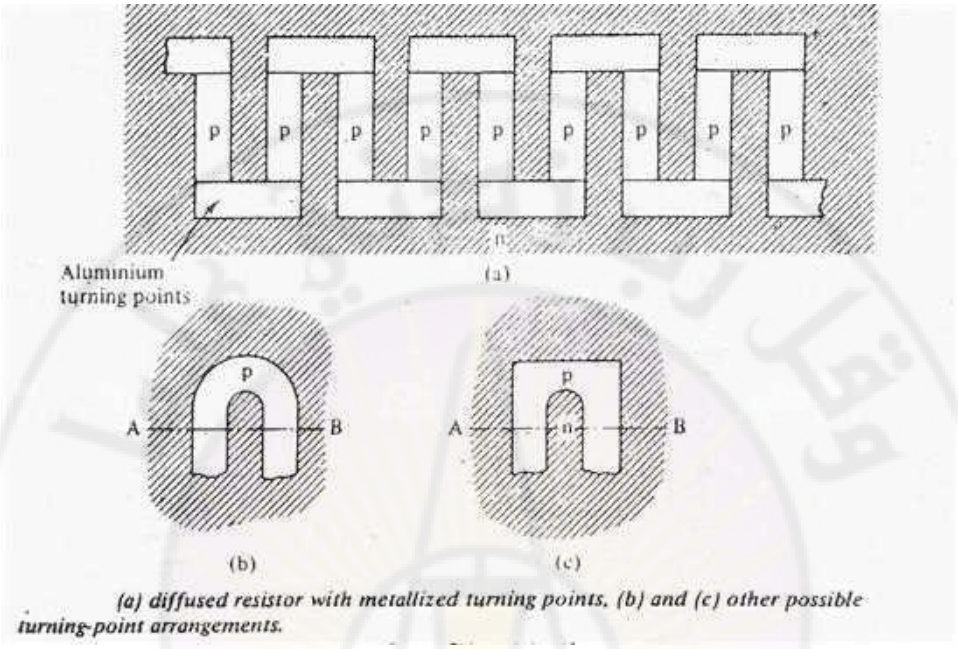
إن القيم العالية من المقاومات غالباً يتم ثنيها للمحافظة على مساحة الكسرة كما هو مبين في الشكل (7.10).



) *Typical diffused resistor geometries (for base sheet resistivity approx. 100 Ω per square)*

الشكل (10–7)

إن نقاط الالتفاف لمثل هذه المقاومات يمكن أن تحقق بوصلات معدنية metallized وذلك من أجل تجنب الحالة المسماة بتراكم التيار current crowding كما هو مبين في الشكل (a–7–11) والحصول على قيم سماحيات منخفضة ولكن هذا يميل إلى إسراف بالمساحة وبالتالي يلجأ إلى أشكال هندسية أخرى كما هو مبين في الشكل (b,c–7–11).



(a) diffused resistor with metallized turning points, (b) and (c) other possible turning-point arrangements.

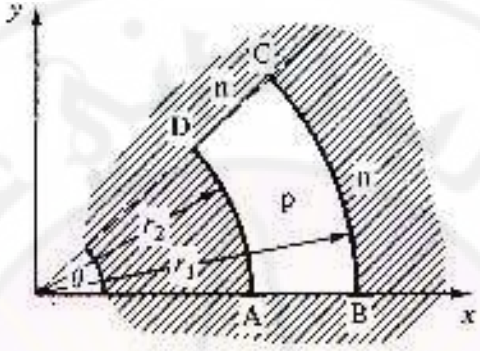
الشكل (11–7)

يتم استخدام آلة رسم للحصول على القناع النموذجي الأساسي، كما شرحنا سابقاً والشكل الهندسي للمقاومات يكون عادة محدد بخطوط مستقيمة وزوايا قائمة وأقواس. يتم استخدام تقنية المطابقة لحساب المقاومة للمنعطفات كما هو مبين في الشكل (b –7–11).

من الشكل (7.10) نجد أن العرض النموذجي للشريحة يساوي $25\mu m..1thou$ يتم أخذ المقاومة السطحية لترانزيستور نوع p-type حيث تساوي أي squares $100^{\Omega/}$ أي مقاومة الشريحة تكون مساوية لـ Length .L. to its width .w. since

لكل $25\mu m(1thou)$ طولي لذلك فمن أجل مقاومة مقدارها 100Ω نحتاج إلى شريحة عرضها $25\mu m$ وطول مقداره 0.25 mm (10 thou)

كمثال على ذلك فإن المقاومة للقوس بشكل عام كما هو مبين في الشكل (7.12)



Generalized bend using circular arcs.

الشكل (12-7)

تعطى بالعلاقة:

$$RAB - CD = \rho_S \frac{\beta}{\log_e(r_2 / r_1)} \qquad (7.7)$$

بهذه التقنيات يمكن أن نرى أن المقاومات للأقواس المبينة في الأشكال (7.11 .b .c) بين A and B تكافؤ تقريباً respectively 3.9 and 3.8 squares وليس من السهل دائماً الحصول على تماس كهربائي جيد كما هو مبين في الشكل (7.13) بما أن المقاومة resistance لمقاومة الانتشار diffused resistor تعطى بالعلاقة (6.6) فإن اختيار العرض width w يحدد بشكل فعال مساحة السطح للمقاومة وكذلك المقاومة المعطاة تحدد "w" ومساحة السطح.

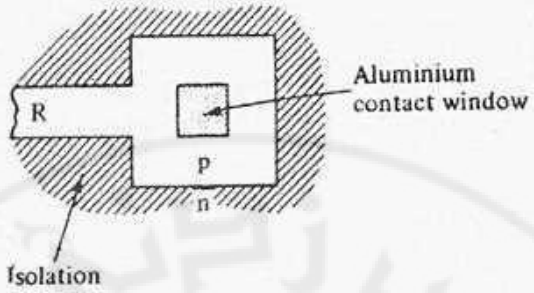
القيم الدنيا المحددة لـ "w" تحدد حسب الاستطاعة المطلوب معالجتها، وكذلك بالسماحية الدنيا المسموح بها باستخدام التقنية التقليدية للقناع والانتشار.

عمق الخطوط تكون عادة في مجال range 5.25 μm والأعماق الكبرى يمكن أن تستخدم من أجل سماحية أفضل لإنتاج مقاومات أكثر دقة، ولكن العمق القليل يعطي مقاومات لها نفس المساحة وذات استجابة عمل أفضل في مجال الترددات العالية.

ويمكن تحقيق عمق طبقة وبحدود $1\mu m$ ولكن بصعوبة، حيث تظهر المشكلات مبدئياً في مرحلة القطع للنوافذ الأوكسيديه (في مرحلة الحفر) etching stage.

وتحتوي الدارة المكافئة لمقاومة الانتشار على مقاومة موزعة بالإضافة إلى سعة شاردة موزعة إلى القاعدة الأساسية كما هو مبين في الشكل (9–7) وفي معظم التطبيقات يمكن أن تخفض هذه إلى دارة مجمعة مكافئة كما هو مبين في الشكل (7.14) ،الثابت الزمني لمثل هذه الدارة RC/2 يمكن أن يستخدم بشكل مبدأ لتحديد تردد القطع في الترددات العالية في مقاومات الانتشار العملية.

يمكن أن نلاحظ من الشكل (9-7) أن الترانزيستور الطفيلي a parasitic p-n-p transistor يتواجد بين طبقات المقاومة . العازل . والقاعدة الأساسية ولكن الطبقة البلورية عادة تترابط tied to the most positive point أو تميل إلى أكثر النقاط إيجابية في الدارة التكاملية وذلك لضمان أن الترانزيستور في حالة قطع non – conducting .

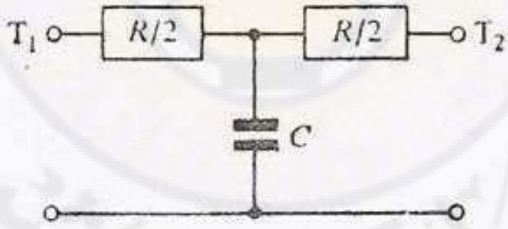


End contact for a diffused resistor.

الشكل (13–7) تماس كهربائي جيد بواسطة نقاط تماس من الألمنيوم

ويلاحظ في نقاط التماس تسبب تمدداً فعلياً في طول مقاومات الانتشار بمعدل:

$$0{,}6\ /\Omega\ \text{square}$$



A simplified equivalent circuit of a diffused resistor.

شكل(7.14) الدارة المكافئة البسيطة لمقاومة الانتشار حيث مثلت السعات الطفيلية بمكثفة واحدة.

2.2.7 المقاومة اللوحية لطبقات الانتشار:

Sheet resistance of diffused layers

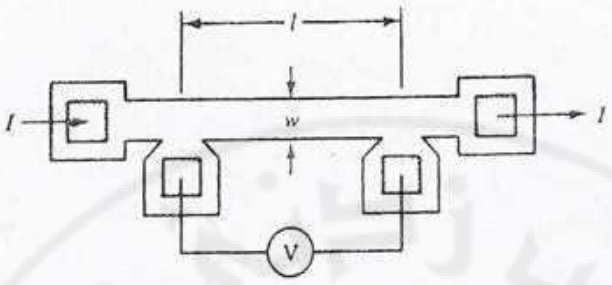
إذا كانت ρ_S تمثل مقاومة اللوحة لشريحة dt الانتشار بعمق كلي depth t بفرض أن تركيز الشوائب في الشريحة هو N فيكون:

$$\rho_S = \frac{1}{\sigma\, dt} = \frac{1}{Ne_{\mu} dt} \tag{7.8}$$

حيث أن μ تمثل قابلية تحرك الحامل الملائم، باعتبار أن الطبقة مشكلة وفق مبدأ الانتشار الغوصي Gaussian diffusion بكثافة للآثار مقدارها density profile N(t) فتكون مقاومة اللوحة المطبوعة تساوي:

$$\rho_S = \frac{1}{e\mu \int_o^t N(t) dt} \Omega / square \tag{7.9}$$

حيث أن ρ_S يعتمد على نوع الانتشار، عمق الانتشار، معدل الحركة وكذلك على تركيز الأرضية التي يحدث فيها الانتشار Background.



A sheet-resistance test pattern for evaluating diffused layers.

الشكل (15-7)

من الواضح أن ρ_S يمكن أن تقدر من هذه المعادلة، وعادة يرشد إلى ذلك خلال الانتشار الداخلي لاختبارات اختيارية الاستخدام الإمكانيات المتوفرة . اختبارات لمقاومة الصفيحة.

يمكن أن تتم وفقاً لطريقة الدبابيس الأربعة التي شرحت في الفقرة (2.5.3) والتي تعتبر أكثر سهولة لحساب ρ_S .

3.2.7. مقاومات الانتشار العالية والمنخفضة القيمة

Low – and high – value diffused resistors

إن وجود المقاومات ذات القيم المنخفضة باستخدام انتشار القاعدة base diffusion يعتبر إفراطاً وتبذيراً كبيرين لمساحة الكسرة وللدارة المتكاملة.
ومع ذلك فإن مقاومات من قيمة 1Ω من الممكن تحقيقها إذا تم استخدام انتشار الباعث حيث تكون مقاومة الصفيحة $[\rho_S]$ sheet resistant بمعدل

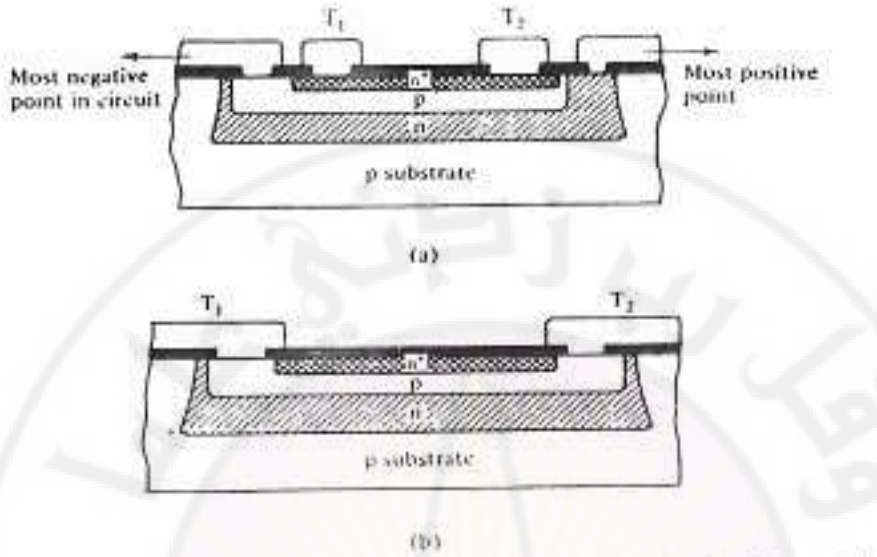
$1-10\Omega/sq$ وإن ترتيب الإمكانيات لتكنولوجيا المقاومات ذات القيم المنخفضة مبين في الشكل (7.16. a).

أما المقاومات ذات القيم العالية فإنه يمكن تشكيلها في مجال القاعدة إذا تم إنقاص المقطع العرضي الفعال بواسطة emitter diffusion (n^+) لانتشار الباعث كما هو مبين في الشكل (7.16. b).

بهذه الطريقة يمكن تركيز مرور التيار في المجال p- region فقط ومقاومات الصفيحة تصل إلى أعلى من $1k\Omega/square$.

إحدى الصعوبات التي تواجه هذا النوع من التركيب هو كونه مشابهاً لتركيب ترانزيستور p-channel JFET والمقاومة تابع للجهد المطبق.

الطبقة البلورية نفسها يمكن أن تستخدم للحصول على مقاومات ذات قيم عالية وذلك باستخدام عزل معينة لتحديد الشكل المطلوب وهذا لا يستخدم بكثرة بسبب السماحيات العالية.



Cross-sections of possible (a) low-value and (b) high-value diffused integrated resistors.

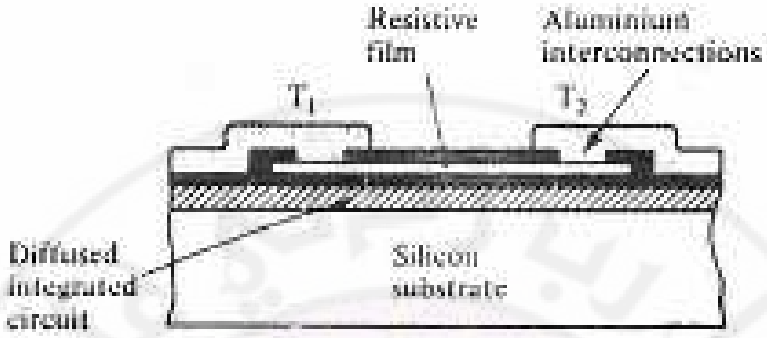
الشكل (16–7)

4.2.7. مقاومات الأفلام الرقيقة Thin – film resistors

من الممكن الحصول على مقاومات الأفلام الرقيقة في قمة مسرة الدارة المتكاملة بواسطة تقنية التبخير الخلوي vacuum evaporation techniques كما هو مبين في الشكل (7.17).

هذا يتطلب خطوات عمل إضافية إلا أن المساوئ المرافقة يمكن أن تقابل بالاقتصاد بمساحة الكسرة الكلية في الدارة بالإضافة إلى ذلك فإنه توجد مواد مقاومة متطورة تسمح باختيار مقاومة الصفيحة المطلوبة وفق المتطلبات العملية.

كذلك فإن السعات التشردية المنخفضة تحسن عمل المقاومة عند الترددات العالية.



Integrated thin-film resistor.

الشكل (17–7)

من المواد النموذجية التي تستخدم لمقاومات الأفلام الرقيقة هي التانتاليوم Tantalum أوكسيد القصدير tin oxide النيكروم Nichrome وجميعها ذات مقاومة صفيحة بمعدل $1- 10^3$ ohm/square sheet resistances in the range

3.7. ملفات الدارة المتكاملة

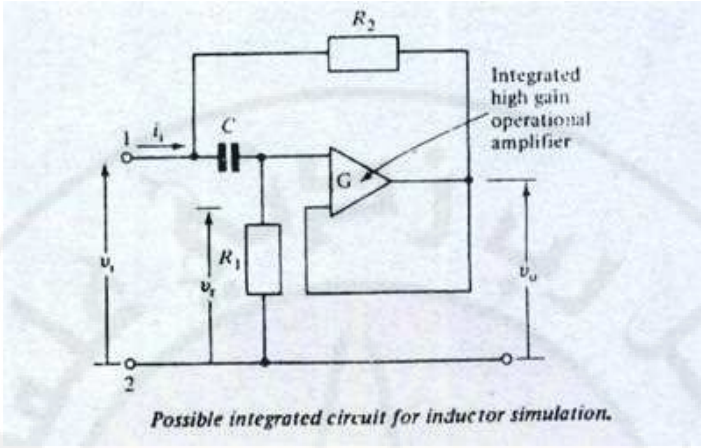
Integrated circuit inductors



بالرغم من تخيل أن الملفات التكاملية يمكن استعمالها بشكل لولب معدني إلا أنه يفضل أن تجنب دارتها وذلك لأنها تأخذ مساحة كبيرة تعتبر بالتالي ضائعة على كسرة الدارة المتكاملة وكذلك من أجل الحصول على جودة عالية للعناصر الإلكترونية فإن الملفات تحتاج إلى الأبعاد الثلاثة للحصول على high Q عالية. عادة من أجل أي دارة تحريضية ضرورية يتم تحقيقها بواسطة استخدام وصلات مركزة في الدارة التكاملية يتم وصل العنصر التحريضي عبرها كما هو الحال في دارة .1 .F حيث توجد نقاط محددة في الدارة التكاملية يوصل فيها
wired to the integrated circuit externally
من الممكن تصنيع ملفات وهمية (ظاهرية) باستخدام عناصر تكاملية تحقق هذا الغرض مثال ذلك عناصر غير فعالة من مقاومات ومكثفات وذلك بالاتصال مع العنصر الفعال التكاملي.

مثال:

يمكن أن تعتبر الدارة المبينة في الشكل (7.18) حيث أن مضخم العمليات "G" ذا التضخيم العالي والمركبات الأخرى يمكن أن تحقق بشكل تكاملي كما سبق.



Possible integrated circuit for inductor simulation.

الشكل (18–7)

بشكل عام أن مضخم العمليات له جهد خرج output voltage قدره v_o، التغذية الخلفية السالبة للمدخل القالب للصفحة inverting بجمع التيار في الدخل نحصل على العلاقة التالية من أجل تيار قدره input current I

$$i_i = \frac{V_i - V_o}{R_2} + (v_i - v_r) j\omega C$$

إذا أهمل تيار الدخل للمضخم ذي التضخيم العالي فإن C and R_1 يمكن النظر إليهما كمجزئ للجهد وذلك للحصول على الجهد عبر across resistor R_1

$$v_r = v_i \left(\frac{R_1}{R_1 - j/\omega C} \right)$$

يتم إعادة ترتيب هذه المعادلة للحصول على ممانعة الدخل إذا فرضنا أن

input impedance. Z_i نحصل على $V_o = V_r$

$$Z_i = \frac{V_i}{i_i} = \frac{R_2\left(1 + R_1 R_{2\omega}{}^2 C^2\right)}{1 + \omega^2 R_2{}^2 C^2} + j\frac{\omega R_2 C\left(R_1 - R_2\right)}{1 + \omega^2 R_2{}^2 C^2}$$

لذلك نجعل provided $R_1 > R_2$ نرى بالتالي أنه بالنسبة للنظر من أطراف الدخل فإن الدارة تكون كدارة تحريضية تعتمد على التردد.

ويمكن أيضاً أن نرى أنه إذا كانت $R_1 >> R_2$ فإن الملف الظاهري يكون لها عامل high Q factor مرتفع جداً.

كمثال على ذلك دارة مستخدمة تتصل بها مكثفة خارجية ذات سعى مقدارها $0.1\mu F$ يمكن أن تعمل كتحريض 1 H inductor وبقيمة Q value تساوي 15 عند التردد 0.5 KHz ولكن مثل هذه السعات من المكثفات من غير العملي إنتاجها بشكل دارة تكاملية وبالتالي فإن الدارات التحريضية التي تتطلب مثل هذه المركبات ينخفض استخدامها.

من الممكن أيضاً إنتاج دارات تكاملية مؤلفة باستخدام الترتيب المبين في الشكل (7.18) عن طريق وضع مكثف إضافي عبر أطراف الدخل حيث تحدث الرنين مع الملف الاصطناعي simulated inductance

ومن الواضح أن مثل هذه التصرفات تعتبر مكلفة بالنسبة لمساحة الكسرة المتكاملة chip area

لذلك فإنه يفضل في معظم الحالات أن تتجنب في الدارات التكاملية وجود التحريض أو دارات التوليف وفي الحالات الاضطرارية يتم إضافة ذلك إلى الدارة التكاملية integrated circuit.

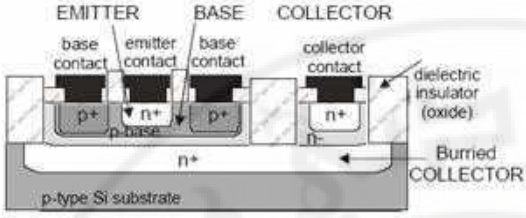
وكذلك فإنه يمكن حذف عنصر السعة وعنصر التحريض في دارات الترشيح المؤلفة inductors and capacitors in turned filter circuits بواسطة تطبيق دارة رنين ميكانيكية مثل المواد الكريستالية.

Mechanical resonant circuit such as a surface or bulk acoustic wave in a biezo – electric material

Damascus University

4.7 الترانزستورات ثنائية الأقطاب التكاملية

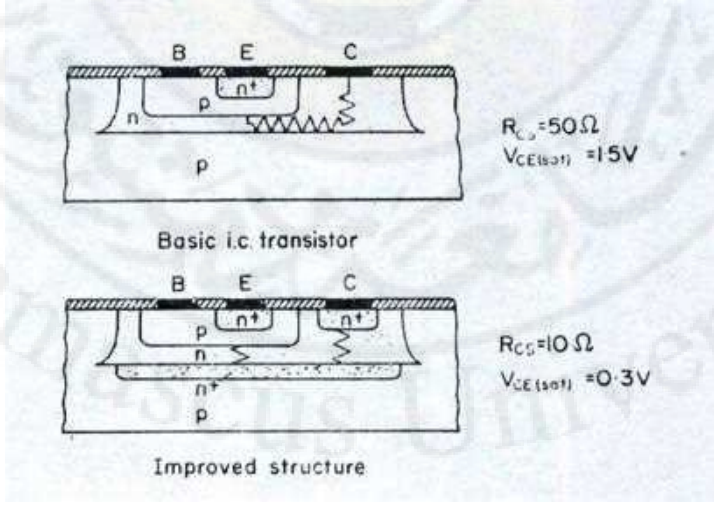
Bipolar integrated transistors



1.4.7 الترانزيستور ثنائي الأقطاب التكاملي وحيد البلورة:

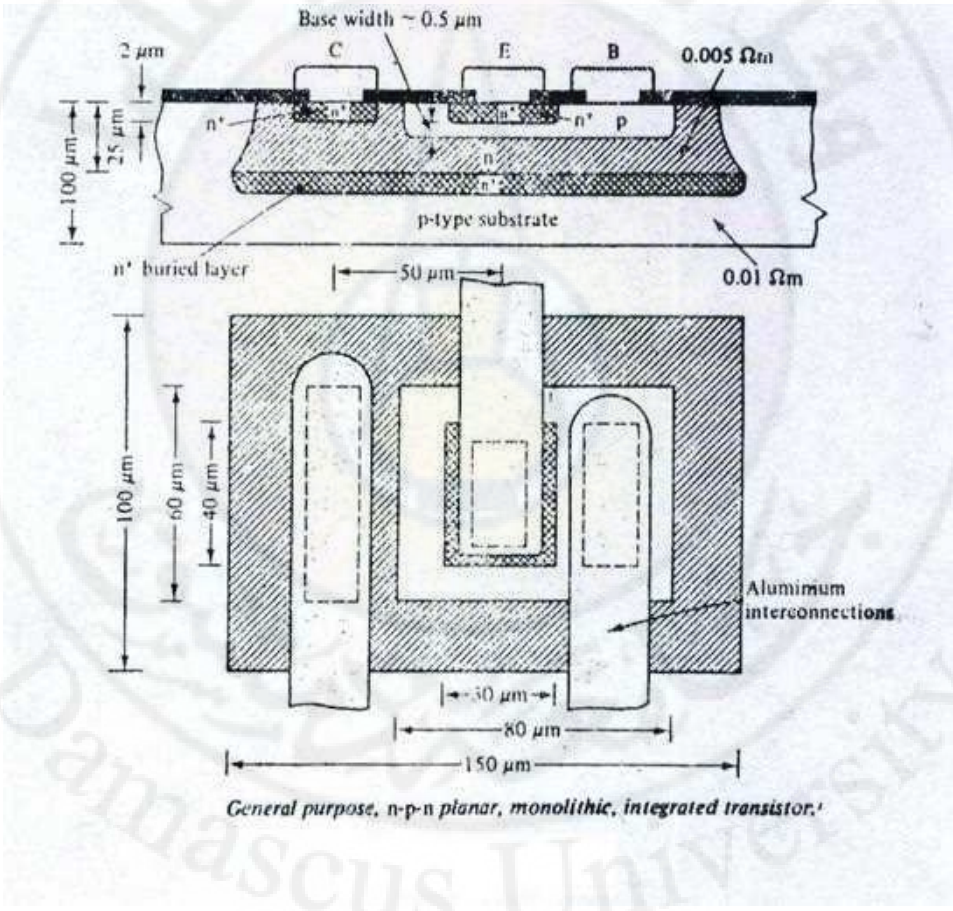
Bipolar Monolithic integrated transistor

الشكل (7.19) يبين مخططاً لمقطع عرضي لترانزيستور سطحي n-p-n- planar ثنائي الأقطاب وحيد البلورة يستخدم في أعمال مختلفة. والرسم لا يستخدم مقياساً معيناً وإنما هو توضيحي وقد وضعت الأبعاد في الشكل (7–20) لإعطاء فكرة عن الحجم العام.



الشكل (19–7)

إن الوصلة السطحية للمجمع تسبب مشكلة هي أن تيار المجمع يجب أن يمر عبر الطبقة الرقيقة نوع n-type التي تمثل تشكل منطقة المجمع ليحقق التماس بشكل كامل، كما هو مبين بشكل مقاومة في الشكل (7.19. a) وهكذا ستظهر مقاومة تسلسلية إضافية بالمقارنة مع الترانزيستور المفرد discrete planar transistor حيث أن وصلة المجمع تصنع في قاعدة الكسرة.



الشكل (20–7)

والتقليل من قيمة هذه المقاومة يتم بتحقيق انتشار طبقة نوع n^+ - type region على شريحة القاعدة الأساسية كما هو مبين في الشكل (7.19. b).

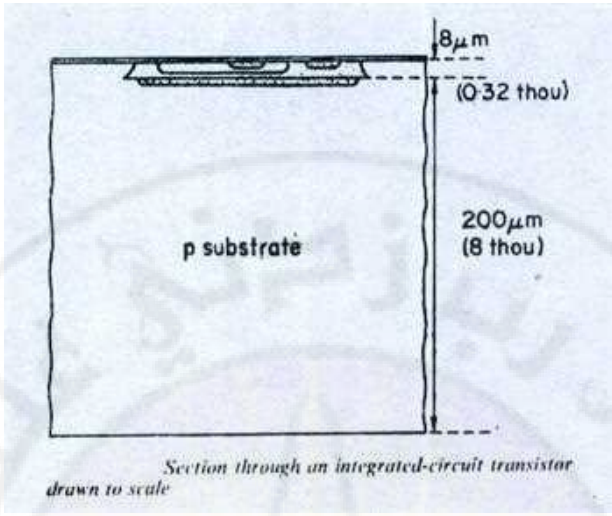
حيث أن التيار يمر بشكل مجاور للتماس مسبباً بالتالي مقاومة مجمعة منخفضة وبالتالي جهد تشبع أقل للمجمع وكما هو مبين في الشكل فإن كل من المقاومة وجهد التشبع انخفضا بالنسبة 5.

في التركيب العام للترانزيستور يمكن أن نشاهد أنه بعد انتشار الطبقة المركزة n^+ buried layer وتوضع الطبقة البلورية الايبتاكسية n-type يتم أكسدة الشريحة وانتشار المنطقة نوع p-type لتحقق العزل للتركيب.

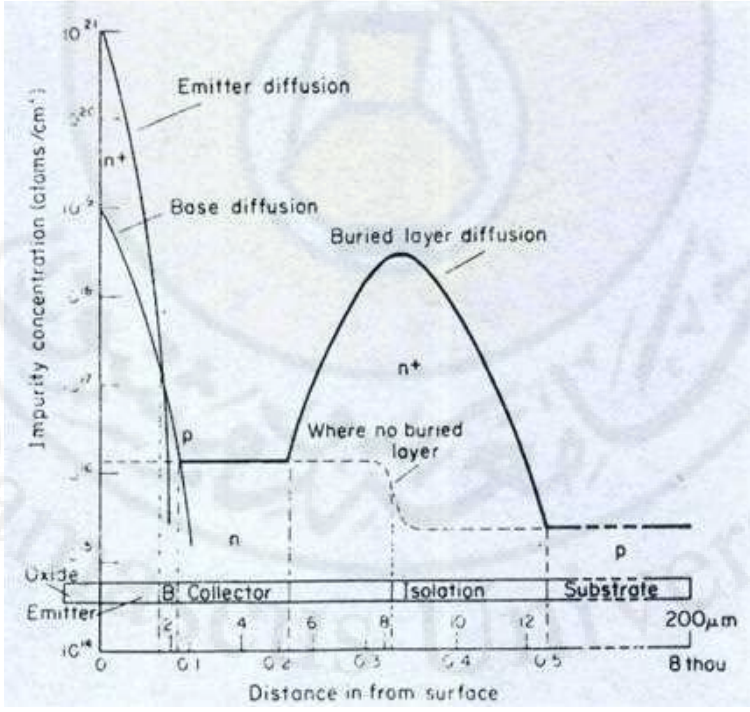
بعد ذلك يتم انتشار البورون ليشكل منطقة القاعدة ويكون التركيز النموذجي 10^{19} atoms/cm^3 (مقاومة السطح)

(surface resistance 100-200 Ω per square) ويكون الاختراق بسماكة حوالي $about\ 2\,\mu m\left(0.08\,thou\right)$

ثم يتم انتشار الفسفور ليشكل المنطقة المركزة للباعث نوع n^+ -type emitter region وفي نفس الوقت يتم انتشار منطقة n^+ -type region لمنطقة المجمع نوع n-type لتحقق بشكل موثوق جعل منطقة التماس ذات مقاومة أومية منخفضة مع الألمنيوم.

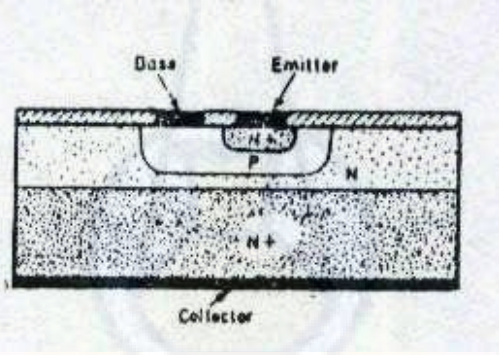


الشكل (7–21)

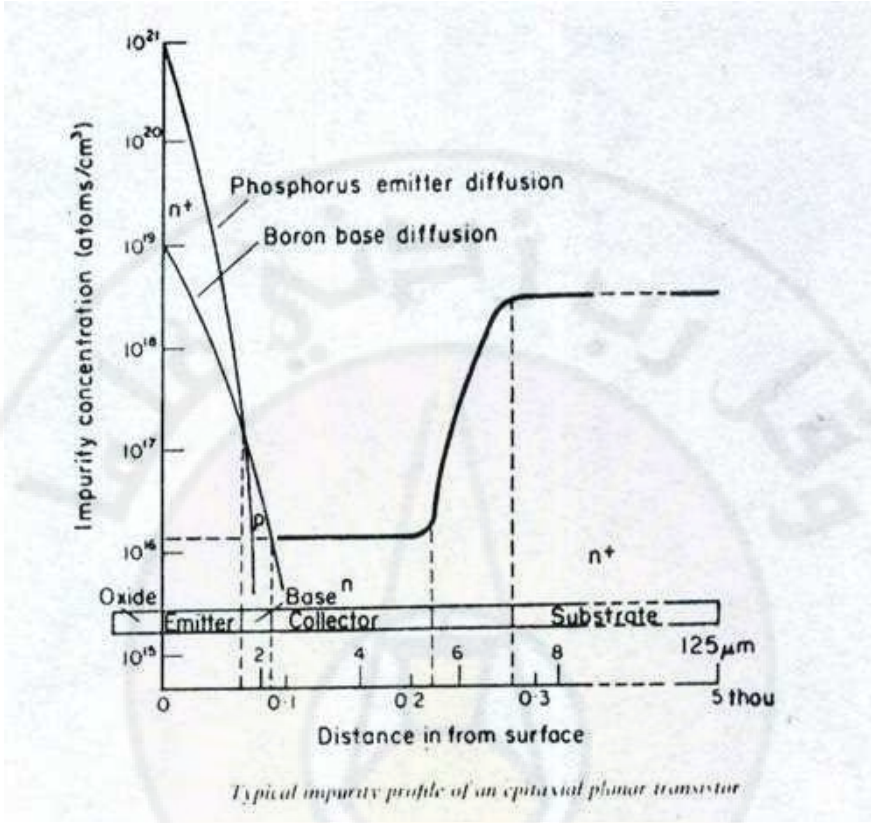


الشكل (7–22)

عمق منطقة انتشار الباعث حوالي $1.5\,\mu m(0.06\,thou)$ والشكل (22–7) يبين أثر الشوائب عبر وصلات الترانزيستور . الباعث . القاعدة . المجمع – base – emitter collector strure وهذا مشابه إلى حد ما لحالة أثر الشوائب في الترانزيستور المنفرد discrete planar transistor كما هو مبين في الشكل (24. 7).



الشكل (23–7)

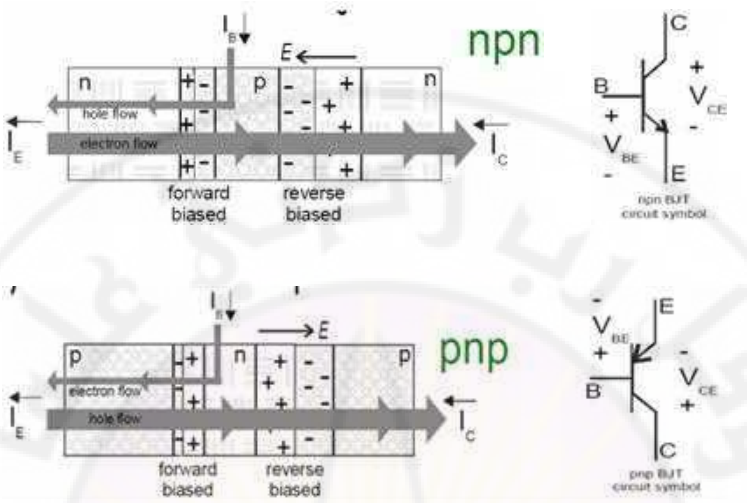


الشكل (24–7)

الدارة المكافئة للترانزيستور النموذجي للمقارنة مبينة في الشكل (25–7–a) وعملها يحدد بشكل كامل بواسطة كسب التيار $current-gain, {}^{\alpha}E$ حيث أن:

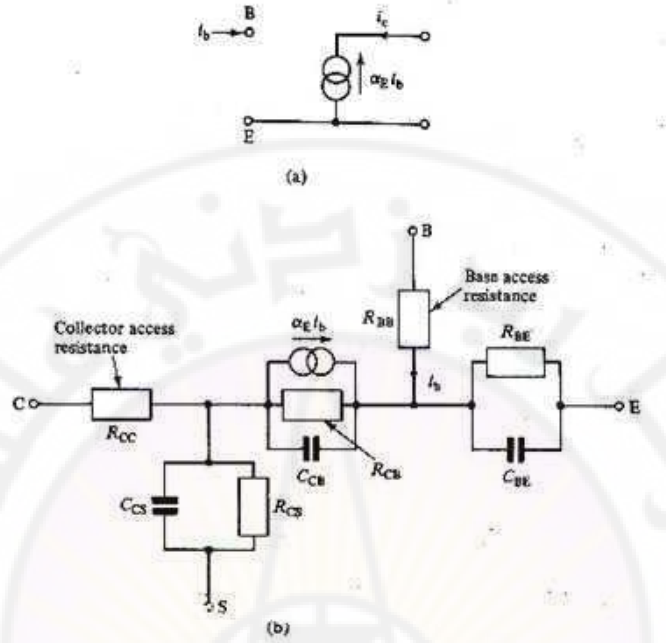
$$ {}^{\varepsilon}E = {}^{h}fE = {}^{i}c/{}^{i}b \qquad (7.10)$$

(كما وأن الوصلة المعزولة يمكن أن تعتبر كثنائي diodes متصل معه مكثف على التفرع شكل (7.25) وعند الترددات العالية فإن أثر المكثف يجب أن يحسب بشكل دقيق لأنه من المحتمل أن تظهر آثار مختلفة وغير مرغوبة أحياناً مع القاعدة الأساسية والعناصر الأخرى).



شكل توضيحي للترانزستورات الثنائية الأقطاب NPN & PNP وخواص التوزيع ألتياري التوضيحي لكليهما

الخواص الأكثر عملية للترانزيستور تختلف عن الخواص النموذجية المثالية، ومن الممكن أن توضع بواسطة الدارة المكافئة للإشارة الصغيرة المبينة في الشكل (7.25. b). إضافة إلى ذلك يتواجد ترانزيستور طفيلي متنوع parasitic – mp-n-p transistor بين القاعدة، المجمع والقاعدة الأساسية between base, collector and substrate والذي يجب أن يتجاوز بشكل صحيح ليكون بحالة قطع لمنع التيارات الكبيرة من المرور من قاعدة الترانزيستور إلى القاعدة الأساسية Base – to – substrate



Small-signal, low-frequency equivalent circuit of (a) an ideal bipolar transistor and (b) a planar integrated device.

الشكل (25–7) الدارة المكافئة للإشارة الصغيرة تردد منخفض للترانزيستور المثالي وللعنصر التكاملي السطحي

كسب التيار مع الباعث المؤرض grounded emitter, α_E يحسب بالنسبة إلى grounded base, ^{a}B

$$^{\alpha}E = {}^{\alpha}B / \left(1 - {}^{\alpha}B\right)$$

قيمة $^{\alpha}B$ تقترب من unity للكسب العالي تعتمد على أربع عوامل إنتاجية وفق المعادلة

$$^{\alpha}B = {}^{\mu}E^{\beta}.{}^{\gamma}c.{}^{M} \qquad (7.12)$$

وكل عامل ذو تأثير على تصميم العنصر وعمليات الإنتاج:

آ) مردود حقن الباعث (a) Emitter injection efficiency. η_E

إن هذا العامل يحدد كنسبة لتيار الإلكترونات المحقونة إلى داخل electron current injected into the base القاعدة للترانزيستور n-p-n transistor إلى تيار وصلة الباعث . القاعدة الكلية (او يحدد كنسبة بين ناقليه القاعدة في طولها إلى ناقلية الباعث في طوله) وتعطي بالعلاقة:

$$\eta E \approx \left(1+\frac{\alpha B}{\alpha E}\cdot\frac{1B}{1E}\right) \qquad (7.13)$$

حيث α هي الناقلية و l طول منطقة القاعدة والباعث.

ومن أجل المردود الذي يقترب من الواحد للحصول على كسب عال جداً فإن الناقلية وطول منطقة الباعث كليهما يجب أن يكونا أعظم بكثير من القيم المناظرة لمنقطة القاعدة وهذا الشيء يمكن تحقيقه بواسطة برنامج الانتشار الملائم.

ب) عامل نقل القاعدة : β (b) Base transport factor

إن هذا يتم تحديده كنسبة بين كثافة تيار الالكترونات لوصلة المجمع للترانزيستور n-p-n transistor إلى كثافة تيار الالكترونات لوصلة الباعث ويعطى بالعلاقة

$$\beta = \frac{Je|collector}{Je|emitter} \approx 1-\left(\frac{1B}{Le}\right)s \qquad (7.14)$$

حيث أن $\mathbf{lB}$ الطول الفيزيائي الفعال للقاعدة و L_e طول الانتشار للالكترونات الأقلية فيها diffusion length of minority electrons

من الواضح أنه من أجل كون β مقاربة للواحد وهو الشرط من أجل الكسب العالي فإن القاعدة يجب أن تكون أصغر ما يمكن.

ج) عامل ضرب المجمع γ_C .(c) collector multiplication factor

إن هذا العامل يحدد كنسبة للتيار الكلي إلى تيار الإلكترونات في وصلة المجمع . القاعدة ويمكن أن يعتبر مساوياً للواحد تقريباً لمعظم الترانزيسورات العادية.

د) عامل الضرب multiplication factor, M (d)

إن الإلكترونات الداخلية إلى مجمع الترانزستور n-p-n تلاقي حقلاً كهربائياً كبيراً E تبعاً لجهد المجمع V_{CB} هذا يمكن أن يؤدي إلى حالة الانهيار من أجل $E \approx 1MVm^{-1}$ أو بشكل نموذجي من أجل كون V_{CB} تساوي عشرات من الفولتات. في الجهود الأدنى من هذه فإنه من الممكن تولد بعض أزواج – some electron hole pair من ثقوب الالكترونات بواسطة التصادم الأيوني ولكن ليس من الضروري أن يكون الجهد كافياً ليساعد على حدوث الانهيار.

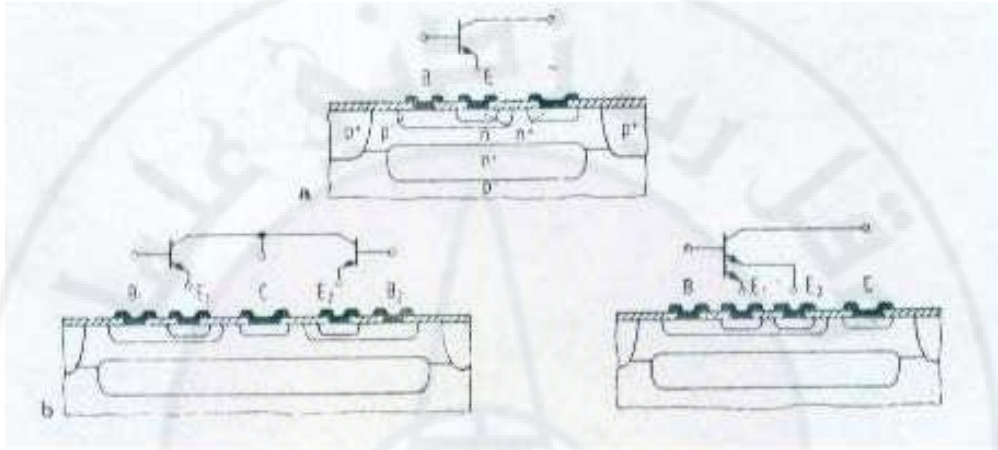
ازدياد عدد الحوامل تسبب زيادة في الكسب بمقدار العامل factor 'M' والذي وجد عملياً أنه من الشكل:

$$M \approx \left(1 - V_{CB} / V_{BD}\right) - n \qquad (7.15)$$

حيث أن الجهد V_{BD} جهد الانهيار breakdown voltage نموذجياً Typically n~4 من أجل n-type silicon و 2 من أجل p-type

ومن القيم التي حصلنا عليها يمكن تحديد كسب التيار بالعلاقة (7.12) الذي ذكرت سابقاً

$$^{\alpha}B=^{\eta}E.^{\beta}.^{\gamma}C^{-M}$$



الشكل (26-7) تركيبات مختلفة للترانزيستور التكاملي

A ترانزيستور وحيد ،b ترانزستورين مع مجمع مشترك لكليهما ، c ترانزيستور وحيد المجمع والقاعدة متعدد البواعث

2.4.7. مقاومة نمو المجمع

Collector access resistance

الوصلات الكهربائية للترانزستورات المتكاملة تصنع من الوجه العلوي لشريحة السيلكون والتي تقود إلى مقاومة نمو محدودة بين الأطراف والمناطق الفعالة التي تتصل معها.

عملياً مقاومة النمو للمجمع R_{cc} يجب أن تكون صغيرة إذا كان المجمع لا يخضع لشروط تيار مجمع عال.

باستخدام الأبعاد والمقاومات المبينة في الشكل (20−7) كمثال بسيط فإنه من الواضح أنه إذا أهملت الطبقة n^+ buried layer ذات الناقلة العالية لحظياً فإن مقاومة النمو تساوي تقريباً،

طول فعال وسطي

$$R_{cc} \approx \frac{\rho I}{A} = \frac{0.005\left(50\times10^{-6}\right)}{(25-2)10^{-6}\quad .40\times10^{-6}} \approx 270\Omega$$

W عرض ، سماكة

إن هذه المقاومة يمكن تخفيضها بواسطة الطبقة n^+ buried layer المبينة في الشكل (7.20) مثل هذه الطبقة لها مقاومة صفيحة حوالي $\rho_s = 1\Omega/square$ والتي تكون على التفرع لممر المقاومة العالية مع تماس المجمع وهكذا يتم تخفيض مقاومة النمو الفعالة إلى القيمة:

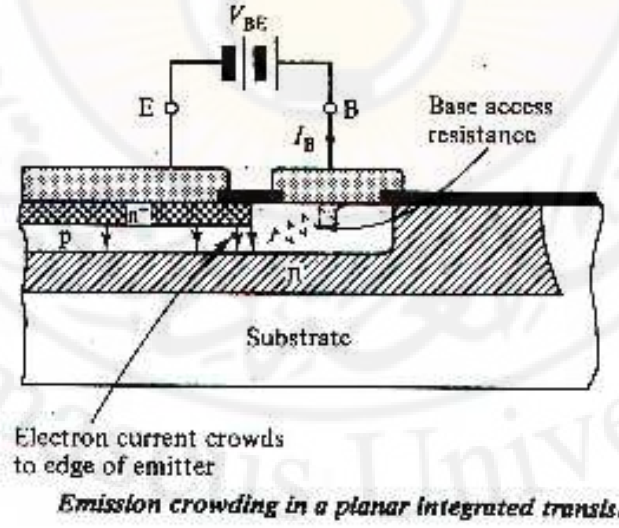
$$R_{cc} \approx \frac{\rho_S 1}{w} = \frac{10 \times 50}{40} \approx 12\Omega$$

مقاومة الوصول تم تخفيضها بواسطة انتشار الطبقة buried layer diffusion ذات الناقلية العالية بنسبة كبيرة بالمقارنة مع القيمة السابقة ويمكن الاستمرار بتخفيض هذه المقاومة بواسطة إدخال جدار المجمع collector wall حيث يمتد تماس انتشار المجمع collector contact diffusion n^+ ليقترن بالطبقة ذات الناقلية العالية وتعتبر هذه التقنية عملية مفيدة من أجل الترانزستورات ذات التيارات العالية.

3.4.7. مقاومة القاعدة والإصدار التراكمي

Base resistance and emission crowding

إن هذا الأثر الموضح في الشكل (7.27) يحدث بسبب أبعاد تشكل الترانزيستور والمقاومة المحدودة لمنطقة القاعدة ويظهر غالباً من أجل تيارات التشغيل العالية.



Emission crowding in a planar integrated transistor.

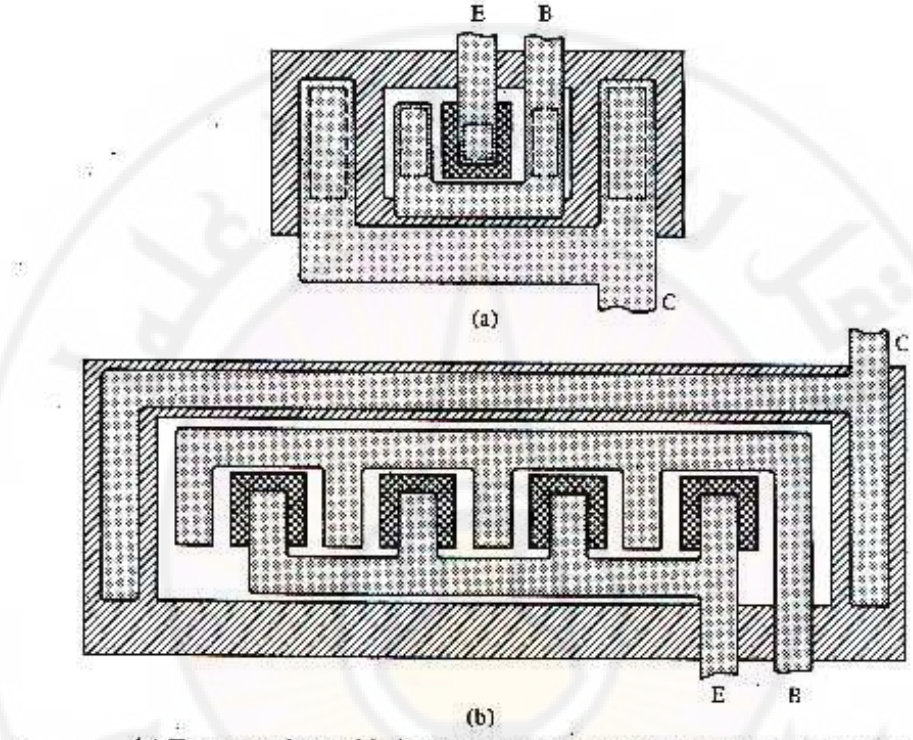
الشكل (27-7)

الجهد $^{i}b^{r}$ يمثل الجهد المترسب بين طرف القاعدة B base terminal وأي نقطة على وصلة الباعث . القاعدة . ويكون أعظمياً في النقاط الأكثر بعد عن B.
تيار القاعدة يعتمد بشكل أساسي على جهد الانحياز الأمامي الفعال في أي نقطة عملية particular point, V_{EBeff} والذي يعتمد على الهبوط على مقاومة الوصول للقاعدة dependent on the base access resistive drop.
أو:

$$^{i}b \approx I_o \exp\left(^{ev}EBeff\,/\,KT\right) \qquad (7.16)$$

من الواضح أن المناطق الأكثر قرباً من القاعدة تكون ذات مقاومة وصول أقل، ومن أجل قيمة highest V_{EBeff} العليا يؤدي إلى تمرير معظم التيار، والوصلات البعيدة عن النقطة B يمر فيها التيار بصعوبة إن تأثيرات التوزيع غير المنتظم لتيارات الباعث في حالة التيارات المعتدلة يمكن أن تهمل ولكن تحت شروط التيار العالي فإن تركيز التيار على السطح الخارجي للباعث الذي يطلق عليه اسم التيار التراكمي current crowding يمكن أن يسبب تلفاً وتخريباً للطبقات البلورية.
وبالتالي فإنه من أجل الترانزستورات ذات التيارات العالية فإن السطح الخارجي للباعث وكذلك القاعدة يجعل طويلاً قدر الإمكان بدون أن يسبب ذلك في إدخال مقاومة إضافية الشكل (7.20) يبين ترانزيستور تيار منخفض من أجل إشارة صغيرة ذا كسب عال في مجال الترددات العالية واقتصادياً في المساحة وقابليته للضجيج منخفضة إذا حول التصميم بحيث يحتوي على نقطتي تماس للقاعدة والمجمع كما هو مبين في الشكل (a.7.28) فإن التيار يجري في اتجاهين من الباعث وبالتالي

فإن هذا يسبب إنقاص مقاومة الوصول R_{cc} وتتضاعف فعالية الباعث مما يزيد من إمكانية الترانزيستور في نقل التيار.

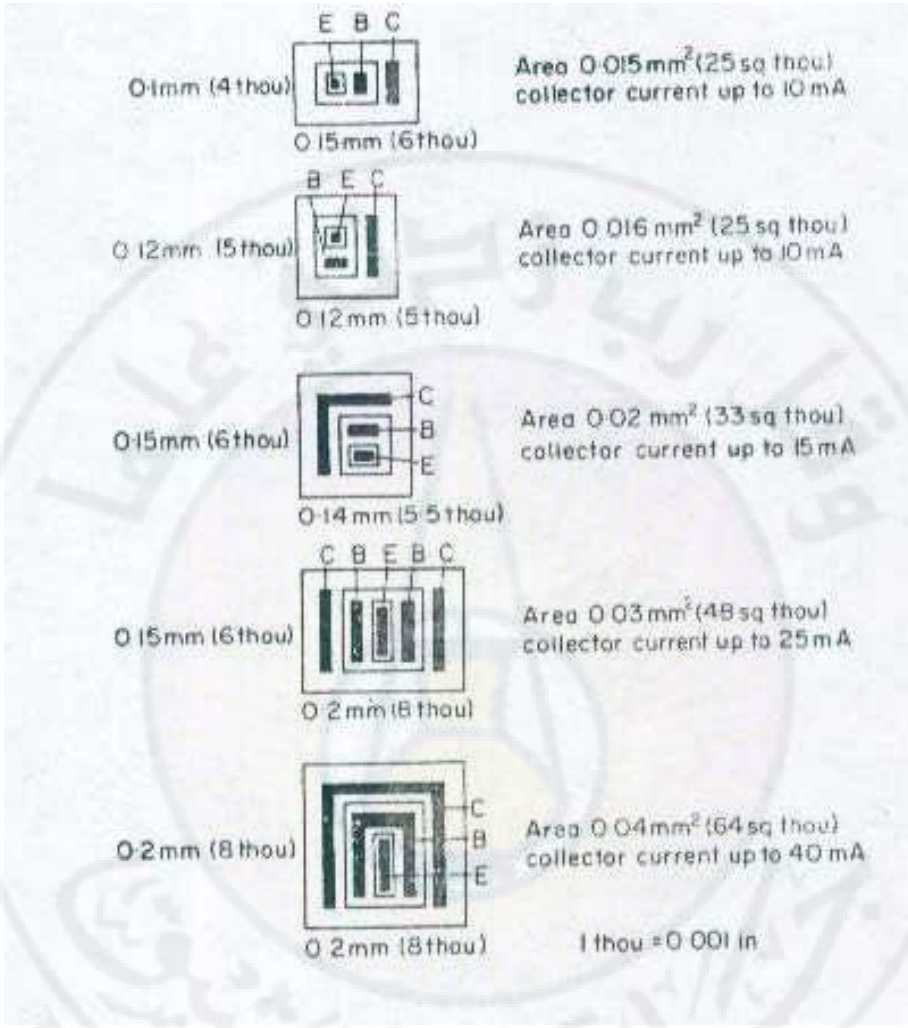


(a) Planar transistor with double base and collector contacts, (b), interdigital planar transistor.

الشكل (28–7)

الترانزستورات ذات التيارات العالية تكون ذات تركيب مضاعف كما هو مبين في الشكل (28–7–b) وذلك حتى تعطي الباعث السطح الضروري الكبير لذلك.

والشكل (29–7) يعطي بعض الأمثلة لأبعاد السطح للترانزيستور التكاملي من أجل تيارات مختلفة.


E B C
0·1mm (4 thou)
0·15mm (6 thou)
Area 0·015 mm² (25 sq thou)
collector current up to 10 mA
B E C
0·12mm (5 thou)
0·12mm (5 thou)
Area 0·016 mm² (25 sq thou)
collector current up to 10 mA
C
B
E
0·15mm (6 thou)
0·14 mm (5·5 thou)
Area 0·02 mm² (33 sq thou)
collector current up to 15 mA
C B E B C
0·15mm (6 thou)
0·2mm (8 thou)
Area 0·03 mm² (48 sq thou)
collector current up to 25 mA
C
B
E
0·2mm (8 thou)
0·2mm (8 thou)
Area 0·04 mm² (64 sq thou)
collector current up to 40 mA
1 thou = 0·001 in

الشكل (7–29)

7-4-4- عمل الترانزستورات ذات التردد العالي:

High-frequency performance of transistor

إن حوامل الشحنة تحتاج لوقت محدد لاجتياز منطقة قاعدة الترانزيستور في تحديد التصرف عند الترددات العالية. وعند تردد عمل يقارب القيمة τ_B^{-1} فإن الترانزيستور يصبح عديم التأثير. إن زمن العبور transit-time for electrons للإلكترونيات لتجتاز منطقة القاعدة بطول L_B في ترانزيستور n-p-n يمكن أن تحسب كما يلي:

إذا كانت x مسافة من الباعث في القاعدة distance from the emitter –base و v(x) السرعة و n(x) كثافة الإلكترونات فإن زمن العبور في هذه الحالة يعطى بالعلاقة:transit-time then given by

$$\tau_B \equiv \int_0^1 \frac{dx}{v_x}$$

إذا فرضنا من أجل التسهيل إن نقل الإلكترون عبر القاعدة يحدث بالانتشار فقط فإن كثافة تيار الإلكترون J_e يساوي:

$$J_e = ev(x)n(x) = eD_e \frac{dn}{dx}$$

حيث أن D_e ثابت الانتشار للإلكترونيات الأقلية.

الحل التقريبي يمكن الحصول عليه بفرض خطية الانتشار للإلكترونيات عبر القاعدة فيكون assuming a linear gradient of electrons across the base

$$J_e = ev(x)n_0(1-\frac{x}{1_B}) = eD_e(-\frac{n_0}{1_B})$$

$$V(X) = \frac{D_e}{1_B - x} \qquad (7-19)$$

بتبديل هذه المعادلة بالمعادلة(17-6) وحل التكامل نجد:

$$^{\tau}B \cong \frac{^{1}B^{2}}{2D_e} \qquad (7-20)$$

من الواضح أن ^{r}B يمكن إنقاصها والعمل عند الترددات العالية يمكن تحسينه وذلك بتحديد الطول الفعال للقاعدة $base,1_B$ بحيث يكون رقيقاً قدر الإمكان.

مناقشة مماثلة يمكن أن تجري بالنسبة لزمن عبور الثقوب في ترانزيستور p-n-p transistor حيث تحتوي المعادلات في هذه الحالة على الثابت D_h وهو ثابت الانتشار للثقوب. ومع أن $D_e \rangle D_h$ فإن ترانزستورات نوع n-p-n transistors يكون لها زمن عبور مماثل مع الترانزستورات نوع p-n-p equivalents المكافئة.

إن زمن العبور يمكننا إنقاصه إذا تم تسريع الإلكترونات عبر القاعدة بواسطة حقل كهربائي بدلاً من التحرك البطيء تحت تأثير الانتشار هذه الخاصية يعمل بموجبها ترانزستورات الجرف drift transistors التي تحتوي على تركيب في حقل الجرف لمنطقة القاعدة built-in drift field المكون من أثر نمو الشوائب في هذه المنطقة.

بالإضافة إلى ذلك يوجد زمن عبور إضافي ^{r}c وهو محدد بحركة الحوامل عبر منطقة المجمع –القاعدة.

من أجل جهد المجمع V_{CB} أكبر من عدة فولتات فإن الإلكترونات تصل في هذه المنطقة إلى سرعة التشبع V_{sat} التي تبلغ حوالي $around 10^5 ms^{-1}$

إذا كانت سماكة المنطقة المجردة أو منطقة النضوب depletion layer thickness التي تعتمد بذاتها على جهد المجمع تساوي d_{CB} فإن:

$$\tau c \cong^{d} CB^{v} s \qquad (7-21)$$

أخيراً فإنه يوجد ثابتان زمنيان إضافيان محددان بسعات الوصلات p-n junctions في الترانزيستور.

أولاً: الثابت الزمني تبعاً لوصلة الباعث– القاعدة ^{r} junction EB is given by , وتعطى بالعلاقة:

$$^{r}EB \cong ^{r}BC_{EB} \qquad (7-22)$$

حيث أن C_{EB} هي سعة الوصلة ذات الانحياز الأمامي و ^{r}B ميل خط المقاومة.

$$^{r}EB \cong A(\frac{KT}{el_e})(\frac{e \in_r \in_o OB}{2V_j})^{1/2} \qquad (7-23)$$

حيث أن N_{OB} تركيز القابلات في القاعدة قرب الباعث

Acceptor concentration in the base near to the emitter

V_j جهد الوصلة الصافي net junction voltage

ويلاحظ أنه لا تقاس ^{r}EB فإن مساحة الوصلة $N_{OB,}A$ يجب أن يحافظ عليه صغيراً جداً قدر الإمكان.

ثانياً، الثابت الزمني الوصلة – القاعدة– المجمع ^{r}BC ويعطى بالعلاقة:

$$^{r}BC \cong R_{CC}C_{CB} \qquad (7-24)$$

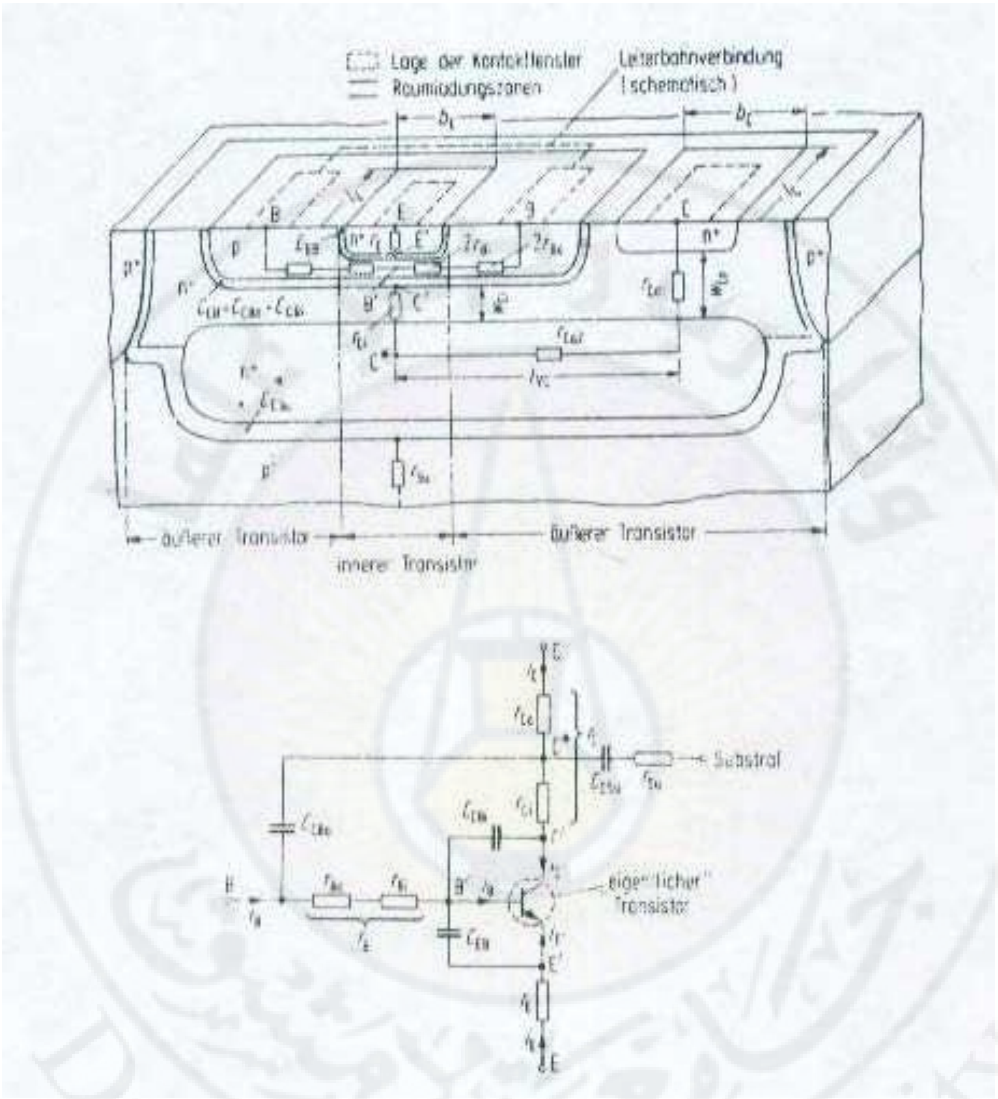
Which can be reduced by decreasing the collector access resistance Rcc,
Or the doping concentration in the collector, or by increasing V_{CB} total delay time ${}^{r}t$.

إن جمع الثوابت الزمنية الأربع تعطي زمن التأخير الكلي.

إن عمل الترانزستورات عند الترددات العالية محدد بالقيمة العملية لـ ${}^{r}t, f_n$

$$f_\alpha \cong ({}^{\tau}t)^{-1} \qquad (7-25)$$

حيث أن f_α تردد قطع ألفا alpha cut –off frequency وهذا يحدد تردد قطع الترانزيستور ويحدد الكسب ,gain ${}^{\alpha}B$ يكسب تردد القطع عند هبوط الكسب بمقدار falls 3 dB below



الشكل (30–7) العناصر الطفيلية في ترانزيستور تكاملي نوع a npn
: مقطع في الترانزيستور b : الدارة الإلكترونية المكافئة.

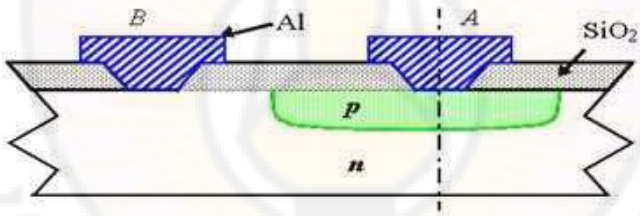
Damascus University

7-5- الثنائيات المتكاملة integrated diodes

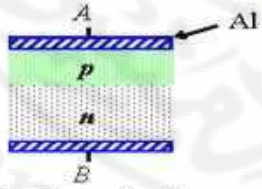
7-5-1- خواص العمل Switching characteristics :

بما أن ثنائيات الدارة المتكاملة تستخدم غالباً دارات مفاتيح فيتم مبدئياً شرح هذا الشكل من العمل وكذلك أشكال القواعد لمقارنة العلاقات المختلفة للثنائيات.

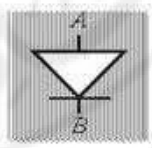
إذا اعتبرنا كمثال الانحياز الأمامي لوصلة الثنائي n-p junction المبينة في الشكل(7-31) إن تركيز الإلكترونات الأقلية في مجال p-region يكون خطياً تقريباً، إذا كانت القاعدة قصيرة بالمقارنة مع طول الانتشار.



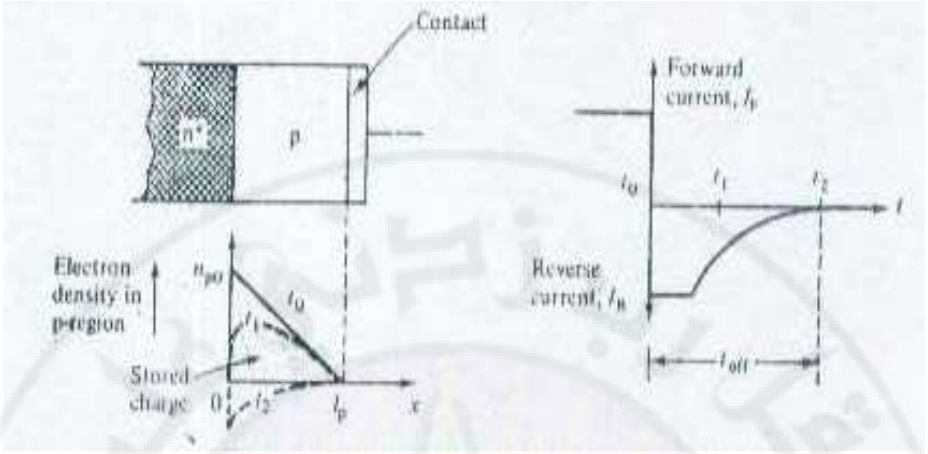
Cross-section of *pn*-junction in an IC process



One-dimensional representation



diode symbol



الشكل(31-7)

إذا عكس الحقن للوصلة فجأة عند الزمن t_o عندئذ نحصل على مخزون للشحنة والتيار العكسي I_R يصل في البداية لنفس سعة التيار الأمامي.

Forward current, IF

مع ذلك فإنه عندما تزال الشحنة الإلكترونية المخزونة إلى المنطقة n^+ فإن الشحنة المتوفرة تهبط بشكل سريع إلى مستوى التوازن ويمر أخيراً تيار مستقر إلى جهد الانحياز العكسي كما هو مبين في الشكل (31-7)

لحساب الزمن المسمى بـ turn-off time off فإننا نحسب أولاً الشحنة الأقلية في الوصلة عند الانحياز الأمامي 1_F فإن سرعة الإلكترونات البعيدة بمقدار distance x عن الوصلة ، v ، تعطى بالمعادلة (19-7) وهكذا فإن كثافة الشحنة عند p(x),x هي:

$$p(x) = n(x)e = \frac{^{I}F}{AV} = \frac{^{I}F}{A}\frac{1_p - x}{D_e} \qquad (7-26)$$

فتكون الشحنة الكلية المخزونة

$$Q = A\int_{O}^{^{1}P} p(x)dx = \frac{I_F 1_p{}^2}{2D_e} \qquad (7-27)$$

عندما يعكس الجهد فإن معدل التيار المار خلال دورة القطع turn-off

:period,1R is given by

$$1_R = {}^{Q}\!\!\diagup_{t}\ off$$

$$t_{off} = \frac{Q}{\bar{I}_R} = \frac{I_F}{\bar{I}_R}\frac{1_p{}^2}{2D_e} \qquad (7-28)$$

وبالتالي يمكن أن تكتب المعادلة اعتماداً على زمن العبور transit. time, ^{r}B

باستخدام المعادلة (7-20) فنحصل على:

$$t_{off} = \frac{I_F}{\bar{I}_R}.t_B \qquad (7-29)$$

وهكذا فإن زمن القطع turn-off time هو تابع للدارة الخارجية لأنه يعتمد على $I_F and \bar{I}_R$ ، ولكن أيضاً يحدد بخواص زمن العبور للثنائي τ_B ، diode والتي يمكن إنقاصها على سبيل المثال بتقصير طول المنطقة p-region .

إن الشحنة المخزونة ومن ثم زمن الفتح switching time يمكن أن ينخفض بشكل كبير جداً بإدخال شوائب الذهب إلى وصلة الثنائي بواسطة الانتشار.

إن الإشابة أو الطلاء بالذهب الذي يسمى أحياناً بـ lifetime killer يسبب سلسلة من التعويضات series of recombination المركزية، حيث تزال الحوامل الأقلية المخزونة بسرعة أعلى وذلك بسبب زيادة معدل سرعة التعويض

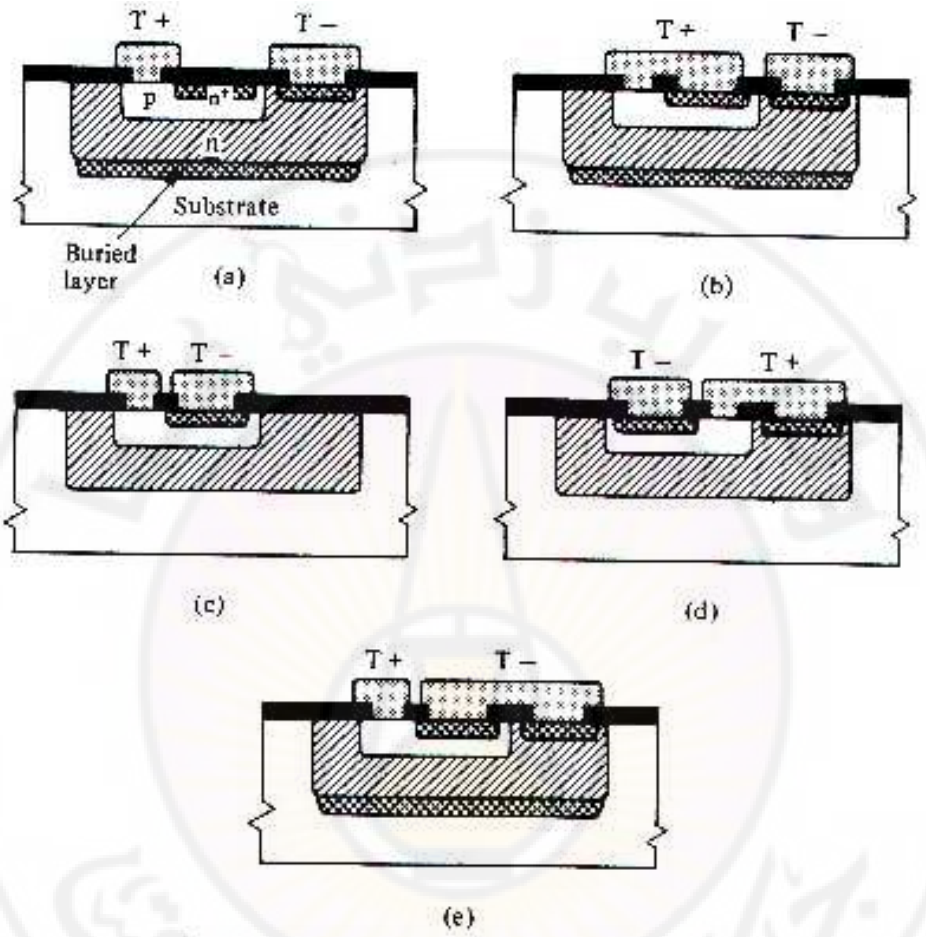
Recombination rate إن هذه التقنية تستخدم للحصول على ثنائيات وعناصر فعالة أخرى من أجل التطبيقات ذات السرعات العالية high-speed applicatio

7-5-2- علاقات الثنائي التكاملي السطحي

Integrated planar diode configurations

من الممكن أن تستخدم أي وصلة من وصلات p-n المختلفة كثنائي حيث تبقى ضمن شكل بلورة الترانزيستور ، وإن الاختبار يتم على الدارة التطبيقية للثنائي وعملياً تدرس سرعة الفتح وجهد الانهيار للثنائي المستخدم وأثر استخدامه.

علاقات الثنائي كما هو مبين في الشكل (7-32)



Possible integrated monolithic diode configurations.

الشكل (32–7)

الثنائي القاعدة– المجمع base-collector diode مبين في الشكل (32–7–a)
إن هذا الثنائي له ميزة جهد الانهيار العالي V_{BD} حوالي around 50V مع ذلك فإن له زمن فتح طويلاً نسبياً t_{off} حوالي 100ns وذلك تبعاً لمقاومة الوصول للمجمع collector access resistance, Rcc زمن الفتح يمكن تحسينه إلى

القيمة 70ns تقريباً بواسطة الباعث والقاعدة لإزالة الشحنة المخزونة في الوصلة مع المحافظة على جهد الانهيار العالي كما هو مبين في الشكل (32-7-b) الشكل (32-7-c) يبين وصلة ثنائي- القاعدة الباعث base –emitter junction diode with collector floating إن زمن الـ turn –off time تبعاً للشحنة المخزونة في وصلة القاعدة المجمع بشكل أساسي يساوي تقريباً 80 ns ولكن جهد انهيار V_{BD} منخفض حوالي 5V.

ومرة أخرى فإن زمن الإغلاق يمكن تخفيضه إلى قيمة تصل إلى 20 ns بواسطة قصر القاعدة والمجمع، لإزالة الشحنة المخزونة في الوصلة كما هو مبين في الشكل(32-7-d) وكذلك فإن قيمة V_{BD} المنخفضة تبقى غير متأثرة.

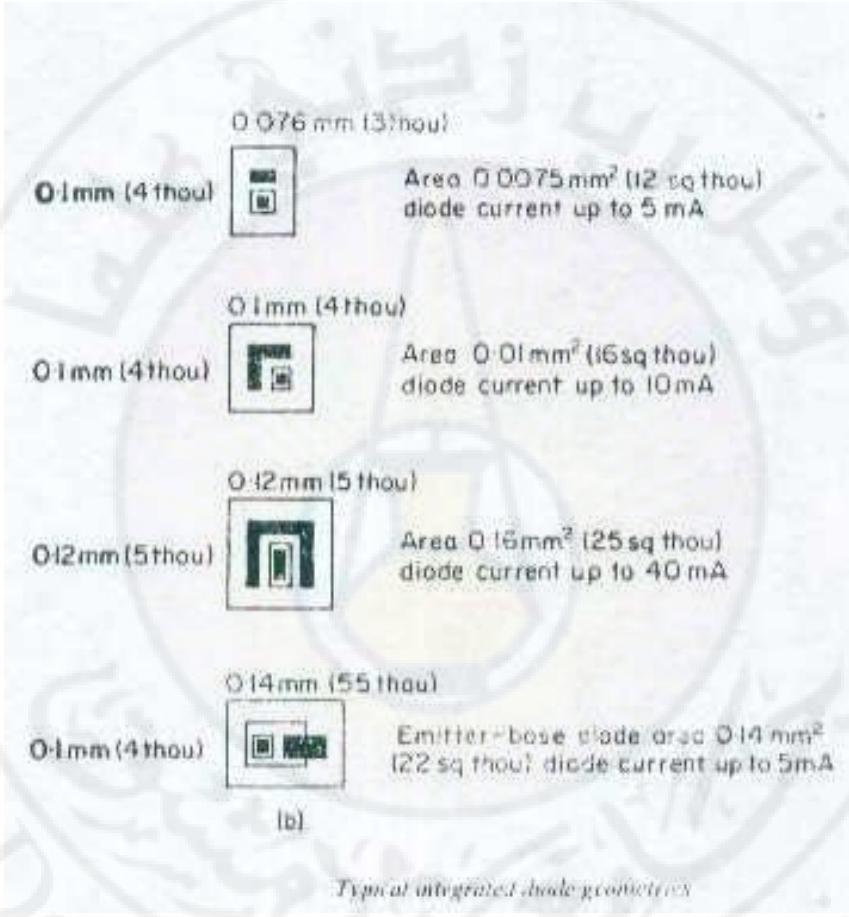
أخيراً فإنه من الممكن تشكيل وصلة ثنائي من اتصال الباعث- القاعدة والقاعدة- المجمع على التوالي بواسطة قصر الباعث والمجمع كما هو مبين في الشكل(32-7-e).

مع ذلك فإن مثل هذا الترتيب قليل الاستعمال بسبب سعة الوصلة المرافقة لهذه الحالات والتي تسبب خفضاً في سرعة الإغلاق إلى حوالي around 150 ns إضافة إلى جهد الانهيار المنخفض 5 v بالمشاركة مع وصلة القاعدة- الباعث.

من الواضح أن أكثر وصلات الثنائيات انتشاراً هي المبينة في الشكلين (32-7-b -d) المشكلين لتطبيقات الجهود العالية والأخيرة حيث سرعة الفتح تكون مهمة بشكل رئيسي.

كل الثنائيات تستخدم أيضاً في دارات قليلة وذلك بسبب قطبيتهما المتعاكسة، وفي بعض الأحيان فإن العلاقات الخاصة قد يتم اختيارها بحيث أن الثنائي يصنع من نفس المنطقة المعزولة كما هو الحال بالنسبة للترانزيستور الذي يشترك معه في

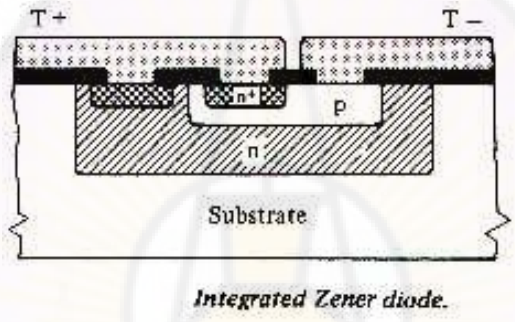
دارة واحدة، والشكل (33–7) يبين عدد من الوصلات وأبعادها النموذجية وفقاً للتيارات المارة فيها.



الشكل (33–7)الأبعاد النموذجية للثنائي التكاملي تبعاً للتيار المار فيه

7-5-3- ثنائي زينير : INTEGRATED Zener diode

لقد لاحظنا في فصل سابق أن وصلة الباعث- القاعدة ذات انهيار عكسي قليل حوالي 5.V أن هذا يمكن الاستفادة منه لإنتاج ثنائي زينير من أجل دارات تنظيم الجهد كما هو مبين في الشكل (34-7).



Integrated Zener diode.

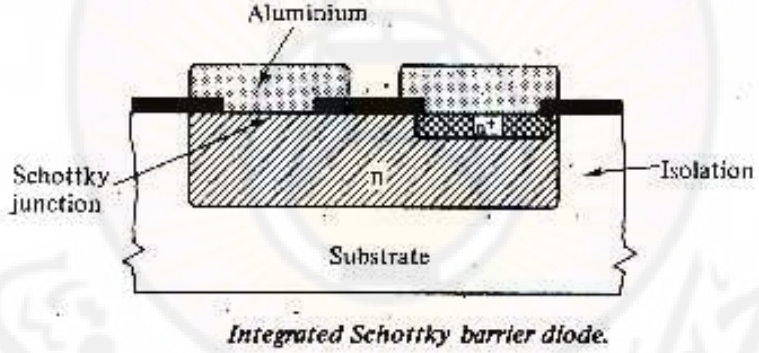
الشكل (34-7) ثنائي زينير تكاملي

مجالات الباعث والمجمع
Emitter and collector regions of an integrated transistor structure في تركيب الترانزيستور التكاملي مقصورة بعضها مع بعض وجهد الانحياز العكسي V_{BD} مع أخذ القطبية بعين الاعتبار مطبق بين وصلة (الباعث+ المجمع) والقاعدة.

الجهد المرجعي لا مثال هذه الثنائيات لا يكون دقيق التحديد والدارات المقترنة معها تصميم بحيث يمكن قيادتها والتحكم بها بصورة منفصلة عن هذا الجهد قدر الإمكان.

7-6-4- ثنائيات شوتكي Schottky barrier diodes

إن آثار تخزين الحوامل يعتبر نسبياً صغيراً جداً ويمكن إهمالها عادة في ثنائيات شوتكي التي تتشكل من الوصلة بين المعادن المتواجدة وأنصاف النواقل.
أمثال هذه الثنائيات تعتبر من العناصر ذات الأهمية الكبيرة في الدارات عالية السرعة.



Integrated Schottky barrier diode.

الشكل (35-7) ثنائي شوتكي

في عناصر السيلكون وحيدة البلورة يمكن لطبقات شوتكي Schottky barrier أن تتشكل بين الطبقة البلورية والألمنيوم المترسب للوصلات الداخلية.
الترتيبات النموذجية تتكون عادة كما هو مبين في الشكل (35-7) وصل المهبط cathode connection إلى الطبقة البلورية يتم عن طريق وصلة انتشار مجمع n+ collector اعتيادية وذلك حتى نضمن وصلة ذات مقاومة منخفضة ولكن في

وصلة المصعد anode connection فإن الطبقة +n تحذف ووصلة شوتكي تتشكل بين الألمنيوم وطبقة السيلكون البلورية نوع n-type epitaxial silicon

يوجد ميزتان أساسيتان في ثنائيات شوتكي بالمقارنة مع الثنائيات العادية:

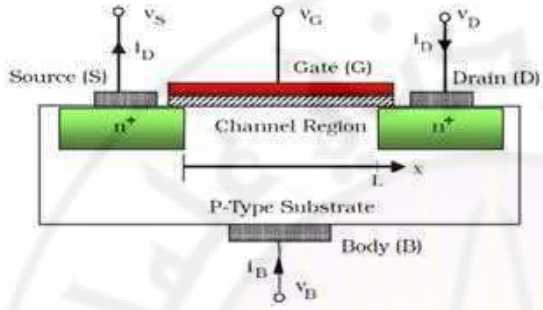
زمن الفتح القصير (أصغر من 0.1 ns).

جهد التحرير الصغير نسبياً 0.4V .

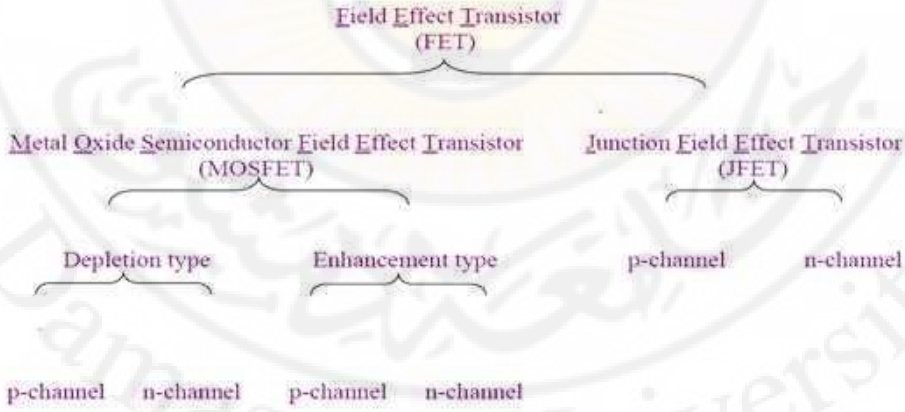
وبالتالي يمكن استخدامه لمنع الترانزيستور من الوصول إلى التشبع.

7-7- العناصر المتكاملة ذات الأثر الحقلي

integrated field- effect -devices



تقسم العناصر الالكترونية ذات الأثر الحقلي بشكل أساسي إلى ترانزستورين نوع JFET & MOSFET ويتفرع منهما أنواع متعددة وفقا للشكل .



التقسيم النوعي للترانزستورات ذات الأثر الحقلي

6-7-1- ترانزيستور الوصلة ذو الأثر الحقلي المتكامل

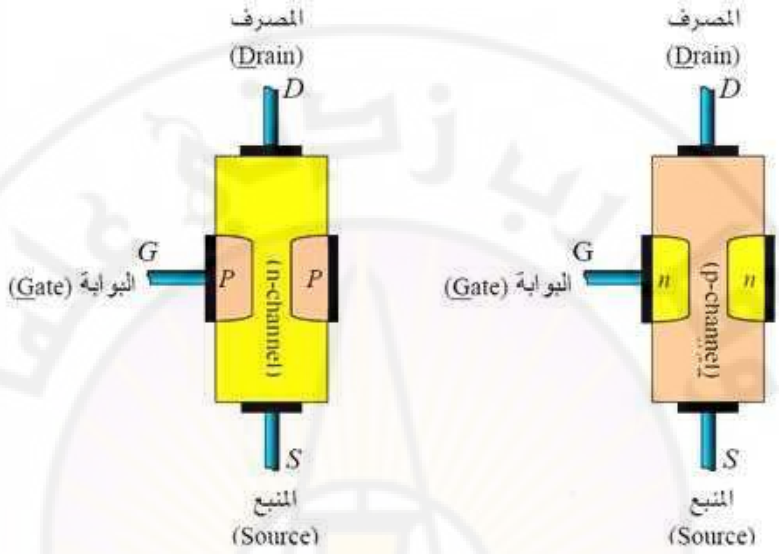
Integrated junction field –effect transistors(J FETs)

الشكل (7-36) يبين الرمز التجاري لترانزستورات JFET نوع N Channel & P Channel وكذلك يبين الشكل (7-37) مقطع عرضي تكنولوجي توضيحي لترانزستورات الـ JFET بنوعية N-channel & P-channel .

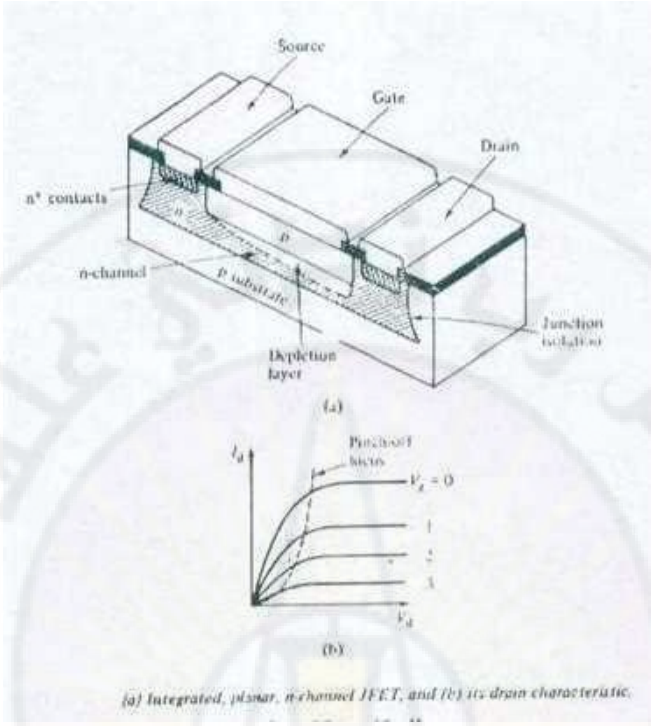
اما الشكل (7-38) فيبين مقطع عرضي تكنولوجي لترانزيستور تكاملي Planar JFET ذو قنال n-channel .



الشكل (7-36)الرمز التجاري لترانزستورات JFET نوع N Channel & P Channel



الشكل (37–7) مقطع عرضي تكنولوجي توضيحي لترانزستورات الـ JFET بنوعية :
N-channel & P-channel

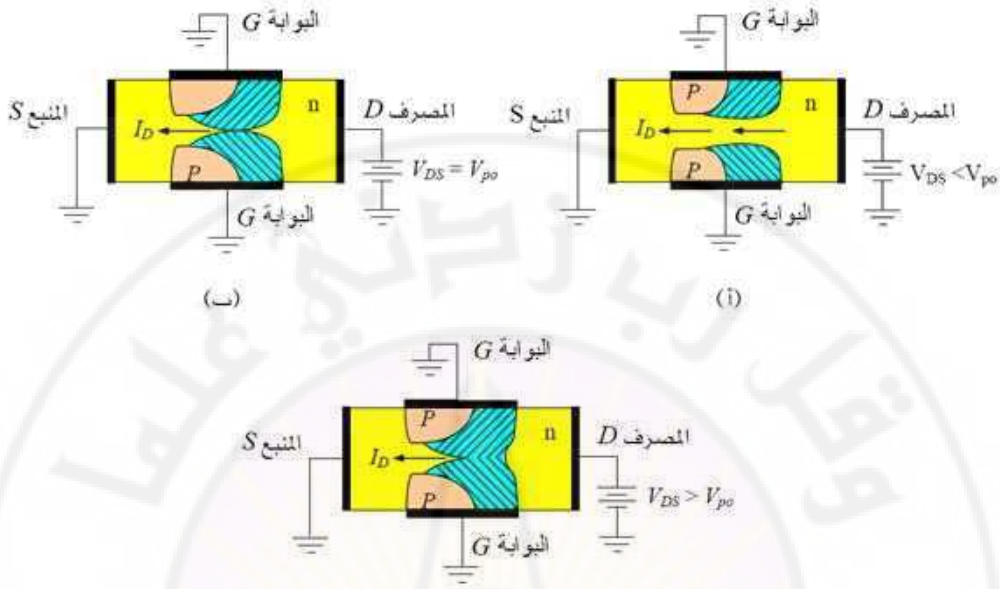


(a) Integrated, planar, n-channel JFET, and (b) its drain characteristic.

الشكل (38–6) مقطع عرضي تكنولوجي لترانزيستور تكاملي Planar JFET ذو قنال n-channel والوصلة المعزولة .

آلية العمل لترانزيستور الـ JFET :

النظرية العامة لعمل ترانزيستورات الـ (FET) يمكن التحقق منها اعتمادا على الشكل (39–7) .



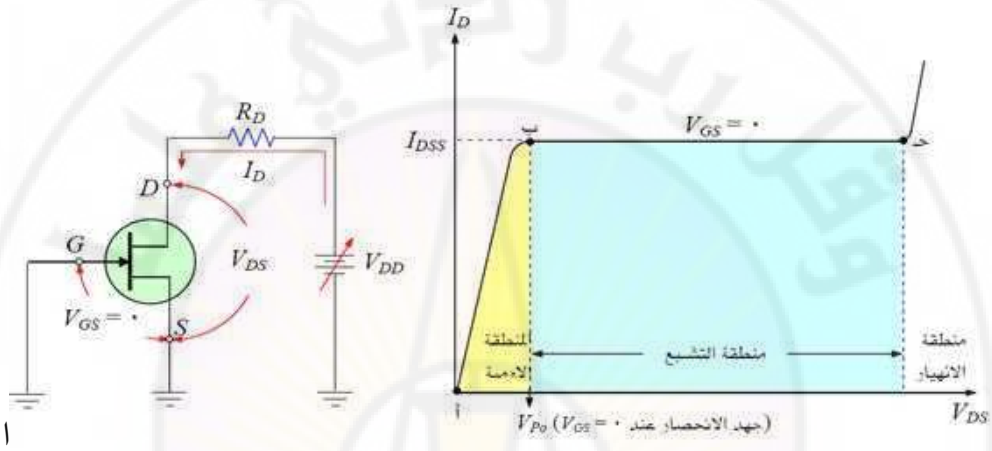
الشكل (39–7) تطور مراحل العمل لترانزيستور JFET

الترانزيستور JFET يعمل في منطقة العزل أو النضوب depletion mode حيث أن البوابة نوع p-type gate ذات شوائب أثقل مما في القنال نوع n-type channel وطبقة النضوب depletion layer التي تتواجد عندما يتم الحقن العكسي للوصلة تحدث بشكل أساسي في مادة القنال.

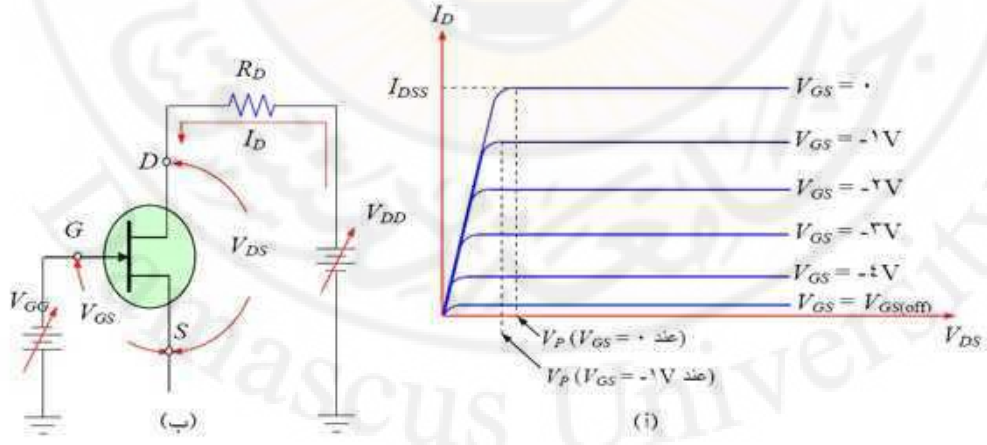
جهد الانحياز العكسي الفعال الكلي في الوصلة هو مجموع المركبتين وجهد البوابة المنبع V_{gs} والجهد المتواجد في قنال التوصيل تبعاً لهبوط الجهد IR فيها الذي يعتمد على جهد البالوعة V_d وعلى المكان المأخوذ عنده في الحالة العملية لجهد البوابة، عندما جهد البالوعة فإن الانحياز العكسي الفعال الكلي يزداد وبالتالي عرض طبقة النضوب سوف يزداد،هذا يؤدي إلى نقص في مساحة المقطع العرضي للقنال وبالتالي زيادة مقاومته ويكون معدل ازدياد تيار البالوعة متناقصاً.

عند بعض القيم الحدية لـ V_d تخترق طبقة النضوب القنال بشكل كامل، وتيار البالوعة يكون مشبعاً " تيار اشباع" drain current saturates.

ويبين الشكل (40–7) يبين الخواص I_d, V_d العامة المتوافقة مع الشكل السابق



لشكل (40–7) الخواص I_d, V_d لترانزيستور JFET- N-Channel حيث Vgs=0



الشكل (7-41) منحنيات الخواص للترانزيستور JFET n-channel مع تغير الجهد Vgs وكذلك Vds .

ويلاحظ أن القنال نوع n-type channel المشكلة في الطبقة البلورية بين المنبع يساراً source والبالوعة drain قابلة لاستبدال إحداهما بالأخرى.

إن ترانزستورات JFET الوحيدة البلورة المتكاملة تصنع بالطريقة التقليدية باستخدام التقنية العادية المشروحة سابقاً ويمكن الدخول في تفاصيل هذا التصنيع وبيان الفروقات مع الطريقة التكنولوجية السابقة الذكر للترانزيسورات والعناصر التكاملية التي وردت مع الملاحظة أن الترانزيستور JFET يتطلب مراحل عمل أقل بالمقارنة مع مكافئه من الترانزيستور العادية المكافئة bipolar equivalent إلا أن التأخير الزمني اكبر وذلك بسبب زمن العبور الطويل long transit time للإلكترونيات التي تعبر القنال.

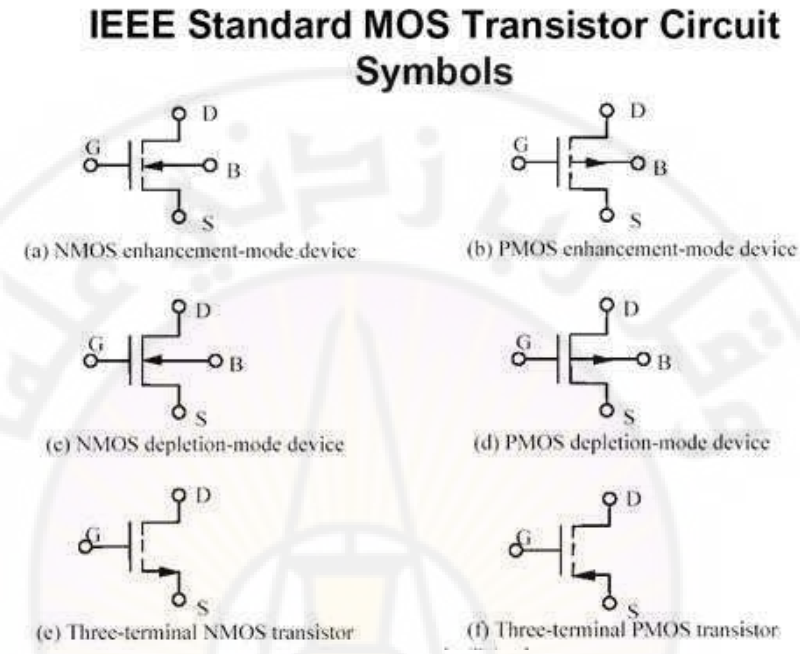
7-7-2- الترانزيستور التكاملي ذو الأثر الحقلي والبوابة المعزولة

integrated insulated –gate field-effect transistors (IGFETs):

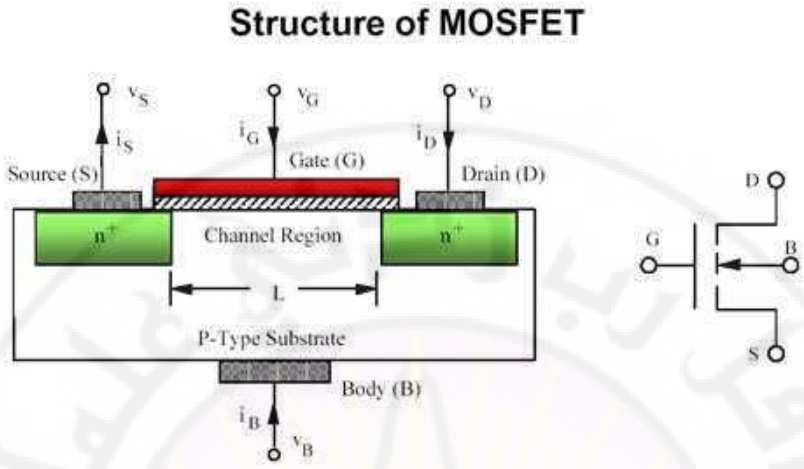
إن الترانزيستور التكاملي ذا الأثر الحقلي والبوابة المعزولة المكون من المعدن – أوكسيد- سيلكون IGFET, or Most يعتبر من العناصر الفعالة السهلة الصنع وذلك يعود بشكل أساسي إلى مراحل التصنيع الفعلية التي يتطلبها إنتاج هذه العناصر .

يبين الشكل (7-39) الرموز النظامية لترانزستورات الـ MOS وكذلك يبين الشكل (7-40)

مقطع عرضي توضيحي لتركيب الترانزيستور الـ MOS FET نوع N- Channel



الشكل (39-7) الرموز النظامية لترانزستورات الـ MOS



الشكل (40 –7) التيار عبر مجال القنال يتم التحكم به عن طريق جهد البوابة

من المزايا الأساسية لهذا الترانزيستور أنه يشغل مساحة سطح أصغر بالمقارنة مع ترانزيستور مكافئ عادي ثنائي الأقطاب Bipolar وقد تصل مساحة السطح المكافئة لترانزيستور MOS أحياناً على about 10 per cent من مساحة سطح ترانزيستور مكافئ عادي، ويعتبر هذا مهماً جداً من الناحية الاقتصادية ولكن المحددات لاستخدام ترانزيستور MOS هي بشكل أساسي سرعة الفتح حيث أن دارات الترانزستورات العادية ذات مستوى تشغيل سريع جداً.

إذا اعتبرنا أولاً ترانزيستور n-channel MOST المبين في الشكل(40–7) ويلاحظ انه يحتوي على قاعدة أساسية من السيلكون نوع p-type silicon ذات إشابة قليلة وشريحتين ذات تركيز شوائب عال +n بعمق بضع ميكرومترات لتشكلان المنبع source والبالوعة drain البوابة من الألمنيوم تكون بسماكة 1–2 ميكرومتر(1–2 μmthick) تنفصل عن منطقة القاعدة بطبقة عازلة من ثاني

أوكسيد السيلكون silicon dioxide insulated layer ذات سماكة نموذجية بحدود 100nm الطبقة العازلة تتكون في قاعدة السيلكون silicon substrate بواسطة الأكسدة عند درجة حرارة 1200 درجة مئوية .

يعمل العنصر n-channel MOST بالقنال التأثيرية induced channel وفق مبدأ الازدياد enhancement mode فمن أجل جهد قليل موجب للبوابة Vg لا تتشكل قنال بين المنبع source والبالوعة drain وبالتالي لا يكون هناك أي اتصال بينهما.

عندما يزداد الجهد Vg فإن جهد التحويل turn-on voltage, Vt الذي يساوي نموذجياً بضعة فولتات يسبب تحرك الإلكترونات الأقلية إلى أمام سطح السيلكون لتوازن الشحنة على البوابة وتشكل طبقة التحويل inversion layer وتتكون قنال من نوع n type channel وبالتأثير ، وعندئذ فإن الاتصال بين المنبع والبالوعة يمكن أن يحدث عند تطبيق الجهد الملائم Vd ويسبب تمرير التيار ID الشكل (7–41)

عندما نستمر بزيادة الجهد Vg فإن مقاومة القنال التأثيرية تسبب زيادة في ترسب الإلكترونات المتولدة عليها ويزداد التيار المار Id تيار البالوعة وذلك ضمن مجال أطلق علية اسم المجال الأومي Ohmic region الشكل (7–42) .

بعد ذلك ومع ازدياد Vds تزداد المنطقة ذات الانحياز العكسي وتأثيرها على القنال إلى أن نصل إلى نقطة الاختناق Pinch off الشكل (7–43) ومن ثم يبقى التيار ثابت مع زيادة الجهد Vds وهذا ضمن مرحلة التشبع .الشكل (7–44) ويبين الشكل (7–45) الخواص للترانزيستور المدروس.

ان هذا الصنف من الترانزيستورات يسمى بـ normally off حيث أنه من أجل Vg=0 لا تتواجد قنال و no channel exists and Id=0 خلال التشغيل لهذا

العنصر فإن كافة الوصلات تكون ذات انحياز عكسي والقاعدة الأساسية نوع p-type تكون متصلة إلى النقطة الأكثر سلبية في الدارة، إن العنصر التكاملي MOST يمتلك أهم الخواص التي تكون العزل الذاتي self-isolating وهذا يلغي الانتشار الخاص بالعزل كما هو الحال بالنسبة للترانزيستور العادي مما يعطي بالتالي مساحة صغيرة للعنصر، وبالتالي إمكانية احتواء عناصر كثيرة في الكبسولة التكاملية الواحدة.

إن الصعوبة الوحيدة التي يجب تجنبها في هذا العنصر أنه من الممكن لإحدى الوصلات الداخلية interconnections عند الجهود الموجبة العالية أن تعمل كبوابة لترانزيستور طفيلي parasitic MOST وتسبب اتصال بين الطبقة n+ والطبقة التي تعلوها.

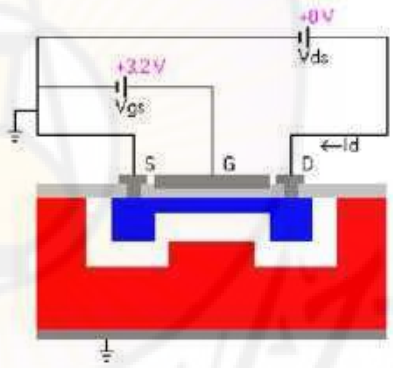
إن هذا يمكن تجنبه بواسطة الزيادة الفعالة لجهد الفتح turn –on voltage خارج مجال القنال وذلك بزيادة سماكة الأوكسيد كما هو مبين في الشكل(37–6) هذه السماكة لحقل الأوكسيد field oxide الذي يكون عادة بسماكة $1\mu m$ أو أكثر يحقق غالباً بواسطة الأكسدة الحرارية بالـ(silane(SH4 عند درجة حرارة حوالي 400 مئوية.

أحياناً يكون من الضروري أن تنقص جهد الفتح turn- on voltage للترانزيستور التكاملي MOST. وهذا يمكن تحقيقه بواسطة إنقاص سماكة الأوكسيد، تحت البوابة على أقل من less than 100 nm وهكذا بالتناوب فإن Vt يمكن إنقاصها بزيادة ثابت العازلية النسبية لعزل البوابة مع المحافظة على سماكتها ثابتة.

إن رباعي نتريد السيلكون (Si_3N_4) Silicon nitride الذي له ثابت عازلية ضعف الأوكسيد يعتبر أكثر فعالية لعزل البوابة، وبالتالي يمكن إنقاص جهد الفتح half the turn –on voltage to 1-3v

بما أن نتريد السيلكون يصعب التحكم بتداخله فإن طبقة رقيقة بسماكة حوالي 30nm تنتشر أولاً لتفصل بشكل فعال النتريد عن السيلكون في ترانزيستور المعدن– النتريد الأوكسيد– السيلكون metal –nitride-oxide-silicon or MNOS transistor .

وتخفيض جهود الفتح reduced turn-on voltages في أمثال هذه العناصر MNOS يعطي نتائجه بالتقليل من جهد التغذية المطلوب.

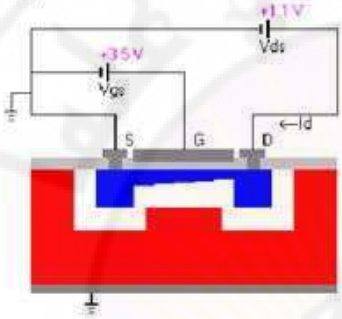


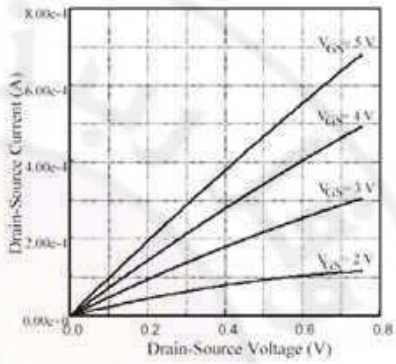
- $V_{GS} > V_T \rightarrow$ n-channel is induced (blue area between drain and source).
- White area → depletion region
- A current can flow between drain and source, if $V_{DS} > 0$

- Because the MOSFET is a symmetrical device, source and drain have to be defined: source has **always** a lower potential than the drain for an **n-channel FET**!

الشكل (41-7) مرحلة تشكل القنال تحت تأثير جهد البوابة

- Increasing V_{DS} to a value $V_{DS} > 0$ leads to a current I_D.
- Near the drain the voltage responsible for the inversion is $(V_{GS} - V_T) - V_{DS}$ and thus smaller than near the source.
- The channel acts like a linear resistor - that's why this region of operation is called ohmic.

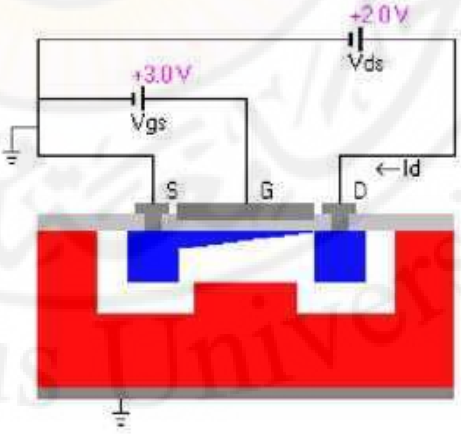




In this region: $i_{DS} \sim v_{DS} \Rightarrow R_{on}$
$0.5k\Omega < R_{on} < 10k\Omega$

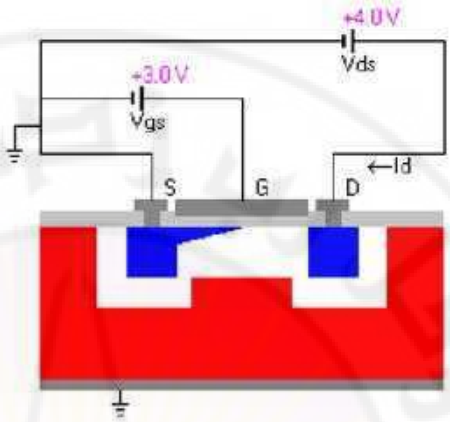
الشكل (7-42)المرحلة الاومية زيادة الجهد يزداد التيار Id وتزداد المقاومة Rds بشكل خطي مع زيادة الجهد

- If V_{DS} rises to the point where it is $V_{GS} - V_T$, there is no voltage near the drain to induce an inversion layer - the channel is pinched off at the drain.

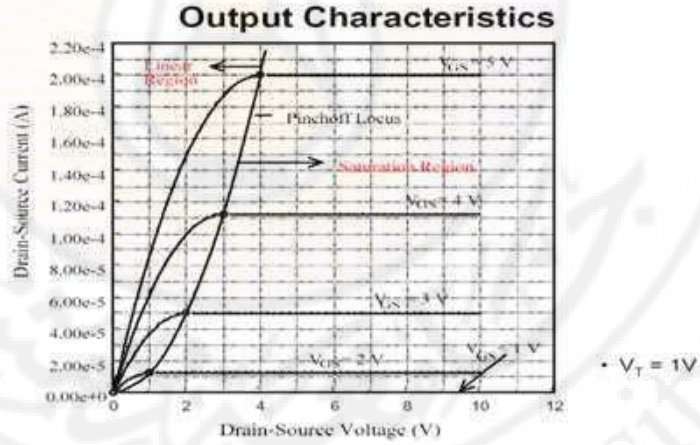


الشكل (7-43) الترانزيستور عند الاختناق

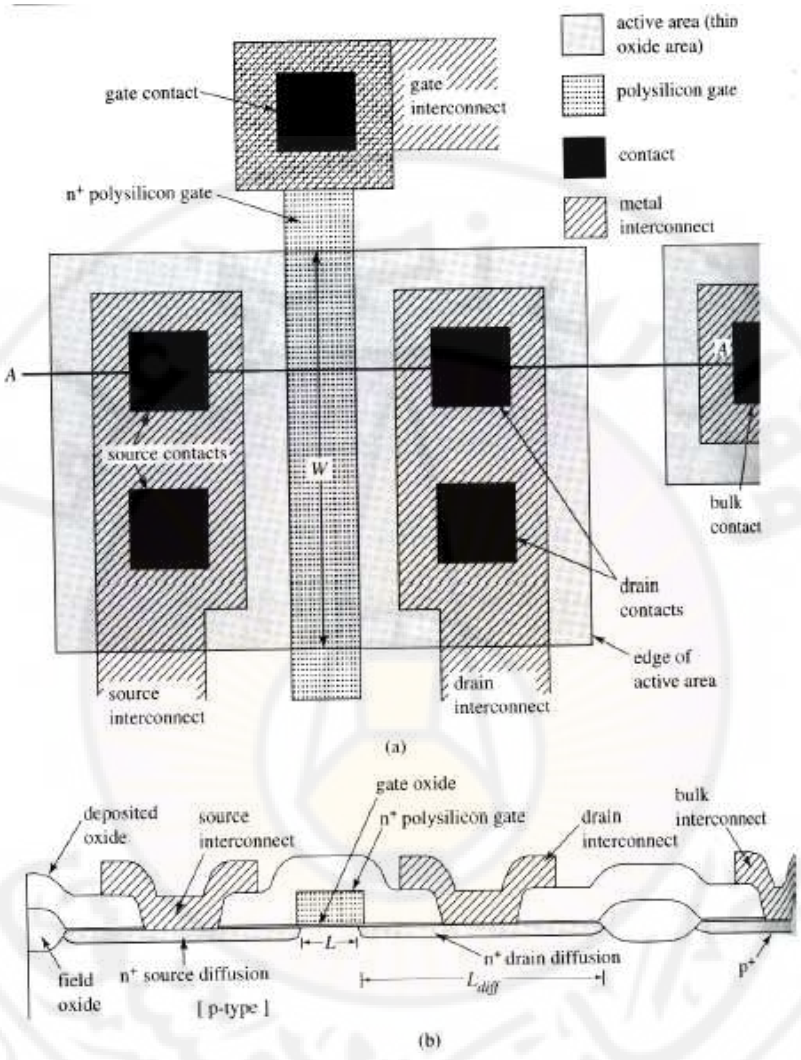
- Further increasing V_{DS} causes the pinch-off point to move in the direction of the source.
- The voltage at the pinch off point is always $V_{GS} - V_T$.
- When the electrons coming from the source reach the pinch off point, they are injected into the depleted region and the electric field in this region sweeps the electrons form the pinch off point to the drain.



الشكل (44-7)الترانزيستور في مرحلة التشبع



الشكل (45-7) خواص الخرج للترانزيستور MOSFET

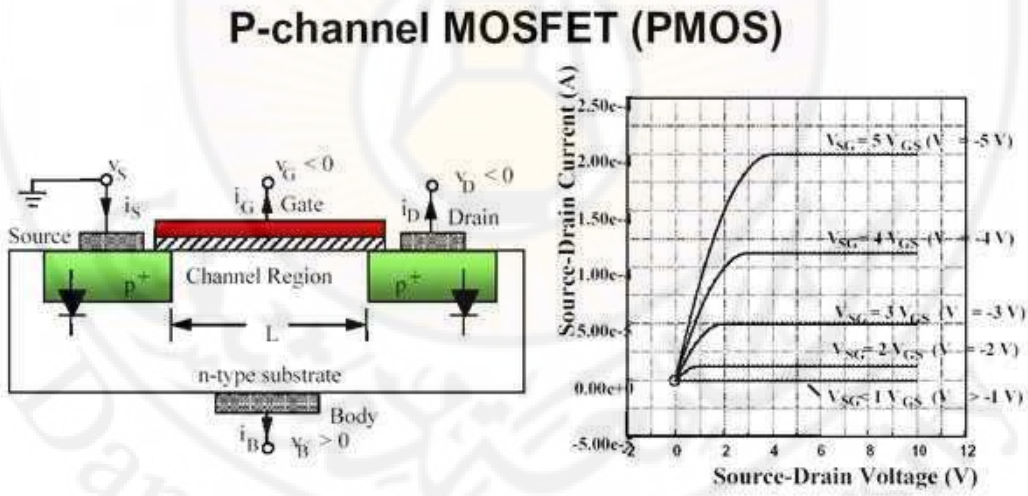


Four mask layout and cross section of a N channel MOS Transistor.

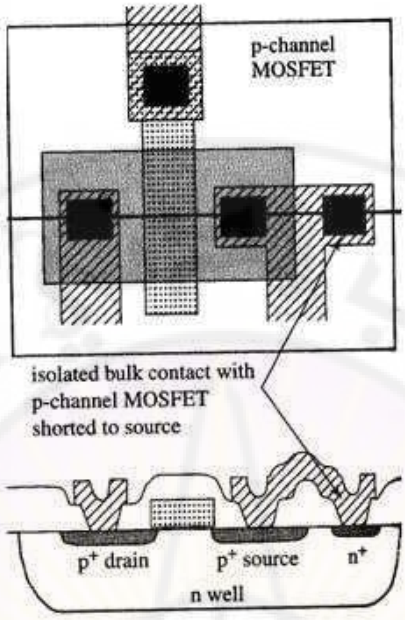
الشكل (46–7) مقطع عرضي مع مسقط أفقي لترانزيستور N-Channel MOS FET

العناصر ذات القنال التأثيري ة نوع P-channel مبينة في الشكلين (47–7) و (48–7) وتصنع بصورة مشابهة للتركيب التصنيعي لترانزيستور MOS FET N-Channel المبينة في الأشكال (50–7) حيث يمكن متابعة المراحل بشكل أكثر تفصيلاً في دراسة التقنية الخاصة لترانزيستور MOS و N-channel .

ففي هذه الحالة تتبادل المناطق n و p وجهد البوابة السالب يطبق لحدوث القنال بالتأثير وتسبب بالتالي مرور تيار البالوعة والشكل (40–6) يبين العلاقة بين تيار البالوعة وجهد البالوعة وكذلك مع جهد بوابة الترانزيستور p-channel يعمل وفق مبدأ الازدياد p-channel enhancement MOS transistor .



الشكل (47–7) الترانزيستور MOSFET نوع P- Channel ويلاحظ تغيرات جهد الانحياز وتماثل الخواص مع الترانزيستور N-Channel



الشكل (48–7) مقطع تكنولوجي لترانزيستور P-Channel MOS مع المسقط الأفقي التوضيحي .

في الحقيقة وحتى وقت قريب كان الترانزيستور MOSTs نوعاً p-channel أكثر شيوعاً وذلك بسبب الصعوبة في تصنيع عنصر نوع n-channel بسبب تلاصق طبقة عكسية نوع n-type التي تميل إلى التواجد على سطح طبقة السيلكون الأساسية نوع p-type silicon substrat حتى عندما يكون Vg=o .

إن هذه الصعوبة يمكننا الآن تجنبها باستخدام مرحلة سطح غير فعالة من نتريد السيلكون silicon nitride surface ، إن العناصر من نوع n-channel device هي غالباً مفضلة وذلك بسبب الحوامل المتحركة العالية الفعالية التي تؤمن

في وضعية الفتح ON-state ناقلية عالية تزيد عن الضعف بالمقارنة مع الحالة المقابلة مع العنصر نوع p-channel.

وازدياد حركة الحوامل يسبب أيضاً زيادة في سرعة الفتح لأن ذلك تابع لنقصان زمن العبور للإلكترونات transit time of electrons عبر القنال through the channel.

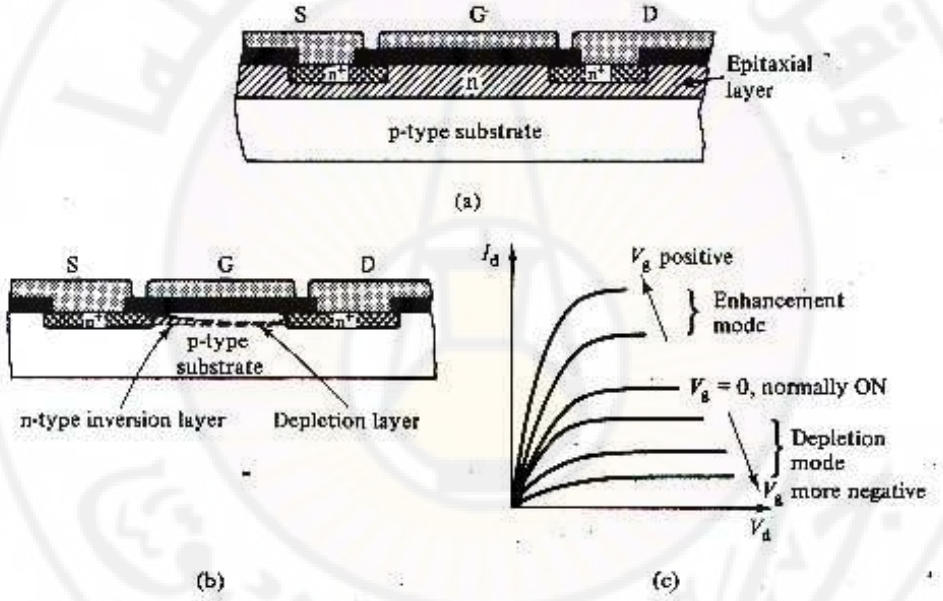
إمكانية أخرى لتكنولوجيا الـ MOS يطلق عليها اسم القنال المسبقة الصنع metallurgical –channel MOST كما هو مبين في الشكل (49–7–a).

في هذا العنصر تنتشر مناطق المنبع والبالوعة ذات الإشابة المركزة +n في الطبقة البلورية نوع n-type epitaxial layer التي تعمل كقنال دائمة لذلك فإن الاتصال بين المنبع والبالوعة يصبح ممكناً، حتى من أجل جهد البوابة المساوية للصفر.أمثال هذه الترانزيستورات MOST يمكن أن تعمل وفق مبدأ الازدياد enhancement أو مبدأ النضوب(المنطقة المجردة depletion mode) يعتمد ذلك على إشارة جهد البوابة V_g.

إذا كانت V_g is positive موجبة فإن الإلكترونات تتحرك إلى منطقة القنال ولتوازن الشحنة في البوابة تزداد ناقلية القنال وبالتالي يزداد التيار I_d أيضاً من أجل جهد V_g سالب تتكون منطقة مجردة– منطقة نضوب– تحت قطب البوابة وذلك ليؤمن الشحنة الموجبة الضرورية هذا يسبب نقصان المقطع العرضي للقنال وبالتالي ينقص الناقلية والتيار I_d يتناقص. الخواص ألاستنتاجيه للبالوعة من تيار وجهد لهذا العنصر مبين في الشكل (49–7). يجب أن نلاحظ أن الترانزيستور JEFT لا يمكن تشغيله في منطقة الازدياد Enhancement mode لأن هذا يتطلب أن تكون وصلة البوابة– القنال channel junction gate– ذات انحياز أمامي و يستجر تيارات بوابة عالية.

إن هذا الانحياز ممكن فقط في الترانزيستور نوع IGFET وذلك لأن البوابة المعزولة تمنع التيارات العالية

نموذج آخر من ترانزستورات نوع normally-on MOST يشكل بوجود طبقة نوع n-type inversion layer على السطح لشريحة ملائمة من السيلكون نوع p-type ، إن طبقة inversion layer تتصرف مثل القنال التأثرية حتى عندما $V_g = 0$ كما هو مبين في الشكل (49–7).

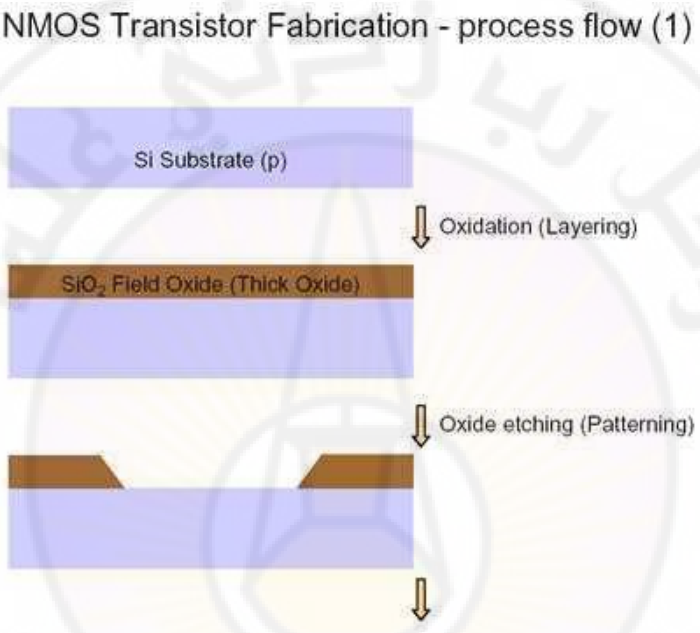


(a) A metallurgical-channel MOST, (b) an inversion-layer MOST, and (c) the typical form of their drain characteristics.

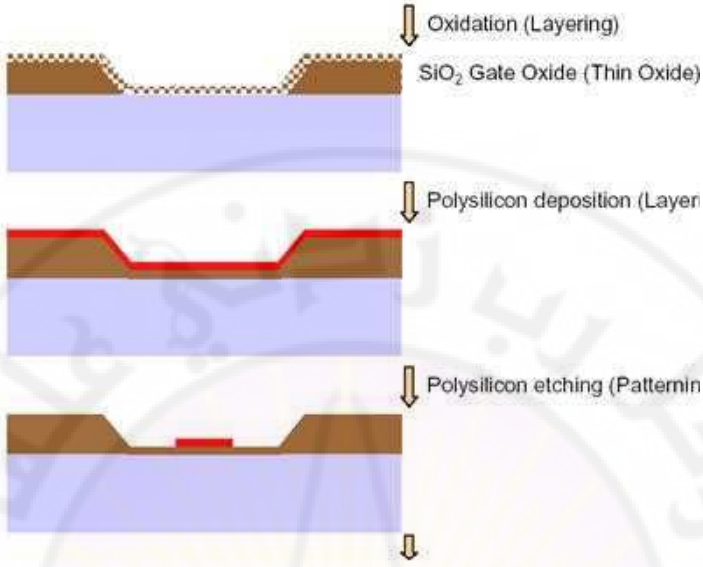
الشكل (49–7)

ومع أن العمل الطبيعي للترانزيستور inversion MOST في المنطقة المجردة فإن الترانزيستور يمكن أن يستخدم وفق مبدأ الازدياد enhancement mode والشكل

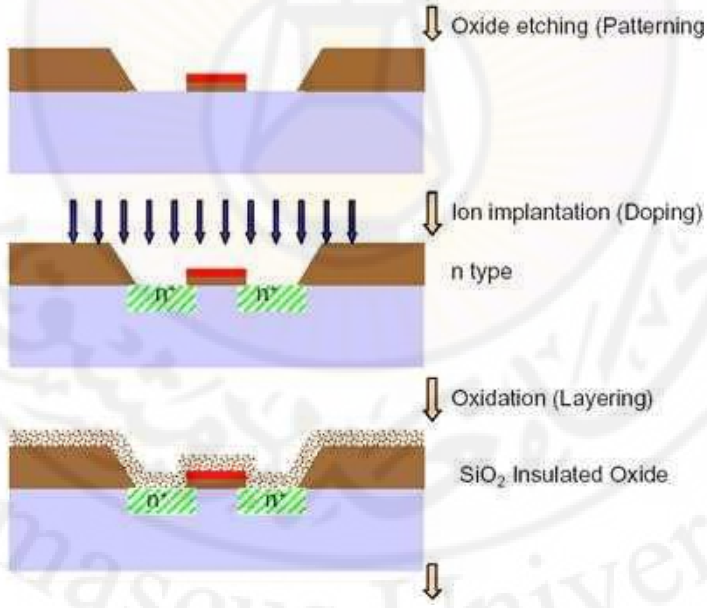
(c–7–49) يبين العلاقة بين V_d و I_d من أجل جهد V_g حيث يلاحظ أنه يسمح بتغير كبير لجهد إشارة البوابة.



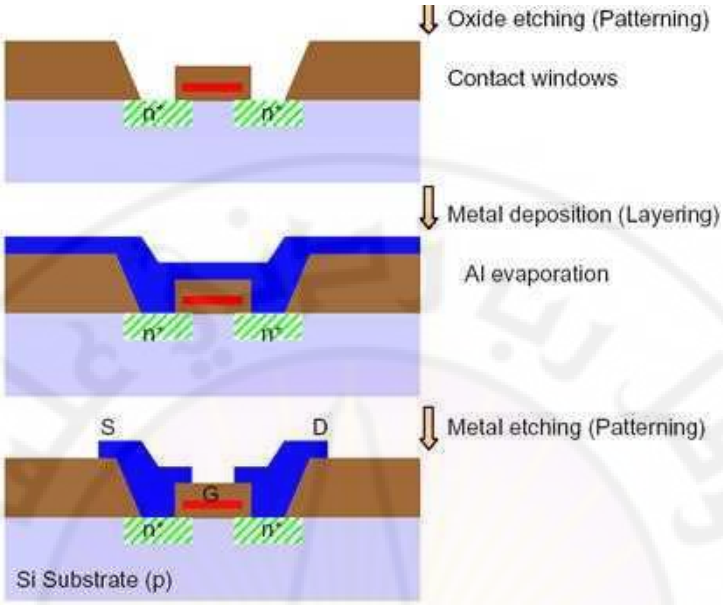
الشكل (50–7) مراحل تصنيع ترانزيستور MOS FET -N-Channel مرحلة أولى



الشكل (7–50) مراحل تصنيع ترانزيستور MOS FET -N-Channel مرحلة ثانية



الشكل (7–50) مراحل تصنيع ترانزيستور MOS FET -N-Channel مرحلة ثالثة



الشكل (50–7) مراحل تصنيع ترانزيستور MOS FET -N-Channel المرحلة الرابعة

7–8– الترانزستورات ذات الأثر الحقلي والأيون المتوطد(الداخل)

Ion implanter MOS transistors

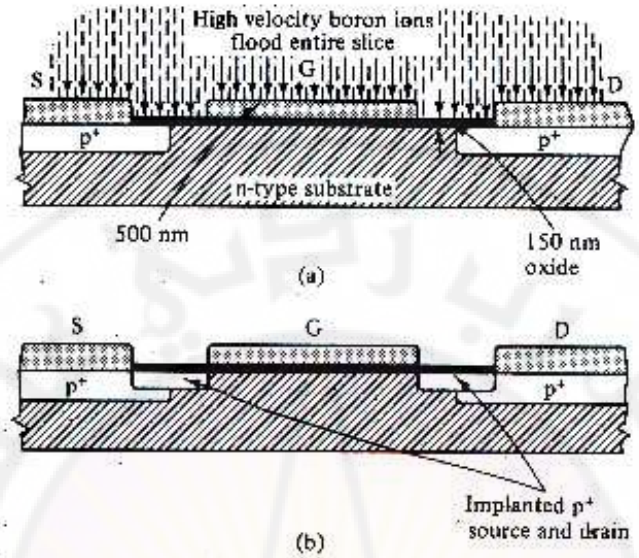
في عناصر MOS devices المدروسة يحدث عدد من حالات التراكيب overlap وتكون نموذجياً بمقدار μm typically 5 تتواجد بين البوابة والمنبع والبالوعة. ويعتبر هذا ضرورياً من أجل تحديد السماحية في مراحل القناع والانتشار العادي.

إن هذا التركيب overlap يسبب ازدياد في السعة للبوابة وبالتالي نقص سرعة الفتح. وإن تكنولوجيا الأيون المتوطد– الداخل– قد تم تطويرها لإنقاص سعة التراكب overlap capacitance .

في هذه العمليات التقنية يتم أولاً الانتشار الجزئي partially diffused كل من المنبع والبالوعة ويتم الترسب المعدني على البوابة حتى العمق الملائم، كما نرى من أجل العنصر ذي القنال التأثير نوع induced p-channel device المبين في الشكل (51–7–a).

يتم قذف الشريحة بعد ذلك بايونات البورون boron ions بعد أن تسرع على سرعة عالية جداً.

إن الأيونات تتجمع في المناطق المعدنية، إلا أن تصادمها المباشر على طبقة الأوكسيد يسبب نفاذها إلى طبقة السيلكون لتكون منطقة p+ region في مساحات المنبع والبالوعة كما هو مبين في الشكل (51–7–b).



Fabrication of an induced p-channel ion implanted MOS transistor. (a) Stage I and (b) finished device.

الشكل (51–7)

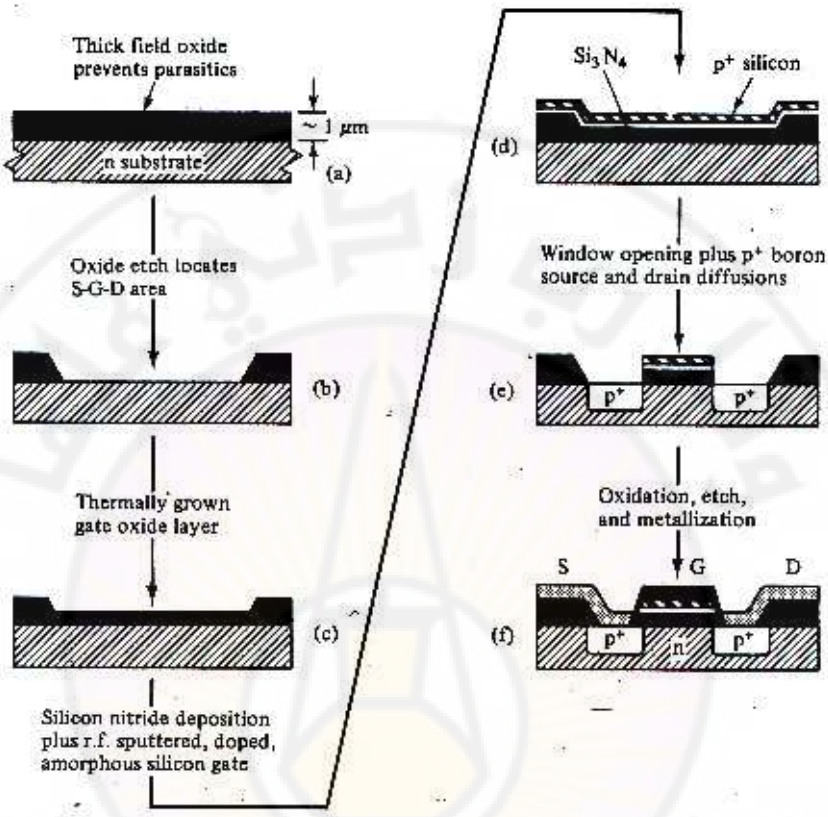
البوابة يخدم كقناع فعال effective mask للمنبع والبالوعة. وهكذا فإن عمق البوابة والسعة يمكن أن تنقص مسببة كنتيجة لذلك إسراعاً في عمل الترانزيستور بنسبة /5/ مرات في العنصر المكافئ الانتشار.

7–9–الترانزستورات الحقلية ذات بوابة السيلكون

silicon gate MOS transistors

إن العمليات الوحيدة التي تستخدم لإنتاج هذا النوع من الترانزستورات produce this type of IGFET هي الإشابة المركزة heavily doped غير المتبلورة للسيلكون ليحل محل بوابة الألمنيوم المعدنية للحصول على قطب السيلكون المشاب الذي يستخدم كبوابة.

إن استخدام السيلكون المطلي(أو المشاب) doped silicon بدلاً من بوابة الألمنيوم تعطي مرونة في تصميم جهد العتبة الذي يعتمد على الاختلاف في تابع لعمل بين ناقلية البوابة gate conductor ومادة القاعدة الأساسية نصف الناقلة substrate semiconductor خطوات الإنتاج الأساسية لإنتاج عنصر قنال أثرية نوع induced p-channel device مبينة وبشكل تخطيطي في الشكل (52–7). مرة ثانية فإن انتشار المنبع source والبالوعة drain يكون ذات وجه ذات لأن وجود بوابة السيلكون يحدد تلك الحدود. وإن التراكب overlap ينقص بشكل كبير ، علماً بأن بعض التراكب المتبقي يحدث بسبب الانتشار العادي مما يسبب بالتالي زيادة سرعة الفتح.



Fabrication steps for an induced p-channel silicon gate IGFET.

الشكل (52–7) خطوات إنتاج ترانزيستور ذي بوابة سيلكون وقنال p التأثيرية

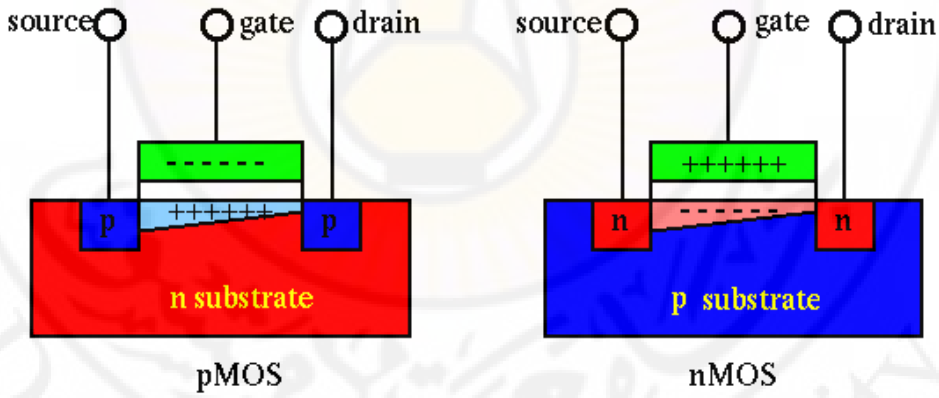
7–10– عناصر أخرى ذات أثر حقلي :

Other field-effect components

إن المكثفات والمقاومات يمكن أن تصنع بشكل ملائم لدارات MOS integrated circuits المتكاملة كما شرحنا في الفقرتين (7–1) و(7–2) ولكن تصنيعها وفقاً لتكنولوجيا MOS technology يعتبر غير ملائم ، ومع ذلك فإنه يمكن تصنيع مقاومات ذات أثر حقلي تتيح إعطاء مقاومة فعالة لـ effective resistance of a

MOST حيث يثبت جهد بوابة MOST عند جهد انحياز ثابت في مجال مستويات التشغيل الخطية – مستويات الإشباع –للبالوعة كما هو مبين في الشكل (7–53)، هذه المقاومة بين المنبع source والبالوعة drain والتي هي ذات قيمة ديناميكية عالية، يمكن أن تستخدم كمقاومة حمل فعالة لعنصر active MOST.

لقد وجد غالباً في الاستخدامات العملية ان استخدام IGFET يعتبر أكثر ملاءمة كمقاومة بواسطة الوصل الدائم للبوابة والبالوعة باستخدام طبقة اتصال معدنية داخلية ويحقق هذا الوصل الحصول على مقاومات في مجال الكيلو آوم شكل(44–6). يمكن أيضاً الحصول على محددات للتيار ذات أثر حقلي، ففي هذه الحالة تتصل بوابة FET بشكل شرائحي دائم إلى المنبع فمن أجل جهود بالوعة drain voltages أعلى من جهد الاختناق يصل تيار البالوعة إلى التشبع ويبقى بالتالي ثابتاً بشكل جيد.



الشكل(54–7)

7-11-تكنولوجيا الدارات الهجينة المتكاملة

Hybrid integrated circuit technologies

7-11-1- الدارات المختلطة من عناصر ذات أثر حقلي وعناصر فعالة عادية

Mixed discrete component bipolar /MOS circuit

لقد رأينا أن التكنولوجيا المستخدمة لإنتاج ترانزستورات عادية ذات الوصلة junction bipolar transistors والترانزستورات ذات الأثر الحقل ي – field effect transistors متشابهة.

ولكن في تحولاتها الأساسية standard versions تعتبر غير متطابقة. كمثال على ذلك فإن العزل المطلوب لكل صنف من العناصر يعتبر مختلفاً بشكل كامل. بينما نرى أن العناصر غير الفعالة المتطابقة متوفرة للدارات وأنه من غير المعتاد للأعمال العامة أن توجد دارات متكاملة تحتوي عناصر ذات أثر حقلي وعناصر عادية على الكسرة المتكاملة الواحدة.

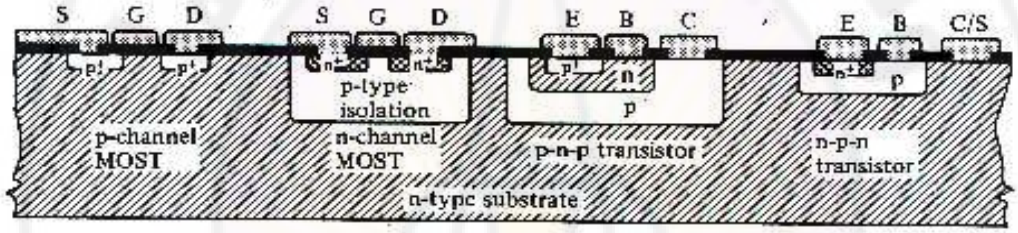
بكلمات أخرى: إن الدارات العامة general circuits تحتوي عادة إما ترانزيستورات عادية ذات الوصلة Junction transistor أي إضافة مقاومات انتشار Diffused resistors ومكثفات أو MOS+IGFET زائداً مقاومات ومكثفات.

التكنولوجيا المختلطة Mixed technologies تطورت حديثاً ولكن بالرغم من هذا فإنها تستخدم بشكل خاص للدارات الخاصة.

كمثال وجد أنه من الممكن أن يتم جمع أزواج ترانزيستور متتامة نوع complementary MOS transistor pairs وترانزستورات عادية bipolar

transistors بالإضافة إلى عناصر غير فعالة على نفس الكسرة المتكاملة كما هو مبين في الشكل (55-7).

يجب أن نلاحظ العازلية المطلوبة للعناصر المختلفة يمكن أن تؤمن بشكل ناجح بهذه الطريقة من التكنولوجيا، وبالرغم من ذلك يتطلب عمليات إضافية مما يسبب بالتالي صعوبات في الإنتاج وزيادة في التكلفة.



Hybrid bipolar/MOS transistor technology.

الشكل(55-7)

إن هذه التقنية يمكن أن تجمع مزايا كثافة التجمع العالية للعناصر المختلفة وقلة القدرة المبددة في الحالة الساكنة لعناصر MOS components مع إمكانية السرعة العالية لتشغيل عناصر الترانزستورات العادية high speed capabilities of bipolar.

7-11-2- الترانزيستور ثنائي الأقطاب ذو البوابة المعزولة

Bipolar insulated gate transistor (BIGFET)circuits

لقد رأينا أن دارات البوابة المعزولة ذات الأثر الحقلي IGFET circuits ذات مزايا واضحة ناتجة عن بساطتها النسبية وعن التبديد البسيط في الاستطاعة بسبب الممانعة العالية للقنال وممانعة الدخل العالية وكذلك كثافة التغليف العالية ولكن هذه الدارات تعاني من بطء في سرعة التشغيل وأن الاستجابة الترددية التي في بعض امتدادها تكون تابعاً لممانعة الخرج العالية مقترنة مع السعة للدارات اللاحقة.

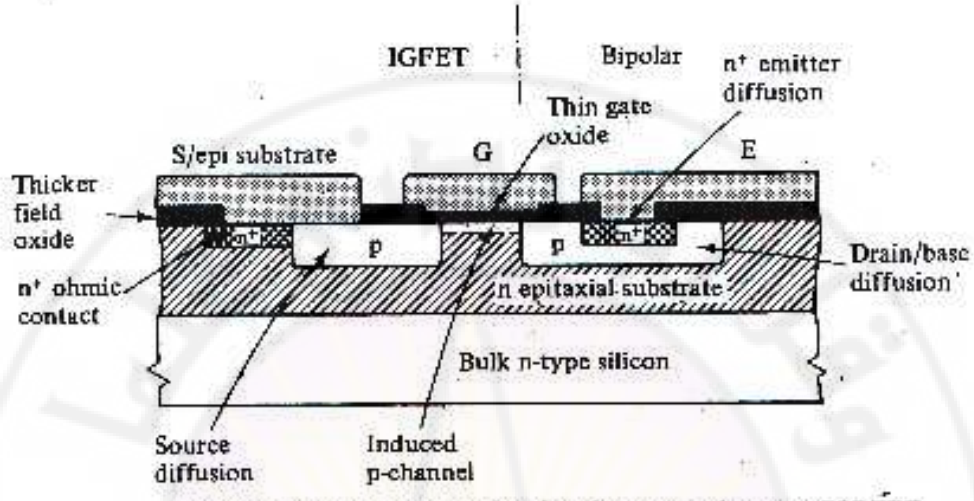
هذه الصعوبة يمكن التغلب عليها بواسطة التزاوج بين عناصر MOS العادية discrete MOS والعناصر ثنائية الأقطاب bipolar devices على نفس الكسرة كما شرحنا في الفقرة السابقة.

عناصر MOST تعطي العمليات المنطقية والترانزستورات العادية، ذات ممانعة الخرج المنخفضة تهيئ تيار خرج عالياً.

مع ذلك فإن أمثال هذه الدارات تكون أكثر تعقيداً واشتباكاً impedance بالنسبة لتوافق الممانعات بين عناصر matching between IGFET and bipolar device.

إحدى الحلول الممكنة لهذه المشكلة هي في تقليل ممانعة القنال لمراحل IGFET stages المتعاقبة تدريجياً عن طريق زيادة سماكة البوابة وبالتالي ناقلية القناة للتوافق مع مرحلة الخرج الترانزيستورية العادية الأخيرة.

وأحد الحلول الأخرى والذي يعتبر أكثر نجاحاً و ملائمة هو أن يتم التزاوج بين IGFET وترانزيستور bipolar transistor في مرحلة خرج متكاملة وحيدة البلورة ، وهذا ما يطلق عليه اسم عنصر BIGFET : الشكل (56-7) يبين مقطع عرضي لهذا العنصر ألهجيني.



Cross-section of a bipolar insulated gate transistor, or BIGFET.

الشكل (56–7)

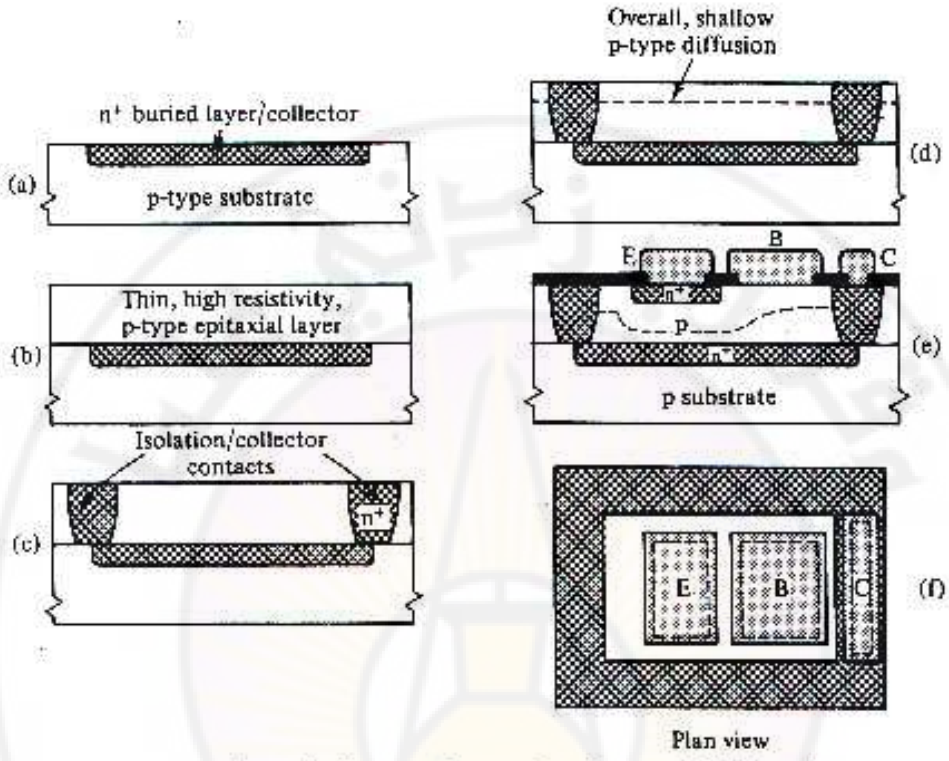
القاعدة لخرج الترانزيستور العادي تعمل أيضاً كبالوعة(للقناة التأثيرية) preceding induced p-channel MOST والمجمع أيضاً مشترك للقاعدة البلورية الأساسية نوع n-type epitaxial substrate للترانزيستور الـ MOST. طبقتي انتشار متشابهتين نوع +n أحدهما تشكل الباعث للترانزيستور الـ bipolar والأخرى تشكل الاتصال الأومي للقاعدة الأساسية epitaxial collector/substrate العازل الرقيق تحت البوابة يصنع غالباً كشطيرة من $Si_2Al_2O_3$ الذي يخفض جهد الفتح للـMOST إلى حوالي 1 V− وهكذا فإن MOST يمكن أن يشكل من نفس منبع التغذية bipolar كما هو الحال بالنسبة للترانزيستور العادي عندما يفتح الترانزيستور IGFET بواسطة الجهد السالب المناسب المطبق على البوابة، فإن تياراً صغيراً نسبياً يمر، ويكون تيار القاعدة إلى الترانزيستور لـ bipolar ، تيار خرج والباعث

يكون عبارة عن تيار قاعدة الترانزيستور الصغير مضروباً بكسب التيار لهذا الترانزيستور الذي يقرب من typically of.100 كنتيجة لهذه الخواص فإنه يعتبر طبيعياً لمرحلة خرج BIGFET output أن تتحد وتضم في دارات MOS logic المنطقية لتسمح بمرحلة وسيطة مباشرة مع دارات bipolar logic circuits المنطقية مثل TTL.

7-12 عملية مجمع الانتشار المعزول

Collector diffused isolation (CDI)process

إن هذا يعتبر مثالاً تشريحياً للتكنولوجيا الحديثة التي تم تطويرها لإنتاج دارات الترانزستورات الثنائية الأقطاب to produce bipolar circuits بمزاياها في السرعة، والطاقة المستجرة وخطية التشغيل، وهكذا، ولكن بما أن تتطلب خطوات عمل أقل وتحتوي على كثافة تغليف أعلى من العناصر المضاعفة الحوامل العادية المطبقة في الاستخدامات في هذا المجال فإن الترانزستورات CDI transistors يمكن أن تقارن مع أقسام comparable to their MOS counterpart.
المراحل الأساسية المطبقة لإنتاج CDI integrated transistor الترانزستورات التكاملية مبينة في الشكل (57-7).



Stages in the manufacture of an integrated CDI transistor.

الشكل (57–7)

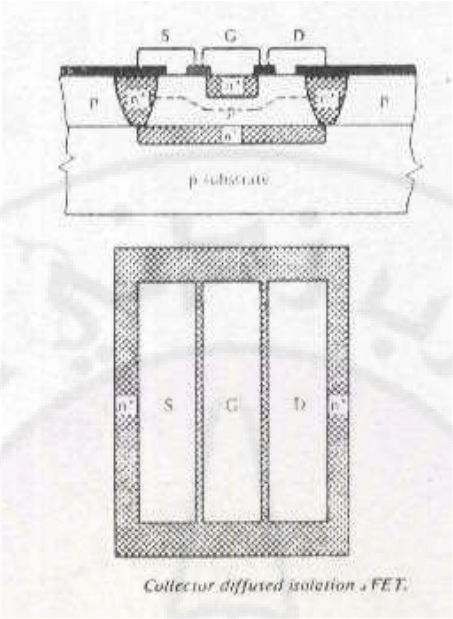
القاعدة الأساسية نوع p-type من السيلكون ذات طبقة n+ buried layers مركزة تنتشر إليها والتي تشكل المجمعات للترانزستورات العادية ثنائية الأقطاب bipolar transistors الشكل (57–7a) يبين ذلك.

يلي هذا طبقة بلورية ذات مقاومة عالية نوع high receptivity p-type epitaxial layer تنمو فوق الشريحة الداخلية.

الطبقة تصنع بسماكة بضعة ميكرومترات وتعتبر أكثر رقة من مراحل الترانزيستور ثنائي الأقطاب المشروح سابقاً ، وهكذا تمنع الانتشار الجانبي بواسطة طبقة الانتشار العازلة المبينة في الشكل (57-7- b -c) n+ isolation diffusion مما يجعل مساحة العنصر كما حدد بواسطة عازل الانتشار المتطرف تبقى أصغر ما يمكن .

منطقة الانتشار n+ تعمل أيضاً كمنطقة اتصال ذات ناقليه عالية إلى المجمعات buried collectors طبقة من نوع p-type layer منتقاة تشكل سطحاً ضحلاً وذات مقاومة ملائمة لمقاومات الانتشار وقواعد للترانزستورات تنتشر فوق الشريحة الداخلية كما في الشكل (57-7-d) أخيراً تتوضع طبقة انتشار نوع n+ خفيفة مشكلة البواعث كما في الشكل (57-7-e). الانتشار الضحل الظاهر نوع shallow p-type يدفع أيضاً هذه العملية كما رأينا ليشكل مناطق القاعدة المشتركة.

والشكل (58-7) يوضح رسماً فراغياً لصنع ترانزيستور نوع npn بتقنية CDI ويتميز عن الشكل (57-7) بوجود طبقة الأوكسيد على الشريحة نوع n-type وبعد ذلك تتبع نفس الخطوات السابقة.



الشكل (58-7)

وفيما يلي بعض المزايا لهذه الطريقة:

آ- إن خطوات العمل مؤسسة بشكل جيد وأقل متطلبات من مثيلاتها من دارات الترانزستورات العادية bipolar نموذجياً يوجد خمسة أقنعة عمل وتوفير حوالي ثمانية مراحل إضافية مما يعطي بالتاي زيادة في الإنتاج.

ب- مساحة العنصر نموذجياً تساوي ثلث مساحة العنصر المكافئ وذلك لأن إنقاص المساحة المطلوبة للعزل ونقاط تماس المجمعات تعطي إمكانية تكثيف أكبر للعناصر على الكسرة الواحدة، بالإضافة إلى ذلك فإنه يوجد توفير كبير في مساحة الانتشار للطبقات نوع +n عبر وتحت الوصلات.

جـ- إن ترانزيستورات CDI transistor لها سرعة فتح أعلى في معظم الترانزستورات العادية ثنائية الأقطاب، وذلك بسبب إنقاص الشحنة المخزونة في

وصلات الانحياز الأمامي التي تمنع حدوث السرعة (inhibited)بواسطة مستويات الإشابة العالية في المجمعات، بالإضافة إلى أن الباعث غالباً يضم ويصل داخلياً إلى القاعدة وهذا يتفاعل كمجمع فعال، ويزيل الإلكترونات المحقونة من الانحياز الأمامي لوصلة الباعث– القاعدة– ويسبب بالتالي إنقاص الشحنة المخزونة.

د– إن ترانزيستورات CDI Transistors تكون فيها h_{fe} أكبر وتصل إلى around 150 تقريباً عند التيارات المنخفضة والعالية، مقاومة النمو المنخفضة للمجمع ومقاومة التشبع تبعاً لوصلة المجمع وانتشار العازل بشكل كامل حول الترانزيستور. قيمة V_{CFsat}تصل تقريباً إلى النصف والتي تعتبر مهمة في بعض دارات الفتح.

هـ– أخيراً من الممكن لترانزستورات JFET أن يتم إنتاجها بخطوات تكنولوجيا مشابهة كما هو مبين في الشكل(59–7) وتنضم إلى نفس كسرة الدارة العالية التكامل كعنصر ثنائي الأقطاب integrated circuit chip as bipolar devices إن هذه العناصر ذات الأثر الحقلي تعمل بشكل تام ولا تعتمد على الآثار السطحية كما هو الحال بالنسبة لمعظم MOSI

الفصل الثامن

العزل الكهربائي ، الوصل الداخلي ، التغليف

Electrical isolation Interconnection
&
Packaging

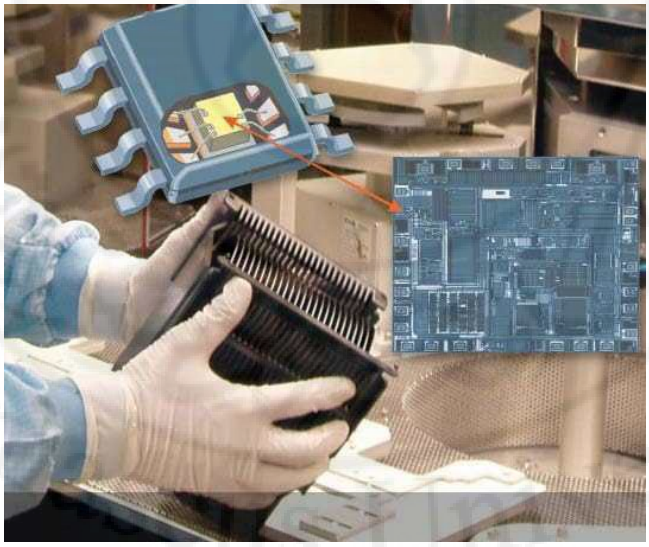
8- العزل الكهربائي . التوصيلات الداخلية

8-1- العزل الكهربائي

8-2- الوصلات الداخلية – التقاطع العلوي – التقاطع السفلي

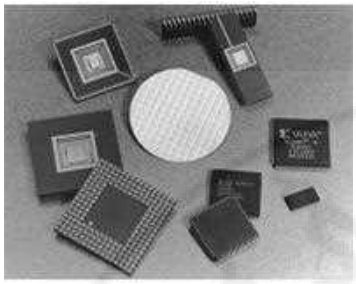
8-3- وصلات الأسلاك – التغليف

8-4- ملخص عام لمبادئ تقنية الدارات المتكاملة



8- العزل الكهربائي – التوصيلات الداخلية والتغليف

Interconnection and packing



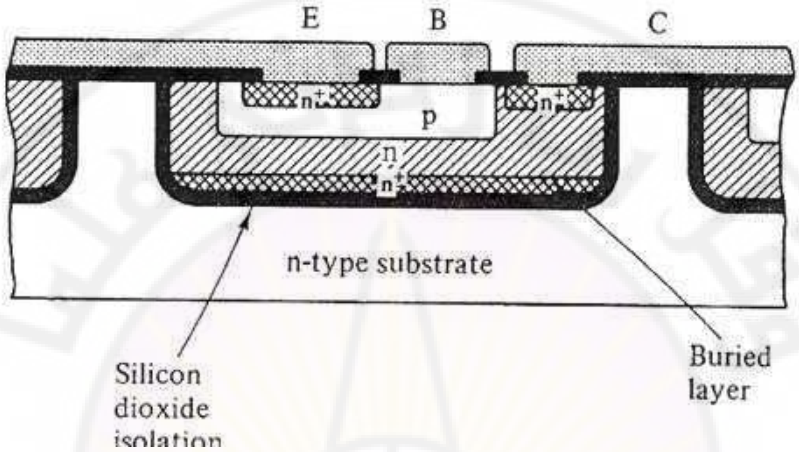
في هذا الفصل سيتم بشكل مفصل دراسة الطرق المختلفة الممكنة للحصول على العزل الكهربائي الضروري بين عناصر الدارة وأساليب الوصل لتأمين ممرات اتصال بين العناصر وبين نقاط التوصيل الخارجية للتشغيل وذلك لتصبح الدارة أو المجموعة المتكاملة سهلة التداول والتسويق تجارياً .

8-1- العزل الكهربائي Electrical isolation :

من الضروري في الدارة المتكاملة أن يوجد عزل كهربائي تام بين أجزاء العناصر المكونة لها. إحدى الطرق الواضحة لتأمين العزل في الدارات المتكاملة السطحية هي أن يتم وضع طبقة رقيقة عازلة كما هو مبين في الشكل (8-1) عادة تكون هذه الطبقة العازلة من مادة ثاني أوكسيد السيلكون silicon dioxide

ومزايا هذه الطريقة أن السعة التشردية المتواجدة بين العناصر المختلفة والقاعدة الأساسية تكون صغيرة نسبياً وكذلك فان تيارات التسريب بين العناصر تكون صفراً وبالتالي فإنه لا يتطلب احتياطات إضافية لعزل جهد الانحياز .

من المساوئ الظاهرة لهذه الطريقة هو ضرورة وجود خطوات عمل إضافية ومعقدة مما يسبب انخفاض الإنتاج وزيادة الكلفة .

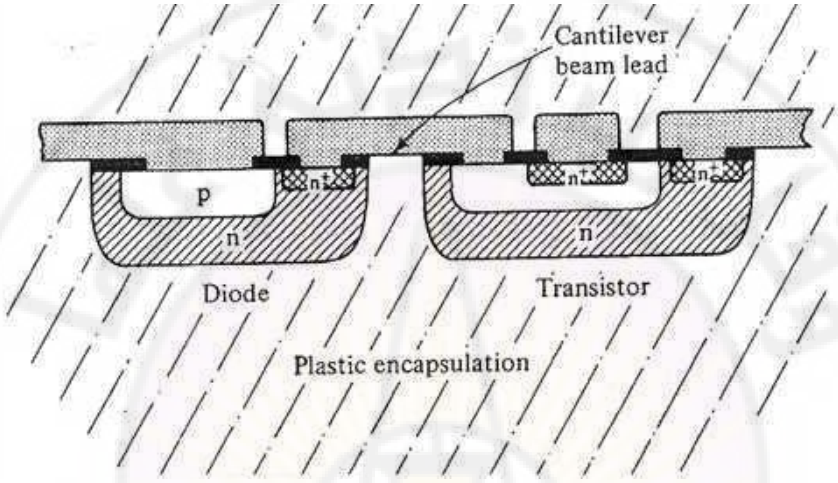


الشكل (1-8)

إمكانية أخرى لطريقة العزل وهي العزل الفيزيائي لعناصر الدارة بشكل منفصل باستخدام طريقة الـ beam-lead system جسر الاتصال المبنية في الشكل (8-2) وذلك للحصول على درجة عزل عالية جداً .

تتم صناعة الدارة المتكاملة بالطريقة العادية ولكن وصلات الألمنيوم الداخلية تعالج لتصبح بسماكة نموذجية حوالي 10 μm بواسطة التبخر الفراغي الإضافي additional vacuum evaporation ، الكتلة المشكلة للقاعدة الأساسية من نوع p-type substrate تتم إزالتها بواسطة الحك الكيميائي etching من خلف الشريحة تاركين وصلة cantilever beam leads دعم تعمل كجسر توصيل

داخلية . بعد ذلك تأخذ الدارة شكلها المتين النهائي بواسطة كبسها بمادة بلاستيكية تحيط بها كما يظهر في الشكل (2-8).



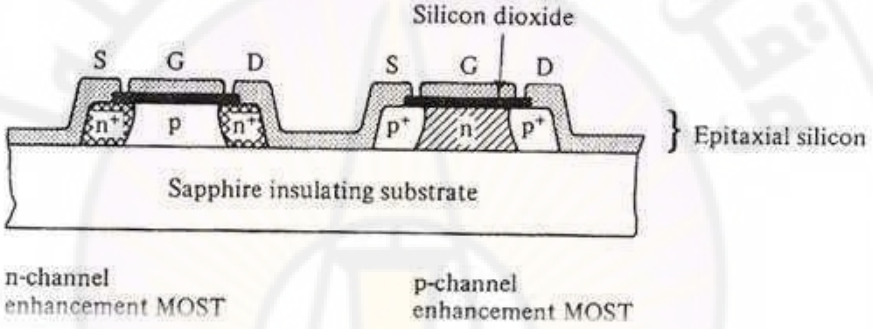
الشكل (2–8)

مرة أخرى فإن خطوات التشغيل والتكلفة الإضافية تعيق بالتالي إمكانية انتشار الواسع لتقنية العزل هذه بشكل عام ولكن يستخدم لبعض التطبيقات الخاصة وكذلك فإن عملية beam-lead تستخدم في بعض الأحيان لوصلات التغليف .

من المكن الحصول على مردود عزل كهربائي كاف بواسطة تشكيل كل عنصر أو مجموعة في جزيرة السيلكون التي تكون متوضعة على قاعدة أساسية معزولة insulating substrate ومن القواعد الأساسية الأكثر ملائمة مع الأخذ بعين الاعتبار للتكلفة هو استخدام الياقوت الاصطناعي artificial sapphire حيث أنه من الممكن أن تنشأ طبقات بلورية وحيدة البلورة من السيلكون epitaxial layers of silicon –grow – single - crystal وعناصر الدارة المتكاملة يمكن عندئذ

أن تشكل بالتقنية العادية المعروفة من أقنعة وانتشار في جزر من بلورات السيلكون الوحيدة island of the single-crystal silicon .

هذه العملية تعطي الإمكانية الذاتية لإنتاج الترانزيستور المتتامة complementary parts of devices للعناصر على نفس القاعدة الأساسية كما هو موضح في التركيب المتتام للترانزستور MOS transistor المبين في الشكل (3-8).



الشكل (3-8)

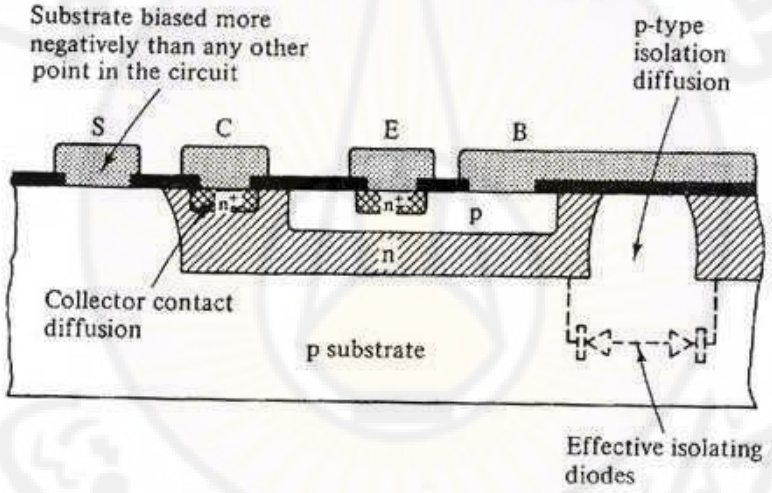
إن التكلفة تعتبر هنا عامل التحديد لمنع التوسع في انتشارها في تكنولوجيا السيلكون على الياقوت Silicon – on – sapphire technology و إن استخدامها محدود للتطبيقات الخاصة مثل دارات الأمواج الميكروية microwave circuits .

أكثر الطرق شيوعاً لعزل العناصر المسماة بـ junction isolation ربما تكون من الناحية الكهربائية غير مريحة تماماً لكن الميزات في التكنولوجيا البسيطة إضافة إلى الوثوقية والناحية الاقتصادية ، أعطتها مزايا تفوق المساوئ المختلفة .

كافة عناصر هذه الطريقة مبينة في الشكل (4-8) ، إن كل عنصر من عناصر هذه الدارة وأحياناً مجموعة من العناصر تشكل في جزيرة السيلكون البلوري نوع

n-type epitaxial silicon محاطة ببحر من القوابل المنتشرة (p)Acceptor diffused وتكون القاعدة الأساسية من مادة p-type material وكل عنصر يكون ذا وصل فعال مع الجزء المجاور بواسطة ثنائيين متصلين ظهراً لظهر back-to-back diodes كما هو مبين في الشكل وإذا كانت القاعدة p-type substrate ذات جهد أكثر سلبية من مناطق المجمع عندئذ

فإن العزل الكهربائي يتحقق بواسطة ممرات ذات مقاومة عالية تبعاً للانحياز العكسي للثنائيات.



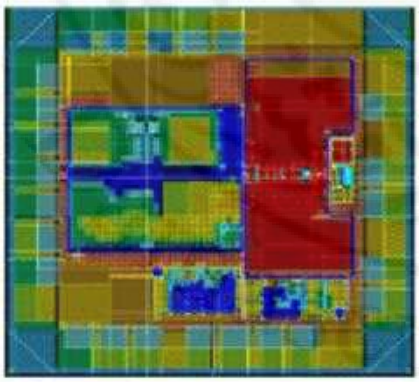
الشكل (4-8) العزل الكهربائي ظهراً لظهر back-to-back diodes

من المساو ئ الكهربائية الواضحة لهذه الحالة وجود السعة الطفيلية التي توصل العناصر بعضها ببعض تبعاً للوصلات reverse biased p-n junction بالإضافة لذلك يتواجد أيضاً ترانزيستور طفيلي يتشكل بين القاعدة – المجمع وطبقات القاعدة الأساسية parasitic p-n-p transistor formed between base collector and substrate layers

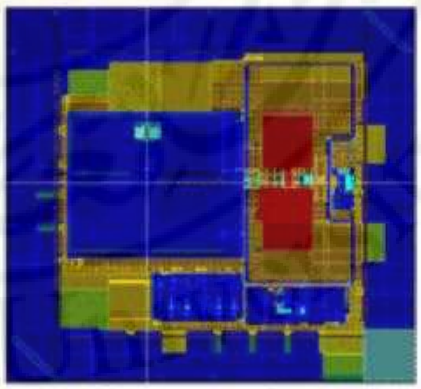
8-2- التأريض Grounding:

من الشائع بين مصممي الدارات الالكترونية المتكاملة التمثيلية – الرقمية عالية الاندماج أن يتم إجراء تغذية منفصلة separate supplies للأقسام الرقمية والتمثيلية للرقاقة (Chip) وذلك لعزل الدوائر التمثيلية عن آثار ضجيج الفتح Switching noise المتولدة في التغذية الرقمية .

إن نفس هذه التقنية تستخدم في عزل أجزاء الدارات الراديوية التمثيلية لتخفيف آثار الضجيج ، حيث تقسم الكسرة إلى مقاطع مما يخفض آثار الضجيج من منطقة إلى أخرى على الكسرة الواحدة . الشكل (8-5) يبين دارة الكترونية متكاملة عاليه الاندماج (LNA (Low Noise Amplifier تظهر فيها فعالية التأريض المفرد والمضاعف (بسبب تقسيم الكسرة) في توزيع الضجيج السطحي Surface Noise Distributions اللون الأحمر يمثل الضجيج واللون الأزرق يمثل حالة الاستقرار من الضجيج الناتج من العزل الأعظمي المنجز .



Single Substrate Ground



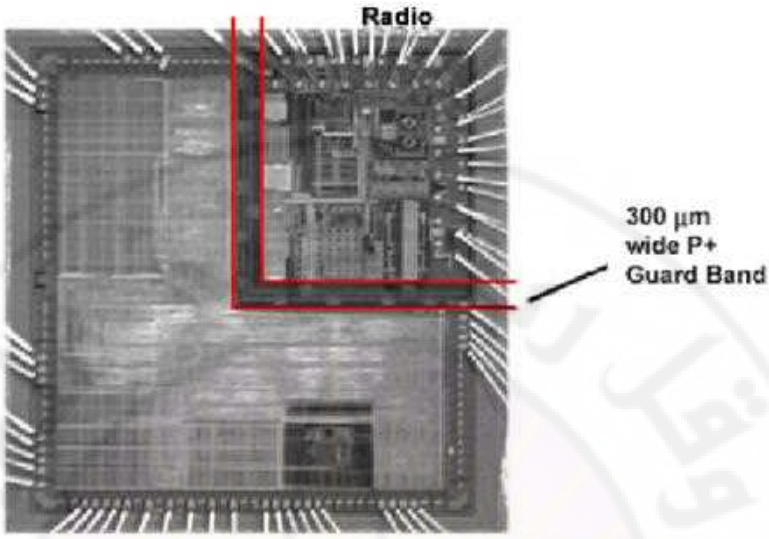
Two Substrate Grounds

الشكل (5-8) دارة الكترونية متكاملة عالية الاندماج

LNA (Low Noise Amplifier)

8-3- حلقات الحماية Guard Ring

إن حلقات الحماية Guard Ring تشكل عزلاً فعالاً وخصوصاً في القواعد Substrate ذات الإشابة المنخفضة بالمقارنة مع القواعد ذات الإشابة العالية وتكون الإشابة عادة من نوع P حيث تشكل حلقة الحماية حول منابع الضجيج ممرات ذات مقاومة منخفضة إلى الأرض ، مما يساعد في تخفيض الضجيج .
إن عرض حلقة الحماية هذه يكون ذو تأثير فعال على جودة العازلية ، ويبين الشكل (8-6) تصميم لدارة الكترونية (Chip) من شركة Sony – Ericsson نوع Bluetooth تستخدم حلقة عزل بعرض 300 micron لعزل القسم الراديوي من الكسرة وتوفر هذه الحلقة حماية عن طريق الممر ذو المقاومة المنخفضة إلى الأرض .



الشكل (6-8) رقاقة بلوتوث من تصميم شركة سوني اريكسون 2002 ذات جدار عزل للحماية من الضجيج .

Ericsson-Single Chip Bluetooth Design with 300 micron wide Guard Band Isolation.

8-4- الوصلات الداخلية – التقاطع العلوي – التقاطع السفلي

Interconnections, cross-over , and cross-under

إن الوصلات الداخلية المعدنية بين أجزاء الدارات المتكاملة وحيدة البلورة تتشكل عادة بواسطة الترسيب الخلائي vacuum deposition لطبقات الألمنيوم التي تصنع تماساً مع دارة الانتشار بواسطة النوافذ المشكلة في غطاء طبقة الأوكسيد يترسب الألمنيوم عادة بواسطة التبخير حيث تسخن فتيلة من التنغستين tungsten محملة بالألمنيوم الصافي في وعاء مفرغ عادة بشكل اهليلجي وتكون في ضغط نموذجي بحدود للحصول على طبقات بسماكة حوالي 0.5mm thickness .

ويشكل الألمنيوم سبيكة ميكروية مع aluminum is micro –alloyed السيلكون ويحقن عبر النوافذ بواسطة التسخين بدرجة حرارة حوالي 600 °C نقاط الانصهار للسيلكون والألمنيوم تكون سبيكة منصهرة silicon and aluminum eutectic alloy .

يضمن الألمنيوم تماساً جيداً لمناطق السيلكون نوع contact to p-or n + - type silicon ولكن التماسات تكون غاية في النعومة والدقة على المناطق نوع n-type regions أمثال المجمدات.

لذلك فإنه من الضروري للانتشار وجود طبقة إضافية وسيطية بين وصلة الألمنيوم والمجمع وبذلك تكون الموثوقية للاتصال عالية جداً كما رأينا في الشكل (4-8) .

الشكل النهائي للوصلات الداخلية تتم بواسطة الحك الكيمائي لكميات الألمنيوم الزائدة لإبعادها بواسطة النوافذ لمقاومة ضوئية مستحلبة photo-resist emulsion والتي تكون ملفوفة (معزولة) على طبقة من الألمنيوم .

إن مادة المقاومة الضوئية الموجبة التي شرحت في الفقرة(4-4) تستخدم لهذه العملية وكذلك يجب أن نوثق من أن الأطراف الدقيقة fine edge محددة للوصلات التي تكون ذات عرض نموذجي بحدود typically 10μm من أجل أسلاك نقل المعلومات single wires ولكنها تكون أكثر عرضاً من أجل خطوط التغذية supply line نقاط اللحام التي توصل الوصلات الداخلية والأسلاك الخارجية للدارة يتم تصنيعها في هذه المرحلة وتكون أبعاد نقاط الألمنيوم نموذجياً بحدود 100×100 μm .

في الغالب تتواجد مشاكل تقنية وأحياناً يكون من المستحيل تصنيع وإيجاد نموذج في شبكة اتصال لا تحتوي على وصلات غير مرغوبة كهربائياً فعلى سبيل المثال قد تتقاطع الأسلاك فيها ومن غير الممكن أن يتم هذا التقاطع مباشرة وببساطة وبشكل عشوائي .

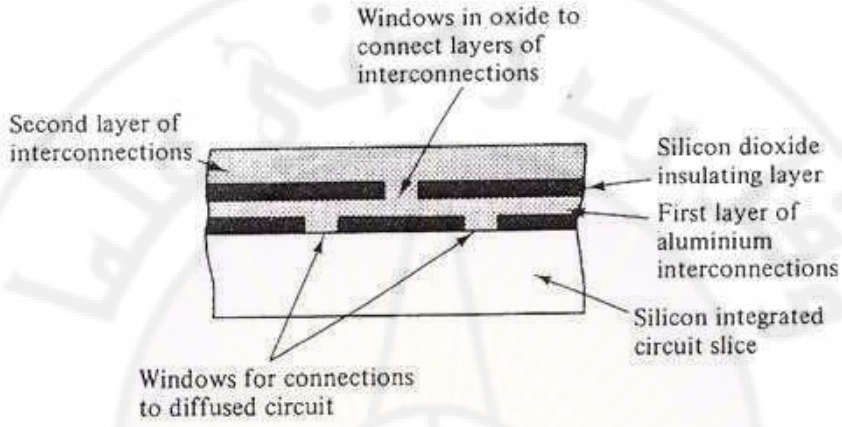
لذلك يتم استخدام الحاسب الالكتروني الذي يلقن برنامج تصميم الهيكل والقناع ليساعد على تجنب الوصلات المتقاطعة غير المرغوب فيها .

لكن في معظم الدارات المعقدة تعتبر عملية التصالب أو التقاطع عملية لا يمكن تجنبها وبالتالي فانه تم إيجاد أساليب مختلفة للتغلب على هذه الصعوبة وذلك من أجل الوثوقية لمنع وجود اتصالات كهر بائيةٍ غير مرغوبة .

إحدى الحلول المستخدمة ، مع أخذ الصعوبات التكنولوجية بعين الاعتبار ، هي استخدام عملية الطبقات المعدنية المتعددة multiple layer metallization process وكل طبقة تظهر جزئياً منفصلة بعازل مستقل ولكن كهربائياً تكون متصلة بعضها ببعض بواسطة النوافذ في العازل كما نرى في الشكل (7-8) .

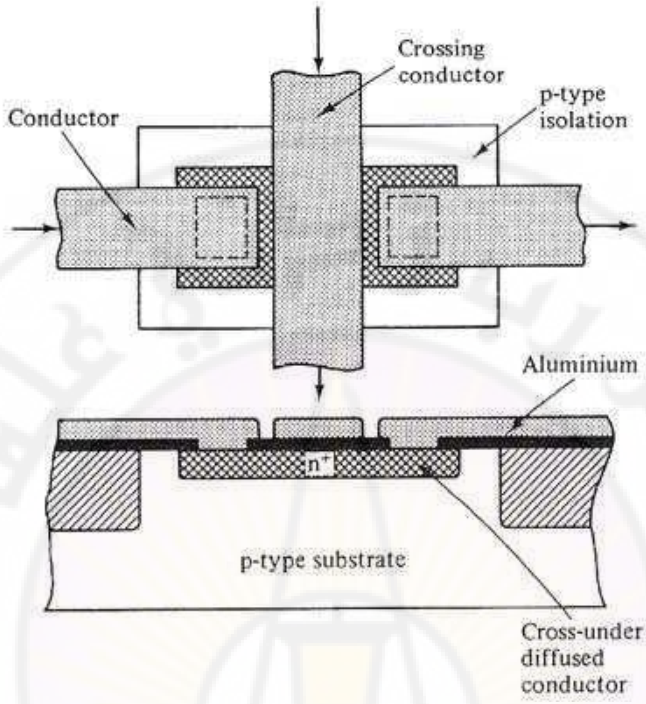
مثل هذه المجموعات تستخد م ثاني أوكسيد السيلكون كطبقة عازلة بين طبقتين أو أكثر من المستويات الوصلة الداخلية من الألمنيوم وتستخدم في بعض الدارات العالية التكامل Large scale integrated MOS circuits وهذه تصمم وتصنع حيث يتحكم الحاسب الالكتروني بسير العمل ويمكن أن تحتوي على مجموعات تصمم ويبرمج فيها أيضاً مرحلة قناع الوصلات الداخلية . ولكن هذه التقنية تعاني

من مساوئ التكلفة الغالية بسبب حجم الحاسب الذي سيقوم بالعمل والصعوبات الإنتاجية(المردود اقل) بسبب تعقيد الخطوات .



الشكل (7-8)

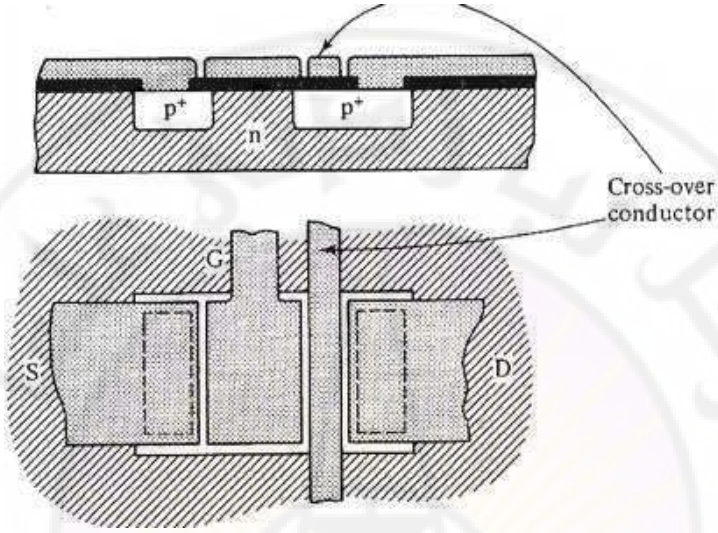
إن عزل خطوط الإيصال المتقاطعة يمكن تحقيقه أيضاً بواسطة تقنية الانتشار المتصالب السفلي Diffused cross- under technique الموضحة في الشكل (8-8) .



الشكل (8–8)

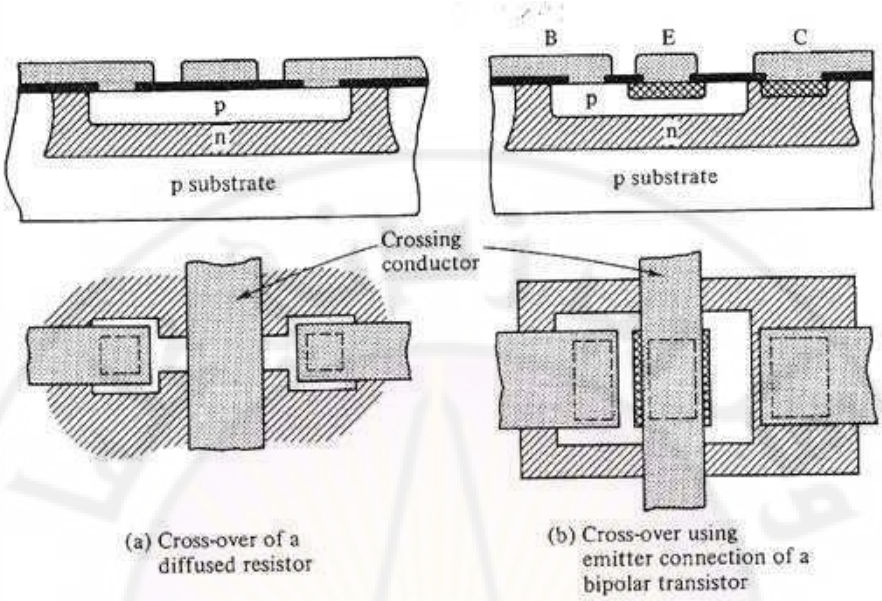
المناطق الخاصة ذات التركيز العالي تكون ممرات ذات مقاومة منخفضة وتشكل جزءاً لناقل واحد وطبقة الأوكسي د تعتبر عازلاً فعالاً لعزلها عن الناقل المتصالب الآخر .

إن هذا لا يتطلب خطوات عمل إضافية وإن مثل هذه الطريقة تتطلب مساحة من الكسرة المتكاملة وبالتالي ارتفاعاً بالأسعار وهكذا فاستعمال هذا الأسلوب يلجأ إليه في بعض الحالات الخاصة وعلى نطاق ضيق .من الممكن في بعض الأوقات أن تستخدم طبقة الانتشار الموجودة أو يتم تصميم امتداد لها كتصالب سفلي cross-under كما هو مبين على سبيل المثال في الشكل (9–8) .

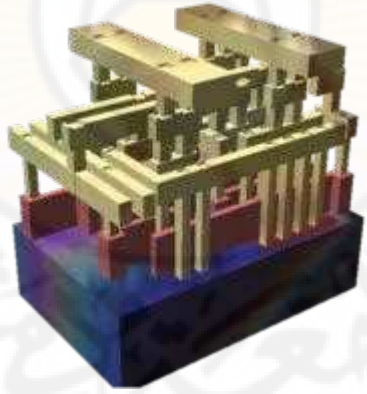


الشكل (9–8) تمديد اوكسيد عزل القاعدة

هنا يتم استخدام امتداد انتشار البالوعة في القنال نوع p-channel لترانزستور most كوصلة انتشار سفلية cross-under diffusion وهكذا بشكل دوري فان الترتيب لتواجد العناصر بشكل عملي يمكن أن ينظم بشكل معاكس لطبقة العازل ويمكن أن يؤمن نقاط تماس للتفاعل في الشكل (10–8) يوجد إمكانية لتحقيق ذلك .



الشكل (10–8)



Rendering of a small standard cell with three metal layers (dielectric has been removed). The sand-colored structures are metal interconnect, with the vertical pillars

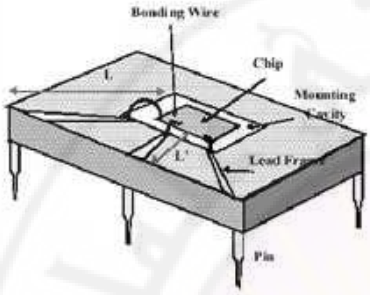
being contacts, typically plugs of tungsten. The reddish structures are polysilicon gates, and the solid at the bottom is the crystalline silicon bulk.



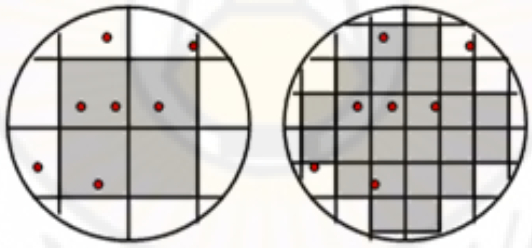
Damascus University

8-5- وصلات الأسلاك والتغليف :

Wire-bonding and packing



إن المرحلة الإنتاجية التي تلي مرحلة الوصلات الداخلية وتكون نقاط اللحام هي مرحلة فحص سلامة الدارة الالكترونية باستخدام مجموعة من أبر العينات التي تتصل إلى نقاط تماس الدارة الالكترونية .

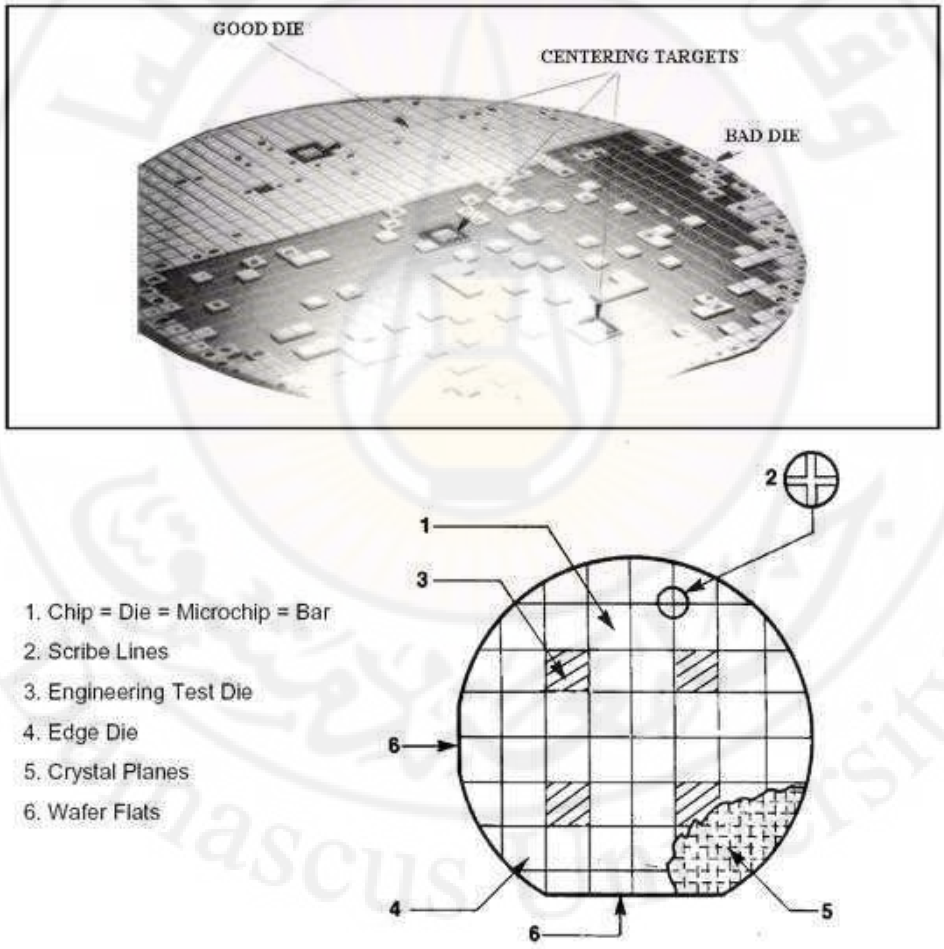


$$Y = \frac{\text{No. of good chips per wafer}}{\text{Total number of chips per wafer}} \times 100\%$$

$$\text{Die cost} = \frac{\text{Wafer cost}}{\text{Dies per wafer} \times \text{Die yield}}$$

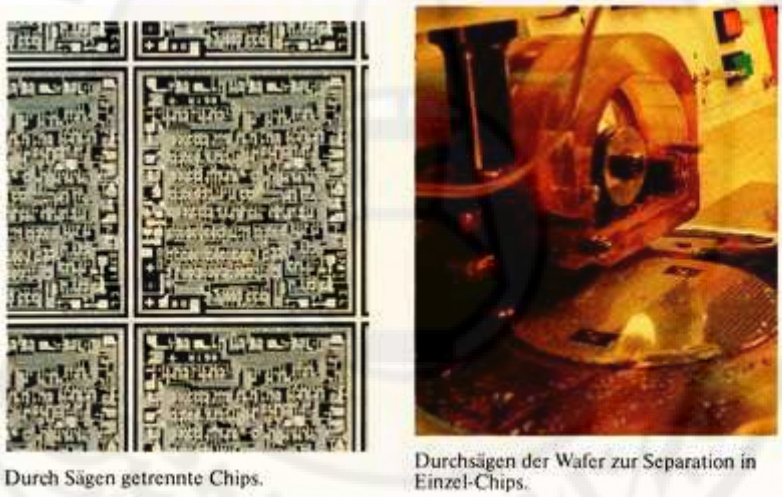
الشكل (11-8)

إن الدارات المعطوبة أو الدارات التي لا تحقق المواصفات تحدد عن طريق حقنها بطبقة من الدهان حتى يتم استبعادها مؤخراً والشكل (11–8) يبين مخطط الشريحة الأساسية مع التفصيلات التصميمية للكسرات وأماكن الفصل أو القص من سطح الشريحة Wafer .



الشكل (12–8)

يتم تحضير الكسرات المتكامل ة للفصل عن الشريحة الأساسية بواسطة عدة قطع حادة من ألماس يتحكم بها آلية متناهية في الدقة حيث يتم حفر عدد من الخطوط المتوازية في الفراغ بين الدارات على طول الدارات وتعاد هذه العملية بعدد من كسرات الدارة بمقدار 90 درجة أن هذه العملية تتم على قرص من البلاستيك أو المطاط أو سطح كريستالي مرن حيث يتم كسر الشريحة على طول الخطوط حتى يتم بالتالي فصل الدارات بشكل مستقل الشكل (13–8) .

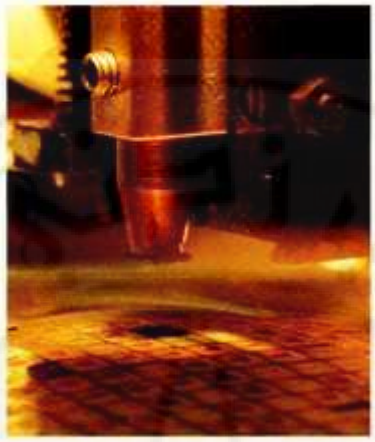


Durch Sägen getrennte Chips.

Durchsägen der Wafer zur Separation in Einzel-Chips.

الشكل (13–8)

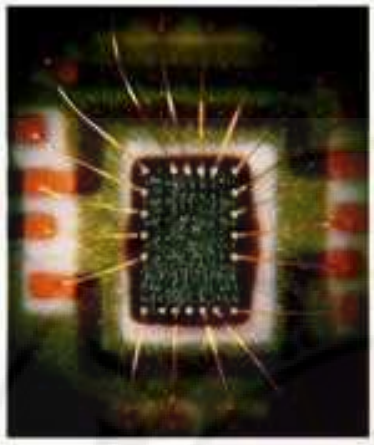
إن الكسرات للدارة تكون معزولة وقابلة للتأثر بالحك بعضها ببعض مما يجعل ضرورة المعالجة للمراحل المتتالية بعد ذلك في مجال خال من الصدمات .



Automatisches Aufnehmen vom Wafer und Positionieren auf dem Substrat.

الشكل (14–8)

وتتضمن خطوات الإنتاج النهائية الآن لحام الكسرات المتكاملة إلى جسم قاس وأكثر ملائمة للتغليف حيث يتم وصل نقاط اللحام إلى نقاط التغليف الخارجية وتكون المجموعة مغلفة بشكل كبسولة كاملة . إن هذه العملية تعتبر مكلفة جداً وتحسب على أساس أن تأخذ 90% من الكلفة الإجمالية وذلك بسبب المهارة العالية التي يتطلبها العمل في أمثال هذه المخابر وبسبب تكلفة التغليف التي تعتبر أغلى من الكسرات المتواجدة ضمن الكبسولة نفسها الشكل (15–8) .



Fertig gebondeter IC-Chip



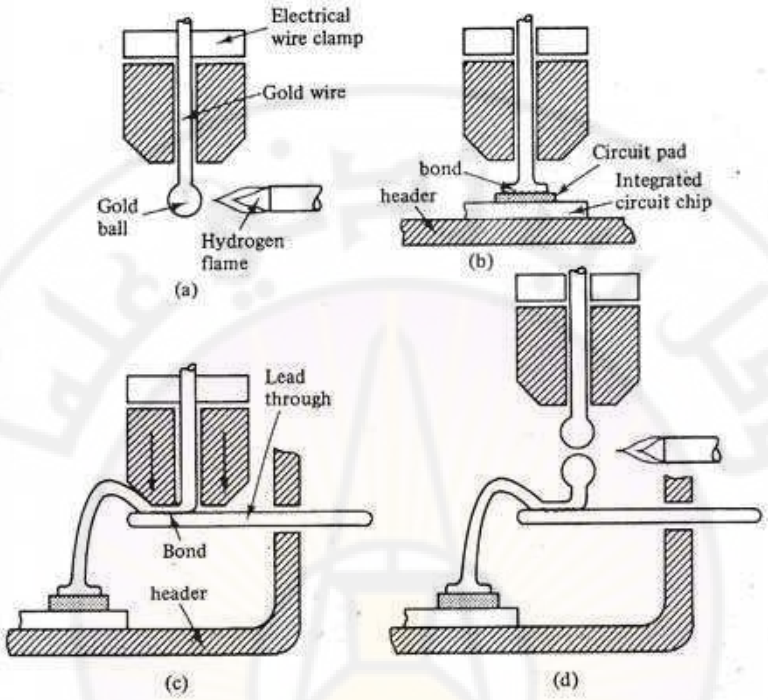
Rechnergesteuertes Drahtbonden im Thermosonic-Verfahren

الشكل (15–8)

إن كسرات الدارة تثبت بإحكام ودقة إلى البرشامة المختارة حيث يستخدم في ذلك سبيكة من الذهب والسيلكون .

والذهب يغلف قالب البرشامة الداخلي حيث يسخن إلى درجة حرارة حوالي 400درجة مئوية وكسرة الدارة السيلكونية المحفوظة في مجال القذف الفراغي ويشكل معها سبيكة إسمنتية لتكون القالب .

إن نقاط التماس في الدارة تتصل إلى الوصلات الخارجية في الجسم بواسطة أسلاك توصيل من الذهب . وتكون نقاط التماس مهيأة ومعدة مسبقاً لكل دارة متكاملة أو كسرة متكاملة كما هو مبين في الشكل (15–8) والخطوات الأساسية المستخدمة لعملية الجذب والوصل للأسلاك الذهبية gold wire ball-bonding مبينة في الشكل (16–8) .



الشكل (16–8)

يتم استخدام أسلاك من الذهب بقطر 20µm يغذى إلى الأسفل بواسطة أنبوب شعري قطره بحدود 100µm ويشكل في نهاية كرة من الذهب بواسطة التسخين عن طريق شعلة من الهيدروجين .

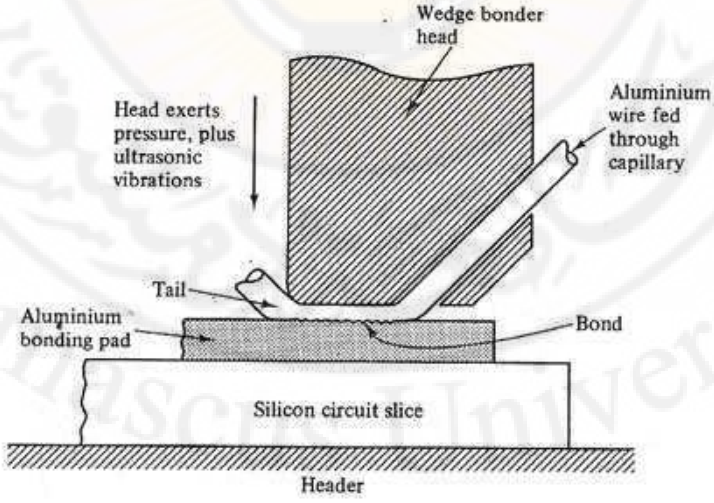
يتم ضغط(كبس) الكرة على نقطة الدارة التي تكون مسخنة مسبقاً إلى درجة حرارة حوالي 300درجة مئوية وذلك حتى يتم حصول اتصال بواسطة الضغط الحراري thermo-compression bond وتحدث عملية اللحام دون أن تصل

حرارة الوصلة إلى درجة انصهار المعدن وبعد ذلك يحل السلك والأنبوب الشعري يرتفع إلى نقطة ساخنة أخرى حيث يلحم في النقطة الثانية بنفس الطريقة كما هو مبين في الشكل (16–8–C).

أخيراً يرتفع الأنبوب ويقطع السلك بواسطة الشعلة الهيدروجينية وتتكون ريشة بشكل كرة ذهبية صغيرة استعداداً للوصلة التالية ، ويمكن أن تكون نقاط اللحام هذه للنقاط من نفس المستوى كما سبق وبينا ذلك في الشكل (15-8) حيث تظهر الوصلات الذهبية للنقاط مع على القاعدة الأساسية substrate بشكل واضح .

من الأشكال الأخرى للحام السلكي "عملية الاتصال فوق الصوتية" ultrasonic wedge bonding سلك التوصيل الذي هو غالباً من الألمنيوم يغذي إلى أسفل من خلال ثقب شعري بنفس شكل اللحام كما هو مبين في الشكل (17–8) .

إن إسفين اللحا م Head wedge-shaped bonding ذو الوزن الكبير نسبياً يضغط على السلك المقيد إلى نقطة اللحام مع الدارة وتتم عملية اللحام في درجة حرارة الغرفة ولكن تساعد بواسطة الاهتزازات فوق الصوتية للآلة .



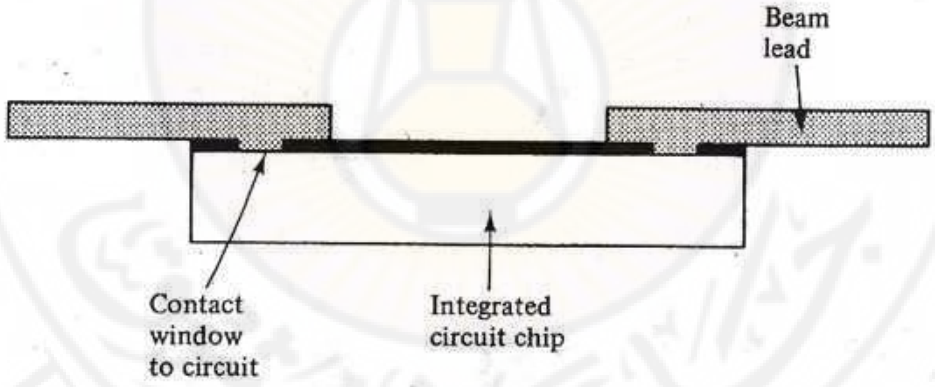
الشكل (17–8)

الاتصال للسلك إلى الأطراف الخارجية يتم بنفس أسلوب الوصل الكروي المذكور سابقاً.

إحدى الإمكانيات الأخرى للاتصال كما هو مبين في الشكل (18–8) باستخدام ذراع اتصال

Beam leads يوصله إلى الغلاف و أحياناً إلى الدارة و أحياناً إلى الدارة الخارجية مباشرة .

وبعد أن تكون عملية الوصل السلكي قد تمت فإن التغليف ،معتمداً على النوع ،إما أن يكون بشكل برشامة محكمة ومحاطة بالنتروجين البارد ،أو أن تغلف بشكل كامل بمادة بلاستيكية للحرارة completely encapsulated in a thermo setting epoxy plastic

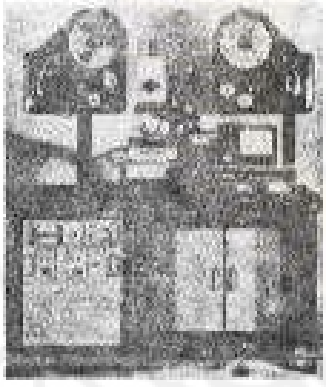


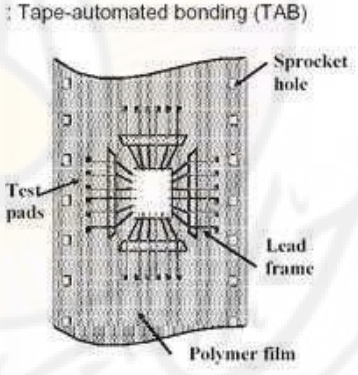
الشكل (18–8)

الناتج الأخير يخضع بعد ذلك إلى اختبارات تسلسلية كهربائي ة وميكانيكية وفقاً لمبادئ الجودة الإنتاجية المتبعة في المعمل Quality management (QM) بحيث يصبح المنتج معداً للبيع .

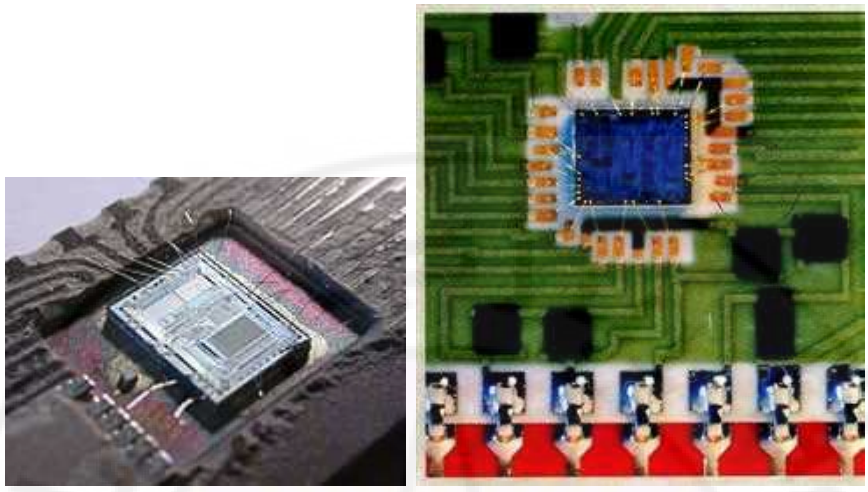
حديثاً يستخدم لتنفيذ مراحل اللحام آلات خاصة تعمل آلياً بواسطة برنامج خاص لحاسب الكتروني يقوم بالتحكم بها وتكون أرجل اللحام المراد وصل الكسرات الالكترونية بها بشكل شريط وتتحقق عملية اللحام بطريقة (TAB). tab automated bonding

يبين الشكل (19-8) إحدى هذه الآلات التي تستخدم لتنفيذ عملية اللحام الآلي مع شريط معدني للوصل الآلي للكسرات ، والشكل (20–8) إحدى الدارات المتكاملة المتوضعة مباشرة على البورد والموصولة بخطوط الذهب إلى الوصلات النظامية للبورد .

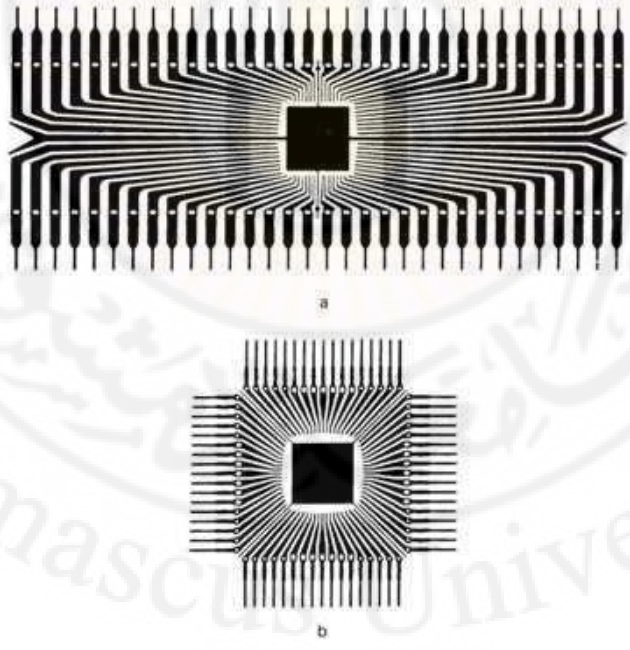




الشكل (19–8)إحدى الآلات التي تستخدم لتنفيذ عملية اللحام هذه مع شريط الوصل الآلي للكسرات



الشكل(20–8) يبين جزءاً من دارة متكاملة مكبرة ويلاحظ عليها وصلة الأرجل



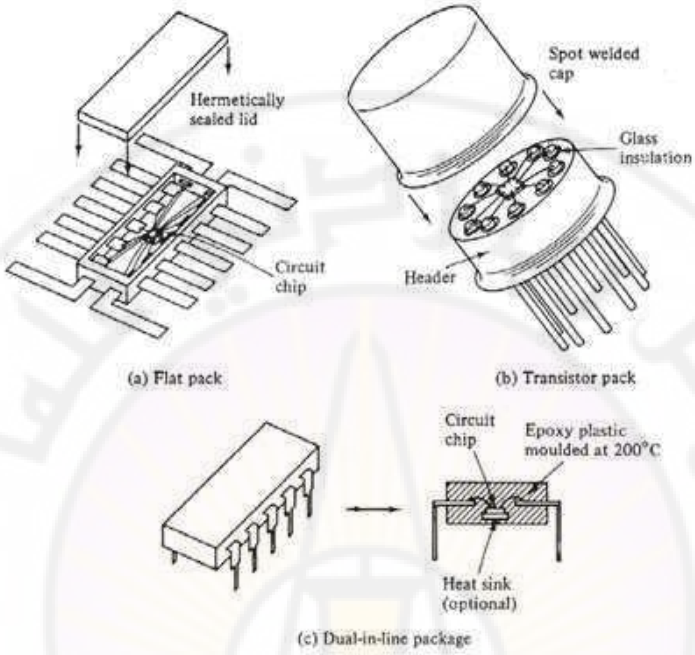
8-6- التغليف :

بعد أن تكون عملية الوصل السلكي قد تمت فان التغليف معتمداً على النوع أما أن يكون بشكل برشامة محكمة ومحاطة بالنتروجين البارد أو أن تغلف بشكل كامل بمادة بلاستيكية متحملة للحرارة completely encapsulated in a thermo-setting epoxy plastic .

تعد اختيارات التغليفات الملائمة واسعة وتعتمد على التطبيقات والنوعية للإنتاج النهائي و بعض الإمكانيات المختلفة للتغليف والتركيب مبنية في الشكل (8-21)

السطح الخارجي الذي تم تطويره من أجل تطبيقات الفضاء صمم بحيث يشغل أقل فراغ ممكن وبشكل برشامة محكمة تماماً ، ولكن الصعوبة التي تعترض هذه الدارة هو عدم إمكانية إخراجها ثانية للصيانة .

الترانزستور نوع TO5 المبين في الشكل(8-21-b) يعتبر أكثر اقتصادية ولكن الصعوبة من جديد في إمكانية اللحام إلى الدارة بواسطة تقنية اللحام العادية المعروفة للأرجل ذات العدد 8 or 10 أرجل ، هذه الاعتبارات أدت بالتالي إلى تطوير عملية التغليف إلى مجموعة الخط الثنائي dual-in-line packing المبين في الشكل (8-21-c) والذي يعتبر ملائماً من أجل الدارات المطبوعة ويمكن اختصار كافة الطرق التجارية النظامية المتداولة لتغليف الدارات المتكاملة وفقاً لما مبين في الأشكال التالية (8-22) .

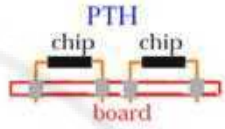




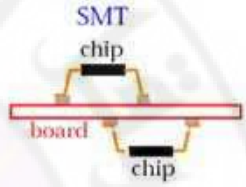
الشكل (21−8) أنواع التغليف مع Sockets for 16-, 14-, and 8-pin packages.

PACKAGE TYPES

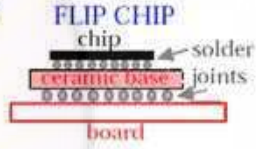
DUAL IN-LINE PACKAGE (DIP)
1. ceramic or plastic pin-through-hole (PTH)
2. low cost, but large size
3. high lead inductance (22 - 36 nH)
4. max pin count usually 64



PIN GRID ARRAY (PGA) PACKAGE
1. ceramic or plastic pin-through-hole (PTH)
2. higher pin count (100 - 400 pins)
3. higher cost than DIP

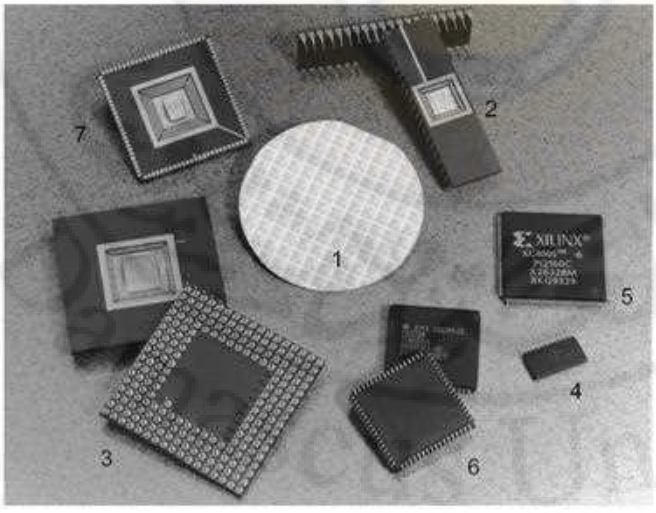


CHIP CARRIER PACKAGE (CCP)
1. surface-mounted technology (SMT)
2. leadless chip carrier supports high pin count
3. more efficient use of PCB area than DIP or PGA
4. Flip chip or ball grid array technogy for higher density



MULTI-CHIP MODULE (MCM)
1. multiple chips assembled on a common substrate
2. high performance applications
3. most efficient use of PCB area

Kenneth R. Laker, University of Pennsylvania



Package types
1. Bare die
2. Dual-In-line Package (DIP
3. Pin Grid Array (PGA)
4. Small-outline IC
5. Quad flat pack
6. Plastic Leaded Package (PLCC)
7. Leadless carrier



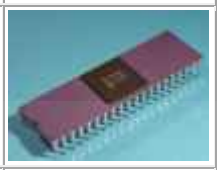
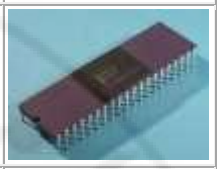
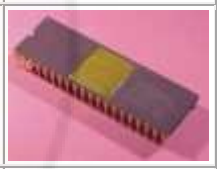
Verkapselte Chip and Wire-Hybrams

الشكل (22–8) أنواع التغليف النظامية التطبيق العامة



الشكل (23–8) تغليف المعالجات الميكروية

Damascus University

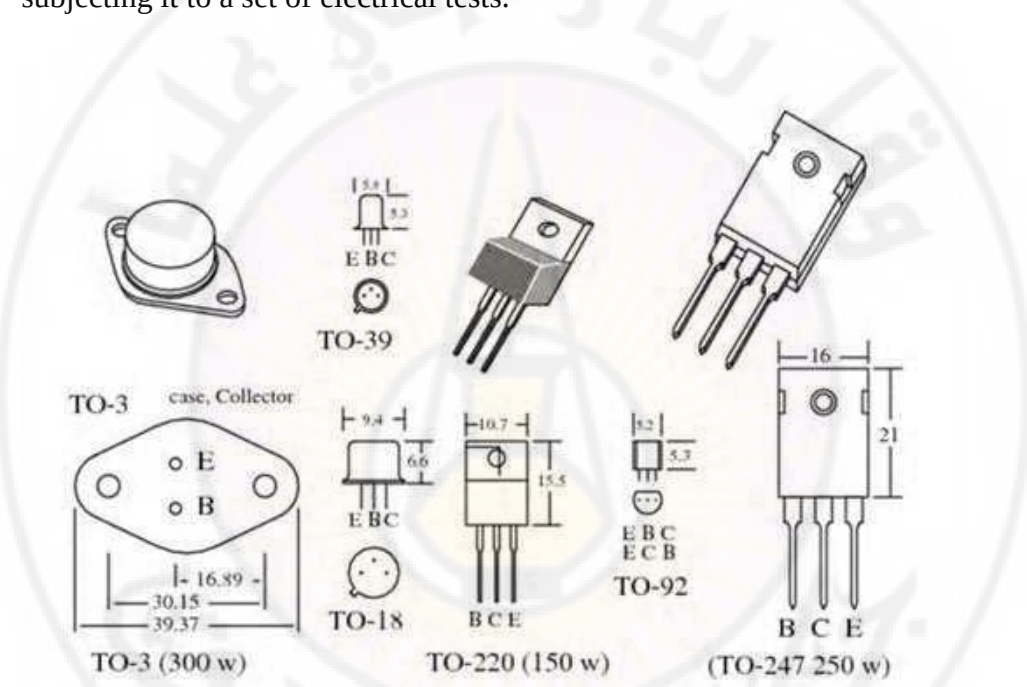
Chip Name	Package	On-Chip Identification	Picture
C8085	Purple/Tin CerDIP, 40-pin	C8085	
C8085A	Purple/Tin CerDIP, 40-pin	C8085A	
C8085A-2	Purple/Gold CerDIP, 40-pin	C8085A-2	
C8085AH	Purple/Gold CerDIP, 40-pin	C8085AH	NA
C8085AH-2	Purple/Gold CerDIP, 40-pin	C8085AH-2	
C8085AH-1	Purple/Gold CerDIP, 40-pin	C8085AH-1	NA
D8085	Gray Ceramic, 40-pin DIP	D8080	NA
D8085A	Gray Ceramic, 40-pin DIP	D8085A	
D8085A-2	Gray Ceramic, 40-pin DIP	D8085A-2	NA

D8085AH	Gray Ceramic, 40-pin DIP	D8085AH	
D8085AH-2	Gray Ceramic, 40-pin DIP	D8085AH-2	NA
D8085AH-1	Gray Ceramic, 40-pin DIP	D8085AH-1	
P8085A	Black Resin, 40-pin DIP	P8085A	
P8085A-2	Black Resin, 40-pin DIP	P8085A-2	NA
P8085AH	Black Resin, 40-pin DIP	P8085AH	
P8085AH-2	Black Resin, 40-pin DIP	P8085AH-2	
P8085AH-1	Black Resin, 40-pin DIP	P8085AH-1	

جدول المقارنة مع التسمية التجارية والشكل العام (التغليف) والرمز لبعض الدارات عالية الاندماج.

Reference for discrete element standard packaging
Adopted from: (htt://www.allaboutcircuits.com)

Figure below shows several standardized package types for three-terminal semiconductor devices, any of which may be used to house a bipolar transistor. There are many other semiconductor devices other than bipolar transistors which have three connection points. Note that the pin-outs of plastic transistors can vary within a single package type, e.g. TO-92 in Figure below. It is *impossible* to positively identify a three-terminal semiconductor device without referencing the part number printed on it, or subjecting it to a set of electrical tests.



Transistor packages, dimensions in mm.

Small plastic transistor packages like the TO-92 can dissipate a few hundred milliwatts. The metal cans, TO-18 and TO-39 can dissipate more power, several hundred milliwatts. Plastic power transistor packages like the TO-220 and TO-247 dissipate well over 100 watts, approaching the

dissipation of the all metal TO-3. The dissipation ratings listed in Figure above are the maximum ever encountered by the author for high powered devices. Most power transistors are rated at half or less than the listed wattage. Consult specific device datasheets for actual ratings. The the semiconductor die in the TO-220 and TO-247 plastic packages is mounted to a heat conductive metal slug which transfers heat from the back of the package to a metal *heatsink*, not shown. A thin coating of thermally conductive grease is applied to the metal before mounting the transistor to the heatsink. Since the TO-220 and TO-247 slugs, and the TO-3 case are connected to the collector, it is sometimes necessary to electrically isolate the these from a grounded heatsink by an interposed mica or polymer washer. The datasheet ratings for the power packages are only valid when mounted to a heatsink. Without a heatsink, a TO-220 dissipates approximately 1 watt safely in free air.

Datasheet maximum power dissipation ratings are difficult to achieve in practice. The maximum power dissipation is based on a heatsink maintaining the transistor case at no more than $25^{o}C$. This is difficult with an air cooled heatsink. The allowable power dissipation decreases with increasing temperature. This is known as derating. Many power device datasheets include a dissipation versus case temperature graph.

- **Important REVIEW :**

- *Power dissipation*: maximum allowable power dissipation on a sustained basis.
- *Reverse voltages*: maximum allowable V_{CE} , V_{CB} , V_{EB} .
- *Collector current*: the maximum allowable collector current.
- *Saturation voltage* is the V_{CE} voltage drop in a saturated (fully conducting) transistor.
- *Beta*: $\beta=I_C/I_B$
- *Alpha*: $\alpha=I_C/I_E$ $\alpha= \beta/(\beta+1)$
- Transistor *Packages* are a major factor in power dissipation. Larger packages dissipate more power.

8-7- ملخص عام لمبادئ تقنية الدارات المتكاملة :

1- المبادئ الأساسية :

إن عملية تكوين أو تطوير مجموعة الكترونية معينة في مجال التقنيات التثبيتية أو الرقمية باستخدام عناصر الكترونية مفردة تتم بشكل عام وفقاً للشكل (25-8)



الشكل (25 – 8) مجموعة الكترونية باستخدام عناصر مفردة

إن الخطوة الأولى :

هي المرحلة المسماة بتكوين مخطط الدارة الالكترونية : ففي هذه المرحلة يتم (بعد تحديد المتطلبات الالكترونية) تصميم الدارة الالكترونية التي تحقق المتطلبات والشروط المحددة .

في المرحلة الثانية :

يتم البحث التجريبي في التركيب الأولي للدارة المصممة .

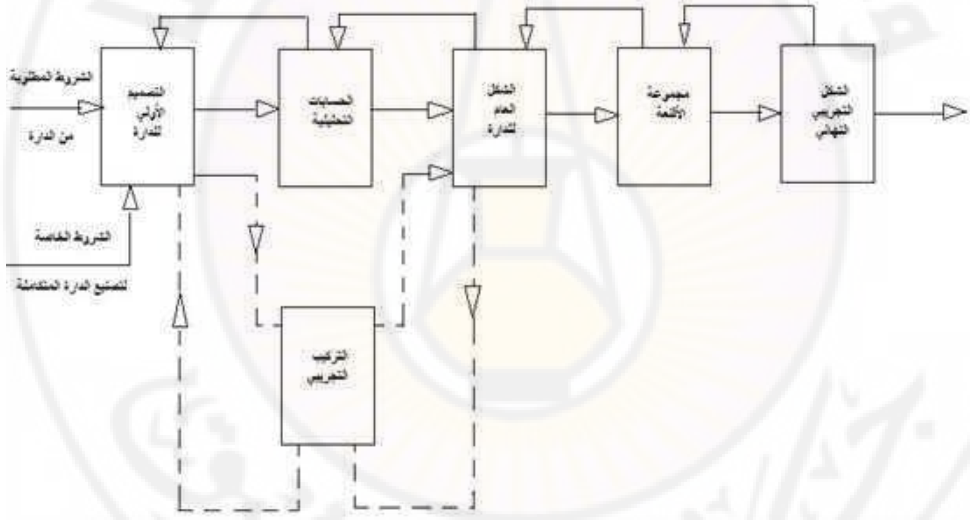
أي يمكن القول بأن بين المرحلة الأولى والثانية يتواجد تأثير متبادل حتى يتم الحصول على المجموعة الالكترونية الصحيحة التي تحقق الغرض المطلوب .

في المرحلة الثالثة :

يتم التركيب النهائي للنموذج التجريبي وبعد إجراء التجارب والاختبارات المختلفة على هذا النموذج يمكن أن يرسل إلى الإنتاج ويبدأ بتصنيعه بشكل نظامي

إن التأثير العكسي من المرحلة الثالثة إلى المرحلتين الأولى والثانية يعتبر قليلاً بشكل عام بحيث أن الإنتاج الكلي يمكن أن يتم بتعقيدات قليلة .

إن نسبة التعقيد في تطوير الدارات المتكاملة يعتبر عالياً بالمقارنة مع الحالة السابقة كما يظهر في الشكل (26-8) .



الشكل (26-8)

– يبدأ هنا بتصميم الدارة المطلوبة مع الأخذ بعين الاعتبار تقنية الدارات الالكترونية المتكاملة وكذلك الشروط الحدية التي تلعب دوراً كبيراً في تصميم الدارة .

إن عمل الدارات المتكاملة يمكن أن يتحقق كنموذج تجريبي . والفرق بالمقارنة مع الدارات الكلاسيكية أن النتائج الإيجابية التجريبية التي نحصل عليها لا تعن ي أنها مؤشر ضمان للعمل بشكل تام للدارة المصممة لذلك فإن برنامج حسابات خاص ضروري لحساب الدارات في هذه الحالة حيث تؤخذ كافة التأثيرات الطفيلية في النموذج الأصلي لتعطي بالتالي النتائج المطلوبة .

عندما تعطي الحسابات التحليلية نتائج موجبة فإن المخطط العام يكون أو يمكن أن يوضح بشكل نهائي . ولتنفيذ مخطط عملي للدارة فإن عدداً من الشروط الأساسية يجب أن تقدم من قبل المهندس حتى يمكن أن يتم التنفيذ مباشرة .

– في الدارات التي فيها كثافة التكامل المتوسط والعالي MSI: LSI حيث تتواجد أعداد هائلة من العناصر المترابطة فإنه يتم استخدام حسابات برامج خاصة بواسطة الحاسبات الالكترونية ولا يمكن حل إشكالات هذه الدارات إلا بواسطة أمثال هذه الحاسبات .

عند تصميم الدارة الالكترونية المتكاملة ووضع المخططات في المراحل الأولى فانه يجب أن يراعي على سبيل المثال مايلي :

- في تصميم الدارة يجب أن يراعى حذف الملفات بشكل تام كذلك فإن المكثفات ذات السعات التي هي أكبر من 100PF لا يمكن أن تدخل الدارة المتكاملة فإذا كانت الشروط الجديدة لا تؤمن إذا حذفت الملفات والسعات ففي هذه الحالة يضطر إلى إدخال الملفات والمكثفات إلى الدارة بشكل عناصر منفردة.
- في دارات أنصاف النواقل يجب أن تكون المقاومات ذات قيمة أقل من $20k\Omega$بقدرالامكان.

- ان المقاومات في الدارات المتكاملة تكون ذات سما حي ة مطلقة بحدود -+ 5% .
- العناصر ذات المساحة الصغيرة والتي هي بشكل عام الترانزستورات والثنائيات بالمقارنة مع المكثفات تستخدم بكثرة حيث يمكن تصنيع أعداد كبيرة من الترانزستورات ، مثلاً في مساحة صغيرة جداً . حيث يمكن أن تتوضع جميع المجمعات في هذه الحالة في جزيرة معزولة واحدة .
- إن الاستطاعة الضائعة يجب أن تكون صغيرة بقدر الإمكان وبالتالي فان عدد العناصر ذات المقاومة الأومية يجب أن تكون صغيرة وبقدر الإمكان. استخدام الترانزستورات المتتامة و استخدام مقاومات أحمال غير خطية يمكن أن يحقق هذا الطلب.

إن التأثيرات الطفيلية للعناصر والاستقرار الحراري يجب أن تؤخذ النقاط التالية :

- عند تركيب الدارة التجريبية Experiment Circuit يجب أن تؤخذ النقاط التالية :

تركيب الدارة يتم باستخدام عناصر متكاملة وهي تعتبر عناصر منفردة بشكل كسرات الكترونية أو متواجدة ضمن الشكل النظامي .حيث لا توجد غالباً بشكل منفرد لإجراء التجارب .

عندما لا يعطي النموذج التجريبي الخواص الحدية المطلوبة فإن الأسباب لذلك يجب أن تبحث بإجراء قياسات تدريجية حيث أن وجود تحليل نظري تام للمشاكل المفردة و المختلفة في غالب الأحيان يكون صعباّ و غير ممكن.

التصميم والتحليل الحسابي المبرمج للدارة المصممة يحتوي على برنامج تحليلي للشبكة الالكترونية حيث تكون الترانزستورات والمكثفات ممثلة من خلال دارتها

المكافئة مع أخذ بعين الاعتبار تأثيرات التيارا ت والجهود .ومن خلال التحكيم والتنظيم المتكرر للخواص فإنه يمكن الحصول على تقريب جيد للمحددات المطلوبة وبسبب الأهمية الكبيرة لعملية الحسابات والتحليل في تصميم الدارات الالكترونية فإن هذا يعتبر مجالاً اختصاصياً لعمل له أهمية في هذا المجال .

- من أجل التحضير ومعالجة الشكل العام لدارات المتكاملة فإن النقاط التالية يجب أن تؤخذ بعين الاعتبار :

– المقاومات في مجموعات دارات أنصاف النواقل يتم تحقيقها بصورة مشتركة مع انتشار القاعدة وهذا يعني أنه توجد تحديد أبعادها ومكانها فإن مساحة المقاومة القاعدة للترانزستورات تؤخذ كأساس .

–عرض المقاومات يتوافق مع السماحية المفروضة إذا كان من المفروض عدم تجاوز السماحية %20+- فإن العرض المعطى يجب أن يكون ضمن الحدود التي يفرضها المنتج .

–المقاومات ذات القيم العالية والمقاومات ذات السماحية القليلة تصنع كمقاومات نوع الطبقات الرقيقة Thin film Resistors على طبقة السيلكون silicon لبلوك الدارة نصف الناقلة وهذا ما يطلق عليه تقنية compensation technique .

–المكثفات في تقنيات الدارات المتكاملة تصنع اعتماداً على منطقة النضوب Depletion layer capacitance للمواد نصف الناقلة وبسعة أعظمية مقداره 100PF .

وغالباً تستخدم الوصلة الباعث–القاعدة كمكثفة وفقاً للمبدأ المذكور ولزيادة السعة يتم التوصيل لوصلة القاعدة– المجمع على التفرع. (ويتطلب غالباً أن تكون السعات غير متأثرة بتغير الجهود فيستخدم تقنية خاصة يطلق عليها MOS

capacitance ، إن الشكل العام للمكثف ضمن الدارة لا يعتبر حرجاً و إنما المساحة التي تتطلب المكثفة في الغالب هي الحرجة) .

للعزل المتبادل للعناصر الفعالة في تقنية الدارات المتكاملة التي تستخدم ترانزستورات عادية Bipolar transistors وهذا ما يطل ق عليه بالتالي اسم Bipolar Technique يتم العزل ضمن جزر خاصة عازلة وإن هذه الجزر يجب أن يكون انحيازها دائماً في حالة المنع انحيازاً عكسياً .

لذلك فإن القاعدة الأساسية من نوع P تتصل دائماّ بالجهد السالب و لمنع حالة الخرق بين الجزر العازلة والقاعدة الأساسية فإن الجهد القادم أصغر بكثير من جهد الخرق للمنطقة البلورية إلى القاعدة الأساسية و حيث يكون جهد الخرق بحدود 50 V إن عدد الجزر العازلة و كذلك مساحة السطح يجب أن تكون صغيرة بقدر الإمكان و بذلك تكون السعات الطفيلية (المقدرة ب $200\ PF/mm^2$) أصغر ما يمكن .

و تتوضع المقاومات في تقنية أنصاف النواقل للدارات المتكاملة جمعيها في جزيرة عازلة وحتى نضمن العزل المتبادل بينها فـإن الجزيرة من نوع "n" توصل مع الجهد الموجب .

– لتنظيم الترانزستورات ثنائية الأقطاب على الكسرة الالكترونية المتكاملة فإن النقاط التالية يجب أن تؤخذ بعين الاعتبار.

– الترانزستورات التي تتصل مجمعاتها بشكل مباشر إلى الجهد الموجب – أي الترانزستورات التي تعمل بشكل باعث مشترك– تتوضع في جزيرة المقاومات Resistor Insel.

–الترانزستورات ذات المجمعات المترابطة مع بعضها مثال على ذلك مجموعة دارلينغتون تتوضع عادة بصورة مشتركة في جزيرة معزولة. كافة الترانزستورات الأخرى يجب أن توضع في جزر منفصلة مع الأخذ بعين الاعتبار ضرورة جعل المساحة أصغر ما يمكن.

من أجل تنظيم وضع الثنائيات فإنه يوجد بشكل عام عدد كبير من الإمكانيات و يسعى عادة إلى وضعها في أحد جزر المقاومات أو الترانزستورات.

مجموعات الثنائيات ذات المصعد المشترك Anode تحقق عادة من وصلة الباعث – القاعدة و حيث تكون القاعدة من نوع P هي التي تشكل المصعد المشترك لهذه الثنائيات.

إذا لزم الحصول على مجموعات من الثنائيات ذات المهبط المشترك فإنه يتم استخدام وصلة القاعدة – المجمع و تكون الطبقة من نوع n المشكل للمجمع تعتبر كمهبط مشترك .

حتى يتم تصور الدارات المكونة من العناصر المذكورة سابقاً فإنه من المفيد أن يتم وضع شكل عام تنظم عليه العناصر التي ذكرت حتى الآن.

في هذه الدارات توضح جزر العازلية التي يجب أن تكون قليلة قدر الإمكان مجموعات جزر العازلية و يجب أن تتوفر ممرات ناقلي ة بدون أن يكون هناك تقاطع.

التقاطعات المطلوبة يمكن أن تحقق من خلال المقاومات الموجودة في الدارة.

إذا كان هذا غير ممكن فإنه يتطلب وجود جزيرة خاصة تؤمن هذا التقاطع للمداخل و المخارج للدارات المتكاملة على الكسرة الالكترونية و يجب أن تؤمن دون أن يحدث فيها أي تقاطع.

الخطوة الثانية لمعالجة الدارة تتركز في وضع القياسات للعناصر الداخلة في تركيب هذه الدارة و كذلك أبعاد هذه العناصر بعضها عن بعض.

إن أبعاد العناصر تتوقف على المتطلبات الكهربائية المفروضة أثناء تصميم الدارة و تعتبر هذه العناصر نموذجية يمكن الحصول عليها من الجداول الخاصة بذلك .

هذا و أن أبعاد العناصر بعضها عن بعض يتوقف على الخبرة المكتسبة من العمل.

بعد الانتهاء من تحديد هذه الصورة الأولية يتطلب إجراء فحص أولي للتأكد من توفر الشروط المطلوبة في الدارة و كذلك تحقيق الوصلات المطلوبة

بدون أخطاء و كون مساحة الكسرة المتكاملة أصغر ما يمكن (صغيرة بقدر الإمكان) وحتى نتمكن من الحصول على دقة عالية في الإنتاج فقد نضطر إلى القيام بتصحيح لبعض عناصر الدارة باستخدام الحاسب.

عند وضع نقاط الاتصال فإنه يجب مراعاة :

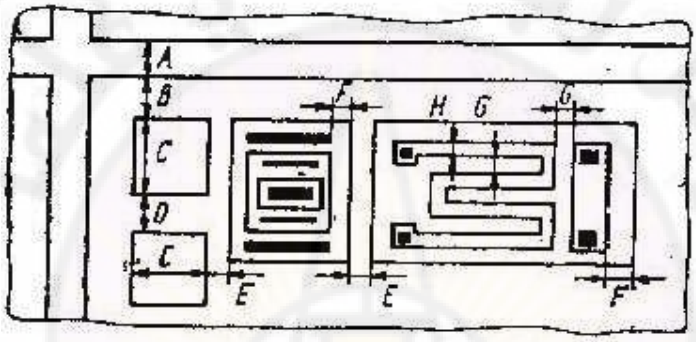
الممرات التي تجري ضمنها تيارات عالية و هذا يعني الوصلات لنقاط جهد التغذية إلى الأرض و كذلك للخرج يجب أن يحافظ على كونها عريضة .

جزر اللحام التي تكون بمساحة $(100 \times 100)\ \mu m$ تتوضع عادة على حواف الكسرة المتكاملة ضمن جزيرة معزولة وذلك للتقليل بقدر الإمكان للسعات الطفيلية بين الوصلات والقاعدة الأساسية.

عدد نقاط الوصل يجب أن تكون أقل ما يمكن وذلك حتى تكون قدرة وسهولة العمل أفضل للدارة.

عند تنظيم جزر الاتصال يجب أن نلاحظ أيضاً أن جهد العمل ونقطة الأرض يتوضعان على وصلات ظاهرة على الجسم ويجب أن يلاحظ ضرورة عدم وجود أي تقاطع بينهما.

إن اختيار الجسم الخارجي يكون تحت شروط الاستطاعة المبددة وكذلك عدد أرجل الدارة المتكاملة.



الشكل (27-8)

- **A: عرض مجال القطع**
- **B: عرض مجال وصلات اللحام**
- **C: طول الحرف لجزر اللحام**
- **D: المسافة بين جزيرة لحام وجزيرة اخرى**
- **E: البعد بين جزر العزل**
- **F: اطار العزل للعناصر "ضمن العنصر"**
- **G: مسافة العزل للعناصر بين بعضها**
- **H: عرض المقاومة**

الفصل التاسع

مدخل إلى تصميم الدارات المتكاملة

An introduction to the design of microelectronic integrated Circuits



9 1 – المقدمة

9 2 – الدارات المتكاملة الرقمية

9 3 – استخدام الترانزستور كعنصر ثنائي

9 4 – الدارات المنطقية ذات الترابط المباشر DCTL

9 5 – الدارات المنطقية– ترانزستور– مقاومات RTL

9 6 – الدارات المنطقية ترانزستور– ثنائي DTL

9 7 – دارات ترانزيستور– ترانزيستور المنطقية TTL

9 8 – الدارات المنطقية ذات الترابط الباعثي ECL

9 9 – الدارات المنطقية ذات الاثر الحقلي

9 10 –الترابط بين البوابات المنطقية

9 11 –المصفوفات المنطقية Logic array

9-1- مقدمة:

إن الغاية الأساسية من هذا الفصل هو تقديم دراسة موجزة عن الإمكانية المتوفرة لتصميم دارات متكاملة وكيف أن الحاجة لدارة الكترونية معينة تقود إلى استخدام تكنولوجيا قد تكون جديدة وخاصة لتلك الدارة.

المصمم للدارات العادية باستخدام عناصر الكترونية مفردة Discrete يمتلك القدرة والحرية في اختيار العناصر الفعالة وغير الفعالة ضمن مجال عريض من الإمكانيات،أما المصممون للدارات الإلكترونية الحديثة لديهم مرونة أقل في تصميم هذه الدارات فهي محددة ومقيدة بشكل أكبر من حيث نوع العناصر الملائمة للتكامل وكذلك السماحية tolerance العالية.

عملياً يوجد متطلبات اقتصادية فنية تتجلى بما يلي:

1 -تصغير مساحة الكسرة المتكاملة من أجل نفس التابع وهذا بحد ذاته قد يؤثر على المصمم ويجعله يغير تصميمه لدارة ما من دارة متكاملة تستخدم مقاومات انتشار متكاملة إلى دارة الكترونية متكاملة تستخدم عناصر فعالة كمقاومات رغم كون الدارة الأخيرة أكثر تعقيداً ولكن تنقص وبشكل كبير مساحة الكسرة الإلكترونية للدارة المتكاملة.

2 +الإمكانية الإنتاجية الاستهلاكية للدارة المتكاملة.

3 +اختصار إحدى مراحل الأقنعة مثلاً: الدارة الإلكترونية بشكل عام قد تكون ملائمة ولكن ذلك يقلل من قيمة الدارة الإلكترونية المتكاملة رغم قبولها والتخفيف من تعقيدها.

4 –في المجموعات الهندسية قد يكون الاهتمام موجهاً إلى المزايا والمحددات لكل نوع، وهذا يعتمد على تصميم الدارة وعلى التكنولوجيا التي ستصنع بموجبها الدارة.

إن تأثير تكنولوجيا الدارات المتكاملة على التصميم والعكس بالعكس سيتم بحثها في هذا الفصل من خلال أمثلة الدارات المنطقية الرقمية Digital circuits.(*)

Classification of integrated circuits(*)

Integrated circuits can be classified into analog, digital and mixed signal (both analog and digital on the same chip).

Digital integrated circuits can contain anything from one to millions of logic gates, flip-flops, multiplexers, and other circuits in a few square millimeters. The small size of these circuits allows high speed, low power dissipation, and reduced manufacturing cost compared with board-level integration. These digital ICs, typically microprocessors, DSPs, and micro controllers work using binary mathematics to process "one" and "zero" signals.

Analog ICs, such as sensors, power management circuits, and operational amplifiers, work by processing continuous signals. They perform functions like amplification, active filtering,

demodulation, mixing, etc. Analog ICs ease the burden on circuit designers by having expertly designed analog circuits

available instead of designing a difficult analog circuit from scratch.

ICs can also combine analog and digital circuits on a single chip to create functions such as A/D converters and D/A converters. Such circuits offer smaller size and lower cost, but must carefully account for signal interference.{10-1}

9-2- الدارات المتكاملة الرقمية Digital integrated circuits

إن الدارات المتكاملة قد وجدت تطبيقها الأعظمي في المجالات الرقمية digital application وبشكل خاص في الحواسب الرقمية Digital computers.

حيث تكون الحاجة لعدد كبير من الدارات المنطقية المتشابهة ، الدارات الإلكتروني ة تستخدم لتعطي فقط الجواب Yes/No.

لقد كانت التجارب الأولى على الحواسب الإلكترونية تعتمد على المجموعات العشرية Decimal system لكن هذا يسبب صعوبات كبيرة حيث أنه يحتاج لـ 10 مستويات جهود مختلفة لكل عملية تنظيم. والصعوبة في تنظيم هذه المستويات وتحديدها دعت إلى استخدام المجموعات الثنائية Binary system التي تتطلب فقط مستويي جهد two voltage levels إما 0 أو 1.

وإذا نظرنا إلى الجدول التالي الجدول(1–9) نشاهد العلاقة التي تربط بين المجموعات العشرية والثنائية المتكافئة، ويلاحظ أن الأعداد الثنائية تحتاج إلى نبضات متتالية أطول longer sequence of digital pulses بالمقارنة مع المكافئ العشري من أجل الأعداد العالية .

Decimal number	Equivalent Binary Number
0	0
1	1
2	10
3	11
4	100
5	101
6	110
7	111
8	1000
9	1001
10	1010
11	1011
12	1100
13	1101
14	1110
15	1111
16	10000
32	100000
64	1000000
128	10000000

الجدول(1–9)

مثال:

إن القيمة المكافئة للعدد الثنائي (2^{20}) 1048576 تساوي :

(2^{20}) = (100 000 000 000 000 000 000)

مع ذلك وبما أن الحواسب الرقمية يمكن أن تقوم بملايين العمليات البسيطة في الثانية فإن هذه الأعداد لا تشكل صعوبة تذكر في المعالجة الالكترونية logical 1 & logical 0 .

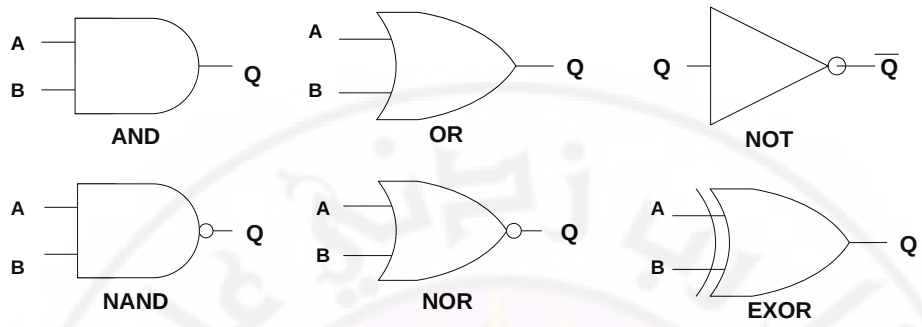
وللحصول على الجواب 0 , 1 الذي يعد حلاً للمشكلة المطروحة الكترونياً يتم استخدام دارات منطقية ثنائية binary logic circuits لتقوم بهذا العمل .

البوابات المنطقية الأساسية تتمثل بالبوابات الثلاثة التالية circuit :

- NOT gate
- AND gate
- OR gate

من البوابتين NOT , AND نحصل على البوابة NAND gate (negative AND).

من البوابتين NOT , OR نحصل على البوابة NOR gate (negative OR) وفقا للشكل (1-9)



الشكل (1-9)

الخواص التصميمية للدارات المنطقية الرقمية:

إن الخواص للدارات المنطقية الرقمية المتكاملة تتحدد من خلال النقاط التالية :

1 -عدد البوابات المنطقية number of logic gates في واحدة المساحة Per unit area للكسرة الإلكترونية المتكاملة أو ما يسمى تابع الكثافة function density يجب أن يكون أعظمياً.

2 -السرعة X الاستطاعة المنتجة speed × power product للتشغيل العملي يجب أن يكون كبيراً قدر الإمكان.

3 -الدارات المنطقية يجب أن تمتلك القدرة على المنع الكامل للضجيج.

ويبين الشكل (2-9) البوابات المنطقية الأساسية والمشتقة منها مع الرمز النظامي والتابع المنطقي وكذلك الخواص المميزة الأخرى

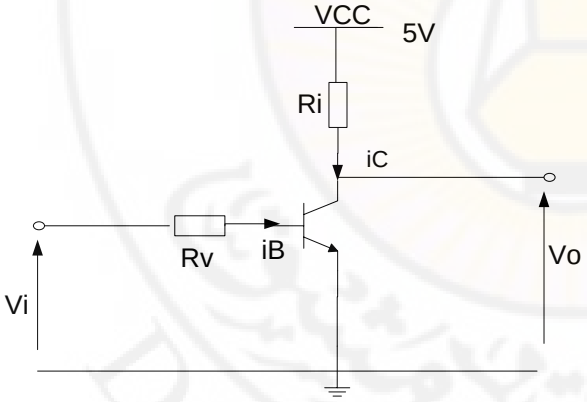
التابع المنطقي	الرمز	جدول الحقيقة	التابع	التصور باستخدام بوابة NAND	صور الأنواع	الأنواع	صورة الوصل
NOT						SN 7404 MC 4009	
AND						SN 7408	
OR						SN 7432	
NAND						SN 7400 MC 14011	
NOR						SN 7402 MC 14001	
EXOR						SN 7486 CD 4030A	

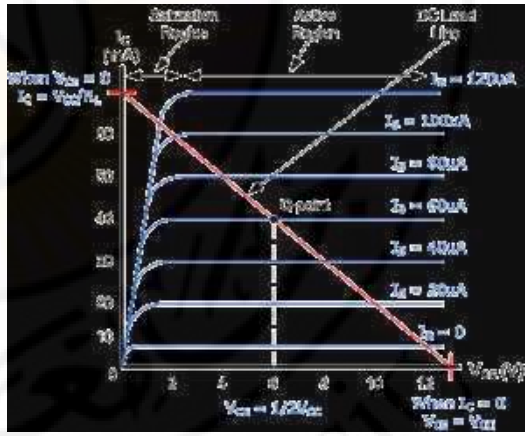
الشكل (2-9)

الأسس العملية التي تعتمد عليها الدارات المتكاملة الرقمية:

تعتمد الدارات المتكاملة الرقمية بشكل مطلق على استخدام الترانزستور كعنصر ثنائي (1 , 0) وذلك ضمن مفهوم دارات المنطق المشبع (Saturated logic circuits)

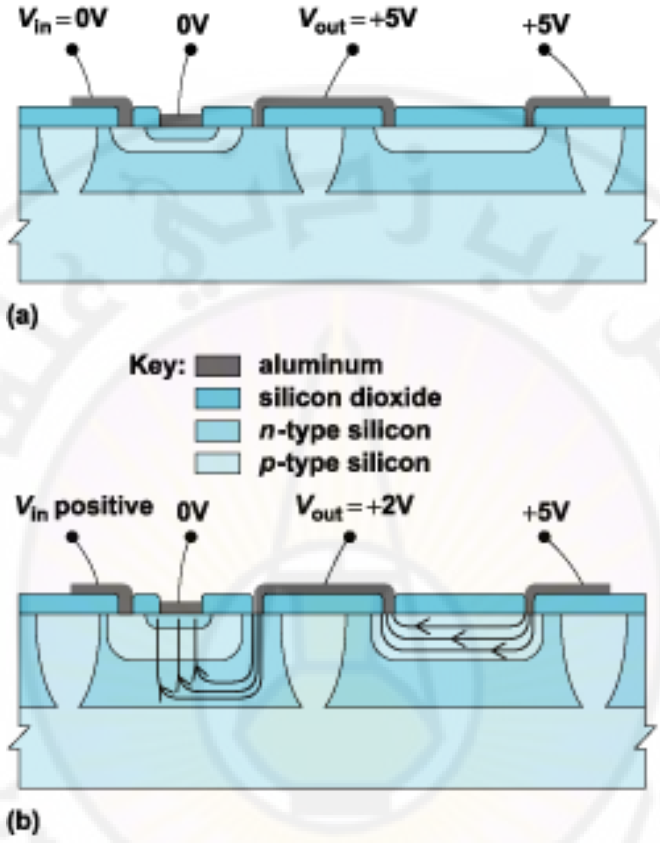
ويبين الشكل (3–9) دارة ترانزستور تعمل كمفتاح ثنائي وكذلك تظهر منحنيات التشغيل التوضيحية التي يعمل بموجبها الترانزيستور الذي يشكل البنية الأساسية المنطقية للدارات الرقمية :





الشكل (3–9) منحني العمل مع خط الحمل وتوضيح لحالتي العمل ON,OFF

ويبين الشكل أدناه المقطع العرضي التكنولوجي للترانزيستور مع المقاومة .



Operation of bipolar inverter circuit (cross-sectional view). (a) Input voltage V_{in} is zero. (b) Positive input voltage applied; arrows indicate direction of current flow.

توضيح اضافي للشكل (3–9) مقطع عرضي تكنولوجي لدارة الترانزيستور العاكس(مفتاح)

إن الترانزستور يعمل بالتناوب بين منطقتي القطع و التشبع وبالتالي تتحرك نقطة العمل على طول خط الحمل ذي الميل $\frac{1}{RL}$ ،(إذا كان الترانزستور لا يحتوي في الخرج على أي حمل آخر) .

حالات الفتح المختارة لها الميزات في أن مستوى الجهد U_L, U_H ذو تأثير بسيط على معاملات الترانزستور المختلفة لأن اختيار نقطة العمل في المنطقة الفعالة يجعل الخرج متعلقاً بشكل أساسي بـ R_L and I_B, B_N .

سنجري الدراسة بافتراض تقريب مقبول بحيث أن تيار المجمع في منطقة الحدود للتشبع يساوي نفس التيار في منطقة التشبع.

وفي هذه الحالة يكون

$$U_{CE\,S} << U_{CC}$$

$$ICO = \frac{UC - UCEs}{RL} \approx \frac{Uo}{RL} \approx \frac{Ucc}{RL}$$

IBS: تيار القاعدة في مرحلة الفتح.

IBO: تيار القاعدة عند حدود التشبع.

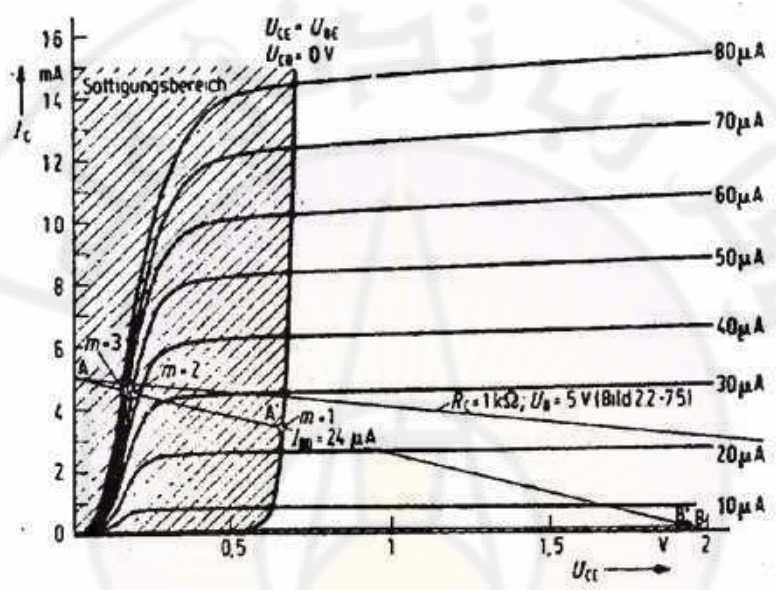
فإن شرط التشبع يكون إذاً :

شرط التشبع: $IBS > IBO = \frac{ICO}{\beta N}$

حتى تكون هذه الشروط محققة بصورة تامة يجب أن يكون: $IBS >> IBO$

وتسمى النسبة:

$m = \frac{IBS}{IBO}$ درجة ما فوق الحمل توضح اعتماداً على الشكل(4–9)



الشكل (4–9) منحنيات الترانزيستور مع درجات التحميل العملية عندما يستخدم الترانزيستور كمفتاح .

$$m = \frac{IBS}{IBO}$$

$IBO \rightarrow UBE = UCE$ تيار القاعدة

$UCB = 0$ هذا يعني:

في الشكل (4–9) المنحني البياني المثالي موقعاً عليه النقطتان A, B ، وكلتا النقطتين لا يمكن الحصول عليهما في الحالة العملية،

إذا لم يمر تيار التحكم IB فإن دائرة التحكم تكون مفتوحة ويكون تيار المجمع – الباعث قليلاً ويساوي إلى حد ما تيار التسريب وهذا يطابق النقطة `B، النقطة `A مرتبطة بتيار القاعدة.

مقياس التشبع (حالة فوق التشبع): الذي هو عامل نسبة ويعطي مقدار ما يمر من تيار في القاعدة (التيار الحقيقي) إلى تيار القاعدة الضروري الذي يجعل الجهد بين المجمع والقاعدة يساوي الصفر (UCB = 0V) ويعطى بالمعامل m :

$$m = \frac{IBS}{IBO}$$

حيث أن IBO هو تيار القاعدة من أجل $UBE = UCE$ ويكون $UCB = 0$ من الشكل نرى أن:

$$IBO = 24\ \mu A$$

إذا تم جعل الترانزستور يعمل في مجال الإشباع (saturated mode) نحصل على نقاط عمل بين `A والنقطة المثالية A.

إن وضع نقطة العمل يعتمد على عامل فوق الحمل m ، وفي الغالب تأخذ m القيمة من 2 إلى 3 وذلك لأن حالة فوق الحمل الكبيرة لا تعطي ربحاً زائداً وإنما بالعكس تسبب ازدياداً في زمن العمل.

وعندما يعمل الترانزستور ضمن مجال الإشباع فإن الترانزيستور يكون بحالة ناقلية.

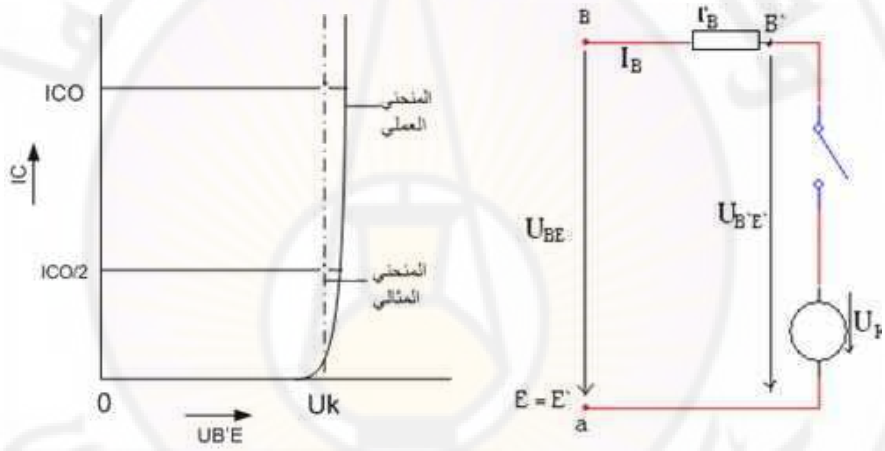
كذلك في حالة القطع لا توجد نقطة قطع واحدة وإنما يوجد مجال بين `B و B.

كما في الشكل (4–9) .

لكي نتمكن من حساب منحني العبور UQ = F(Ul) للترانزستور:

يجب أولاً: حساب *IB* المتعلقة بجهد الدخل *UI*.

إذا أهملنا مقاومة الباعث للترانزستور وأبقينا على مقاومة القاعدة r_B نحصل على الدارة التقريبية المبينة في الشكل (5–9) .



الشكل (5-9)

عندما يكون $UBE = UB`E` = UK$ يبدأ الترانزستور بالناقلية .

الجهد UK : القيمة التي تجعل الترانزستور يسمح بتمرير نصف تياره الاسمي

أي: $$IC = \frac{ICO}{2}$$

هذا التحديد يأخذ قيمته في المنحني المتناظر *IC, UCE* لعملية التحول.

من الشكل نجد:

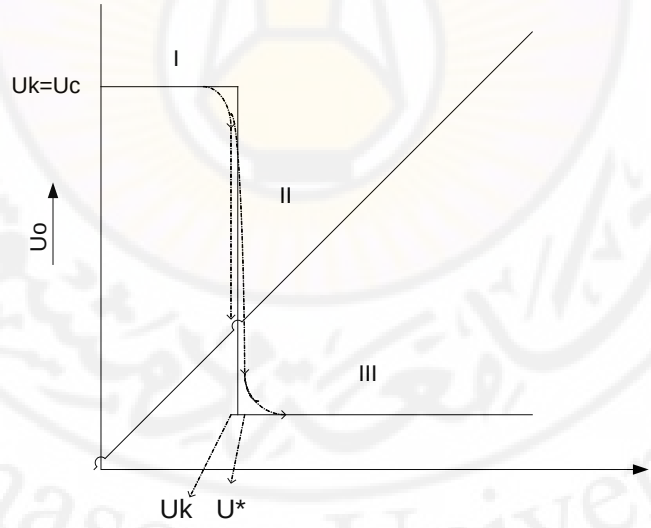
$$IB = \frac{UI - UK}{Rv + I'B}$$

وبالتالي يكون:

$$UQ = \frac{Ucc - (UI - UK).BN.RL}{Rv + I'B}$$

التضخيم الجهد في مجال العبور في إطار التقريب المطبق يساوي :

$$Vu = \frac{dUQ}{dUI} = \frac{-BN.RL}{Rv + I'B}$$



شكل (5–9)

الشكل (5–9) يبين منحني العبور موضحاً عليه المراحل الثلاث:

I. مجال القطع.

II. مجال التضخيم.

III. مجال الإشباع.

عند تحميل خرج الترانزستور القالب بمراحل مشابهة فإن UH تنخفض.

بإجراء نفس الدراسة السابقة فإنه من أجل $UQ > UK$ يمر تيار إضافي في مقاومة الحمل RL، فإذا كان عدد مراحل الخرج يساوي N مرحلة وكانت الحالة في مستوى مرتفع H فإن UK تحت تأثير الجهد UBE يقود الترانزستور إلى $S,UB'E'$ إلى حالة الإشباع ويكون:

$$UH = UCC - N.\,IBS.\,RL$$

$$IBS = \frac{UCC - UB'E's}{Rv + I'B + N.RL}$$

$$IBS = \frac{UH - UB'E's}{Rv + rB}$$

ومنه نجد:

$$UH = \frac{(UCC + UB'E's).(\frac{N.RL}{Rv + rB})}{1 + \frac{N.RL}{Rv + rB}}$$

واعتماداً على العلاقة:

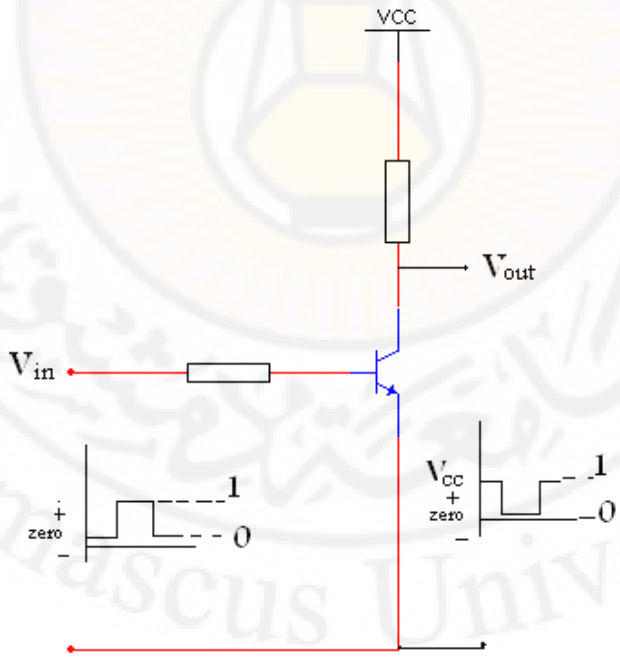
$$IBS > IBO = \frac{ICO}{\beta N}$$

نجد:

$$\eta \max = BN.(1 - \frac{UB'E's}{UCC}) - (\frac{Rv + rB}{RL})$$

وبما أن BN تنخفض مع ازدياد درجة الحرارة و $UB'E's$ تزداد فإن $\eta \max$ يجب أن تحدد من أجل حدود ودرجة حرارة العمل الفعلية.

الشكل (6-9) يبين دارة الترانزستور الأساسية كقالب في هذه الدارة يلاحظ قلب إشارتي الدخل والخرج وأن إشارة الدخل قرب الصفر تكون ذات منطق صفر ويكون بالمقابل الخرج أعظمياً أي منطق H وعندما يكون جهد الدخل موجباً أي المنطق H فإن جهد الخرج يكون ذو منطق صفر.



الشكل (6-9)

3-9- حدود الضجيج ومستويات الجهد للإشارة المنطقية

Noise margin &logic signal voltage levels

صممت دارات البوابات المنطقية logic gates للعمل عند مستويين من الإشارات في الدخل والخرج :

المستوى العالي : (1) high level والمستوى المنخفض (0) low level ، و تمثل هذه المستويات بجهود مختلفة ، حيث يمكن أن يمثل كامل جهد التغذية المستوى العالي ، والجهد صفر يمثل المستوى المنخفض ، وفي الحالة النموذجية للعمل المنطقي فان كافة الإشارات للدارات المنطقية ستتواجد عند حدود الجهود هذه ولا تنحرف عنها .

إلا أنه في الواقع التطبيقي فإن مستويات جهود الإشارات المنطقية نادراً ما تحقق هذه الحدود المثالية بسبب تغيرات الجهود انخفاضاً أو ارتفاعاً .
لذلك يجب أن نفهم حدود مستويات الإشارة لدارات البوابات المنطقية عندما نحاول دراسة إشارات الجهود الواقعة بين كامل جهد التغذية والجهد صفر .

ففي بوابات الـ TTL جهد التغذية الاسمي هو بحدود :

5 V + - 0,25 v

وفي الحالة المثالية تكون إشارة المستوى للمنطق العالي للـ TTL مساوية لـ: (5 V)

وإشارة المستوى للمنطق المنخفض للـ TTL تساوي القيمة:

(0) Volt

لكن نلاحظ إن دارة بوابة TTL الحقيقية لا تحقق مستويات خرج مثالية كهذه ، وهي مصممة لتقبل إشارات المستوى العالي والمنخفض مختلفة جوهرياً عن القيم المثالية :

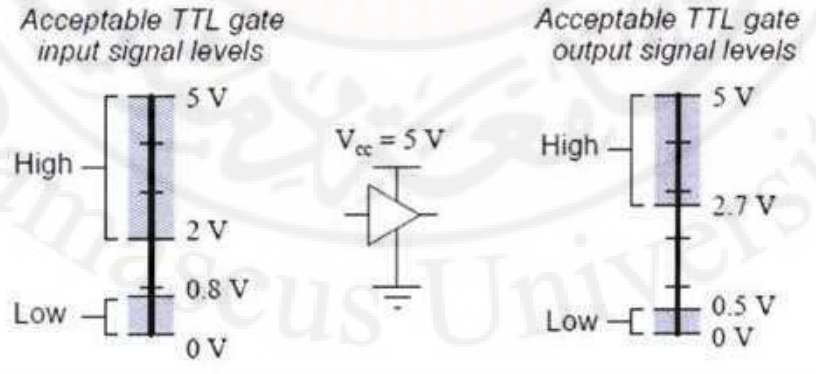
- إشارات الجهد المقبولة للدخل المنطقي لبوابات الـ TTL تتراوح بين القيمتين:

Logic low 0 = 0 volt to 0,8 volt
Logic High 1 = 2 volt to 5 volt

- إشارات الجهد المقبولة للخرج المنطقي لبوابات الـ TTL تتراوح بين القيمتين

Logic low 0 = 0 volt to 0,5 volt
Logic High 1 = 2,7 volt to 5 volt

وهذا مبين تخطيطياً في الشكل (7-9)



الشكل(7-9) تمثيل مستويات الجهد المنطقي للدخل والخرج

فعند إشارة للجهد بين 0,8 volt and 2 volt على دخل البوابة TTL لن يحدث أيه استجابة محددة للبوابة في هذه الحالة .

وكما نلاحظ من مجال التغير المنطقي لمستويات إشارة الخرج نرى أنه أضيق من المستويات المنطقية لإشارة الدخل .

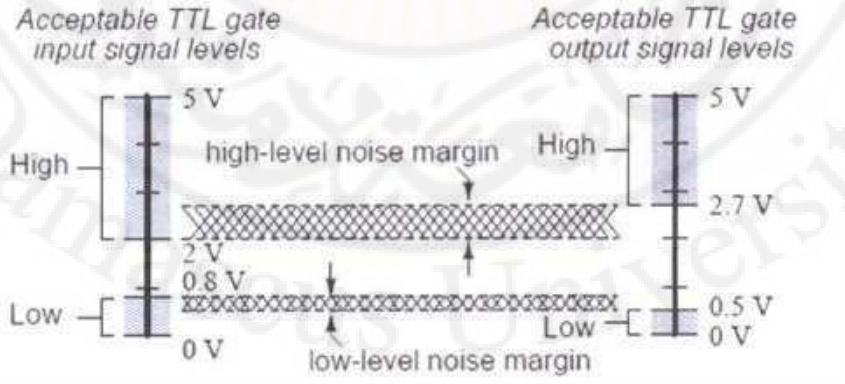
إن هذه الفروق في القيم المنطقية قد صممت من اجل ضمان العمل المنطقي لدارات الـ TTLالمنطقية . ويدعى الاختلاف بين المجالين المنطقيين للدخل والخرج بهامش الضجيج للبوابة noise margin of the gate .

حيث نلاحظ إنه بالنسبة لبوابات الـ TTL يكون مستوى هامش الضجيج المنخفض هو الاختلاف بين (0.8) فولت و(0.5) فولت (أي 0.3 فولت) ، بينما يكون مستوى هامش الضجيج المرتفع هو الاختلاف بين (2.7) فولت و(2) فولت (أي 0.7 فولت)

ببساطة نجد إن هامش الضجيج:

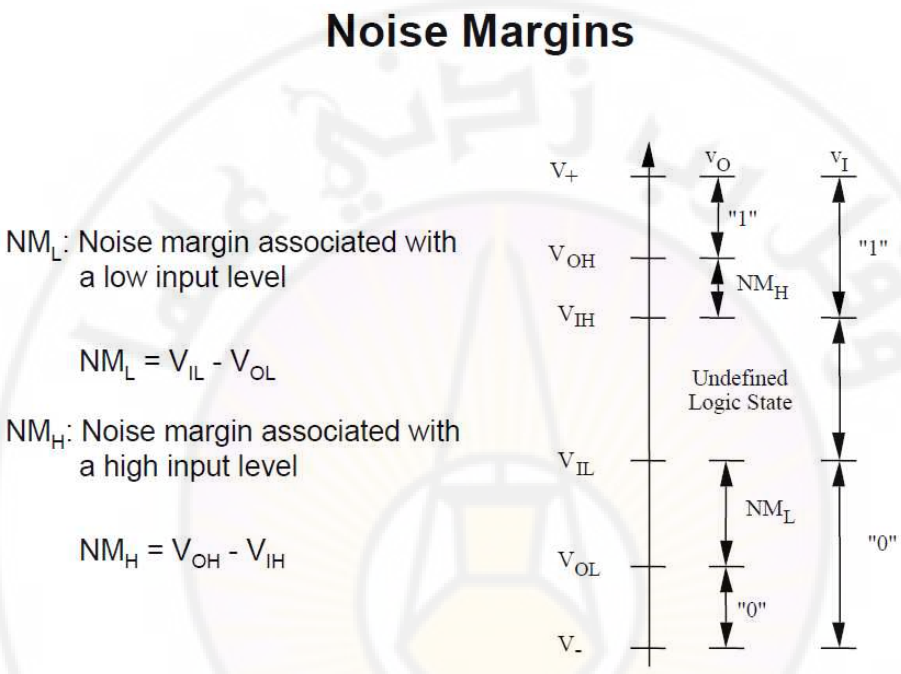
هو مقدار جهد الضجيج الذي يمكن أن يُضع فوق إشارة جهد خرج البوابة المنطقية قبل أن تفسره بوابة الاستقبال بشكل خاطئ .

وهذا موضح في الشكل (8-9)



الشكل(8-9) تمثيل مستويات هامش الضجيج للمنطق المنخفض والمرتفع

ويمكن أن نلخص هذه المفاهيم وفقاً للشكل(9–9)



الشكل (9–9) ملخص إجمالي لمفهوم حدود الضجيج

9-4-الدارات المنطقية ذات الترابط المباشر :

The direct-coupled transistor-logic (DCTL) gate:

- تعتبر هذه الدارات من أقدم وأبسط أنواع الدارات المنطقية المتكاملة .

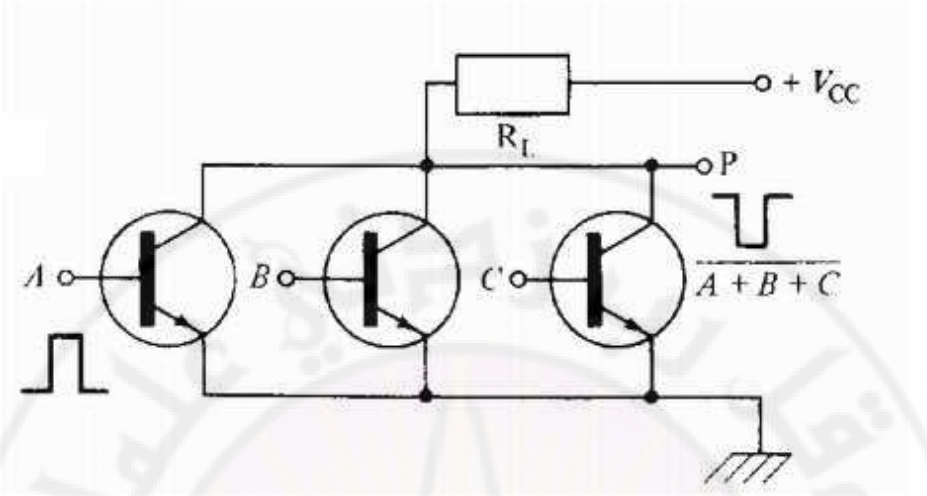
- تم حذف مكثف الربط في هذه الدارات ويكون الوصل مباشراً بين المراحل المختلفة.
- إن تجنب استخدام حذف المكثفات له مزايا في الدارات المتكاملة أدى إلى إلغاء الصعوبة الأساسية في الدارات المتكاملة الناتجة عن صعوبات المساحة التي تشغلها هذه المكثفات.

- تعتبر دارة NOR الدارة الأساسية في مجموعة DCTL gates .

- في هذه الدارة يتم استخدام ترانزستور منفصل لكل دخل والمجمعات متصلة بعضها ببعض إلى الحمل المشترك R_L .

- في الشكل (9-10) عندما تكون المداخل على جهد المنطق صفراً " 0" فإنه لا يوجد تيار في أي من المجمعات للترانزستورات ويكون بالتالي جهد المجمع مساوياً لجهد التغذية Vcc ويعطي بالتالي في الخرج المنطق العالي "1".

- إذا طبقت نبضة موجبة على أحد المداخل (A:B:C) أي المنطق " 1" على أحد المداخل فإن تيار المجمع يمر في الترانزستور الناقل ويهبط الجهد على مجمع الترانزستور الناقل إلى جهد التشبع $V_{CE(sat)}$ الذي يعطي بالتالي المنطق "0".



الشكل (9-10)

- الشكل (9–11) يبين وضع الدارة ذات الترابط المباشر في حالة التحميل البوابة G11 تستقبل الدخل من V1 الذي هو خرج G0 والذي يؤثر بدوره على بوابات الحمل الأخرى G12.....G1N وبنفس الصورة تؤثر البوابة G11 على مجموعة الأحمال التالية: G2N;G21.هنا الشكل 9–11
- إذا كانت أي من هذه البوابات تحتوي على مداخل أكثر من المداخل المطلوبة في الحالة العملية لتابع ما فإن المداخل غير المستخدمة يجب أن تؤرض فيكون بالتالي الترانزستور غير المشغول في حالة قطع ولا يؤثر على حالة عمل البوابة.

- **لنحسب الآن مستويات الجهد على دخل وخرج الدارة المنطقية ذات الترابط المباشر التالية:**

نفترض أن مداخل البوابة G0 كافة ذات مستوى جهد منخفض بشكل كاف بحيث أن ترانزستورات G0 كافة في حالة قطع cut off، المجمع المشترك أو لـ G0 سيرتفع ويقود الترانزستورات T1,T2,….TN إلى حالة التشبع.

حيث أن جهد تشبع الترانزيستور في درجة حرارة الغرفة V_{BE}=0.75 V

وهكذا فإن مستوى جهد البوابة الذي يقابل المنطق " 1" في الخرج لـ G0 يكافئ V_{BE} =0.75 V.

التيار الذي يغذي قواعد الترانزستورات T1,T2,…….TN يتم استجراره من المنبع Vcc عبر المقاومة Rc.

في هذه الحالة سيتم فرض أن Rc صغيرة بدرجة كافية لكي تتمكن من تأمين التيار للترانزستور T1,T2,….TN في حالة الإشباع.

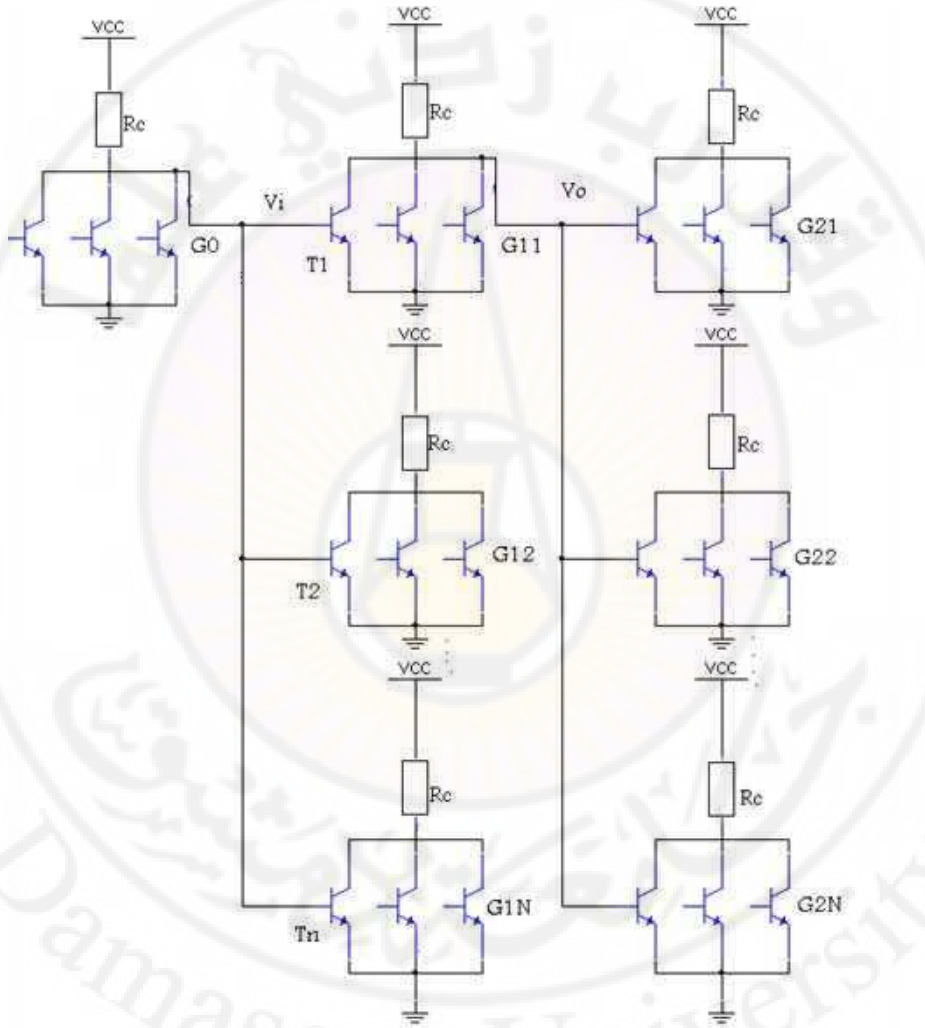
قيمة التيار تساوي:

$$I = \frac{VCC - VBE}{RC} = \frac{VCC - 0.75}{RC}$$

ويكون تيار القاعدة لكل ترانزستور (T1,T2,…..,TN) يساوي:

$$IB = \frac{VCC - 0.75}{N.RC}$$

وذلك مع افتراض أن جميع الترانزستورات T1,T2,…,TN متماثلة تماماً وأن التيار قاد هذه الترانزستورات إلى حالة الإشباع وملاحظة أن جهد مجمع البوابة G0 لن يرتفع عن القيمة $V_{BE} = 0.75\ V$.



DCTL NOR gate with a fan-out of N.

الشكل (11–9)

بما أن أحد المداخل المنطقية للبوابة G11 في المستوى " 1" فإن مستوى الخرج المنطقي يكون " 0" ويكون مساوياً $V_{CE} = V_{CE(sat)}$ وقيمته النموذجية بين 0.1…..0.7V

وهذا يعتمد على جريان التيار عبر المقاومة Rc للبوابة G11 وهذا الجهد المنخفض القيمة يطبق على مدخل البوابة التالية G21 وقيمته غير كافية لفتح هذه البوابة.

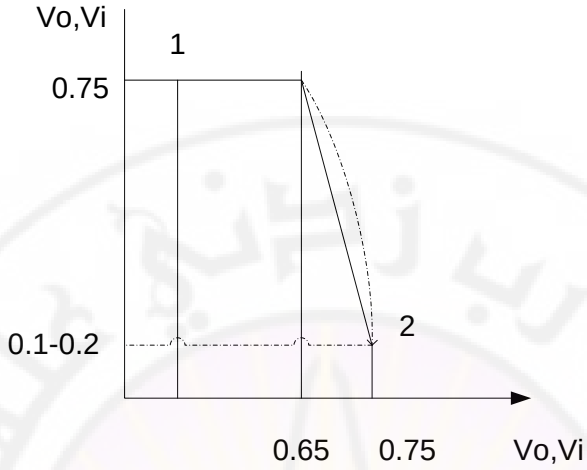
من هذه الدراسة نلاحظ أن المستوى المنطقي 0:1 لهذه الدارة يتأرجح بين القيمتين:

.(0.1, 0.75)v

* الشكل التالي(12–9) يبين خواص الدخل والخرج لبوابة DCTL الأساسية NOR.

يلاحظ أن الجهد Vo للبوابة G11 تابع لجهد الدخل Vi المطبق على أحد ترانزستورات البوابة.

في النقطة 1 يكون Vi ذا قيمة دنيا ويساوي 0.2 v or 0.2 0.1 = $V_{CE(sat)}$ يعتمد على جهد تشبع البوابة G0.



الشكل (12–9)

في هذه الحالة يكون الجهد Vo مساوياً لـ 0.75v تبعاً لتحميل البوابات G21,G22 الخ.....

عندما تزداد Vi يبقى T1 في حالة قطع حتى يصل الجهد إلى القيمة 0.65V حيث يبدأ التحول في حالة الترانزستور ليصل إلى حالة الفتح الكامل عند الجهد 0.75V ويصل إلى النقطة "2" ويكون منطق خرج الدارة في هذه الحالة "0" ويساوي 0.1 – 0.2V.وكما هو مبين في الشكل (12–9).

انزلاق التيار في الدارات المنطقية ذات الترابط المباشر:

Current hogging in DCTL gates:

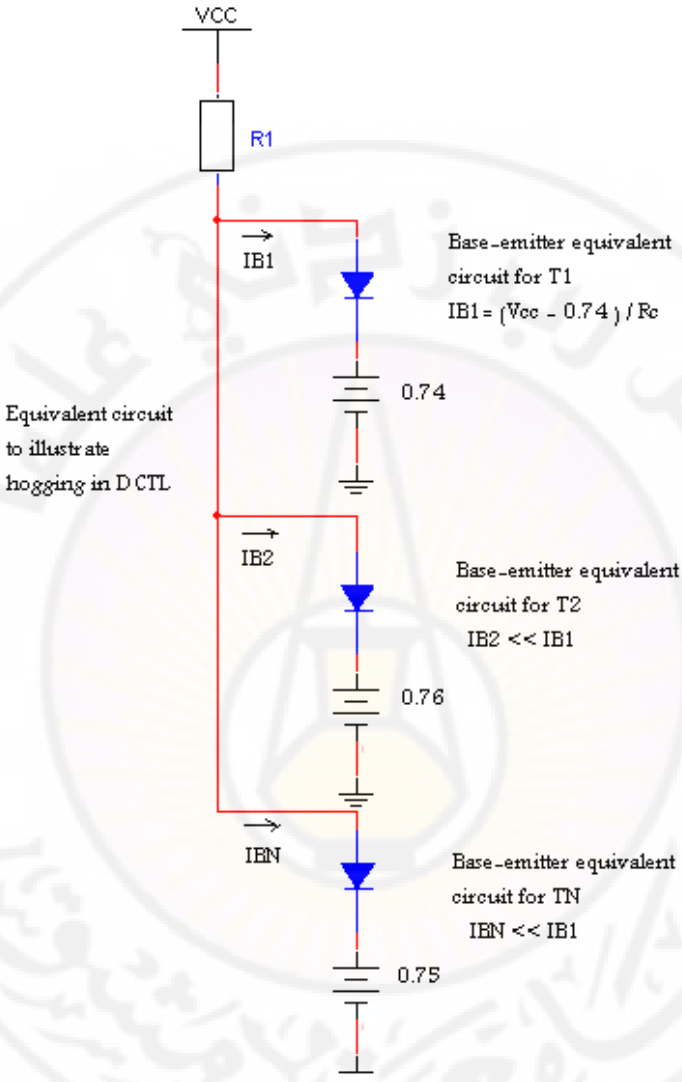
إن البوابات المنطقية ذات الترابط المباشر تعاني من مشكلة انزلاق التيار والتي يمكن التغلب عليها في حالة كون الترانزستورات المستخدمة جميعها متشابهة تماماً.

لنعد إلى الشكل 8–8 ولنفرض أن خرج البوابة G0 عند المستوى المنطقي "1" فإن T1،T2.....الخ ستقاد إلى حالة التشبع.

ولكن إذا كان على سبيل المثال جهد التشبع للترانزستور T1 أي V_{BE} يساوي 0.74V وجهد القاعدة الباعث V_{BE} اللازم للترانزستور T2 ليقاد إلى حالة الإشباع يساوي 0.76V بينما يكون المجال الفعال الذي أصبح متوافراً يساوي 0.74V وبالتالي فلن يصبح الترانزستور T2 في حالة إشباع.

إن هذا الاختلاف غير متعلق بكون الترانزستورين مختلفين فقط ولكن يؤكد أن T1 و T2 قد يكونان في دارتين متكاملتين مختلفتين ويعملان في درجتي حرارة مختلفتين، الشكل (13–9) يبين خرج الدارة G0 ودارة القاعدة الباعث المكافئة لـ T1 و T2 و ... TN.

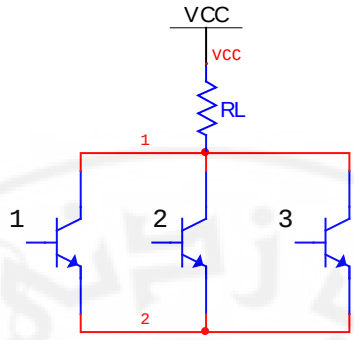
الترانزستور T1 سوف يسحب معظم التيار المقدم من *Vcc* عبر *Rc* والترانزستورات الأخرى التي لها جهد قاعدة باعث أعلى من 0.74V مثل T2 ستكون فقيرة بتيار القاعدة ولن تكون قادرة على الوصول إلى حالة الإشباع المطلوبة. إن ظاهرة انزلاق التيار التي تعتبر خاصة في الدارات ذات الترابط المباشر تبين لماذا قل استخدام هذا النوع من الدارات.



الشكل (13-9)

مثال تطبيقي :

المطلوب تحديد أبعاد المقاومة و الترانزستور لدارة DCTL المبينة بالشكل إذا كانت لدينا المعلومات التالية :



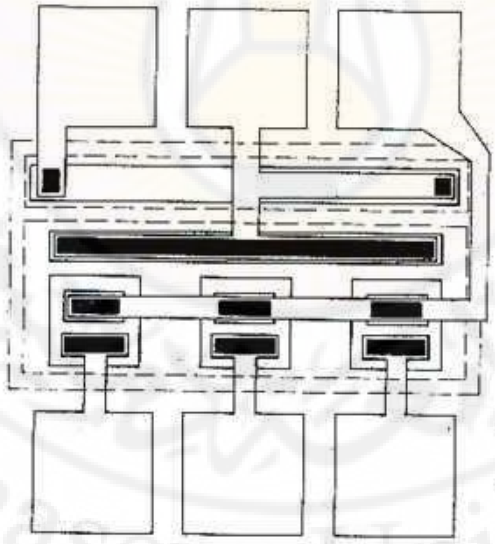
ρs =200 ;

s(max)=1000A/cm^2 ; (الكثافة العظمى المسموحة لتيار الترانزستور)

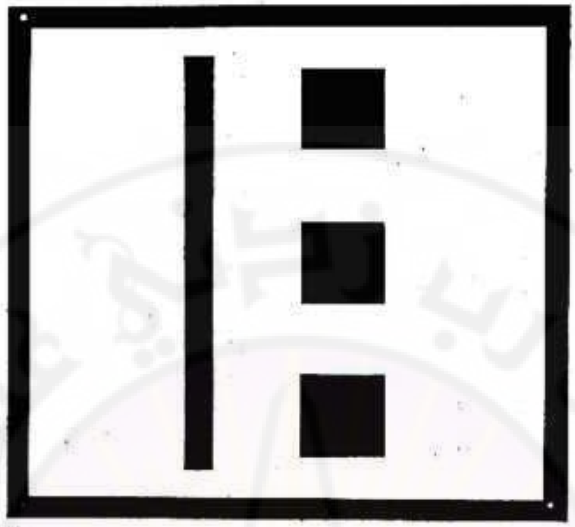
كثافة الاستطاعة الضائعة (العظمى) الحرارية في المقاومة :

ρv(max)=8 W/mm^2

Vcc=5.2v , R_L=2.4 KΩ , δ = 5 µm العرض الأدنى للوصلة



Layout des DCTL-Gatters



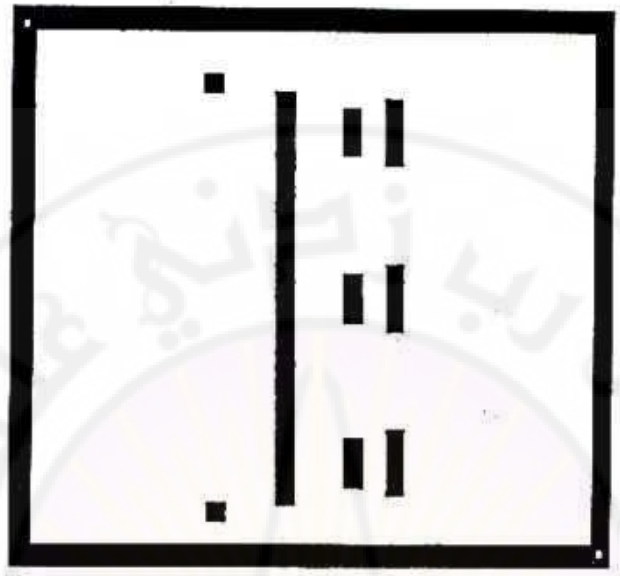
a)



b)

Maskensatz für das DCTL-Gatter

a) Maske für die Basis- und Widerstandsdiffusion; b) Maske für die Emitter- und Kollektorkontaktdiffusion; c) Maske für die Kontaktfenster; d) Maske für die Metallisierungen



c)



d)

Bild 5.52

مجموعة الأقنعة لبوابة DCTL

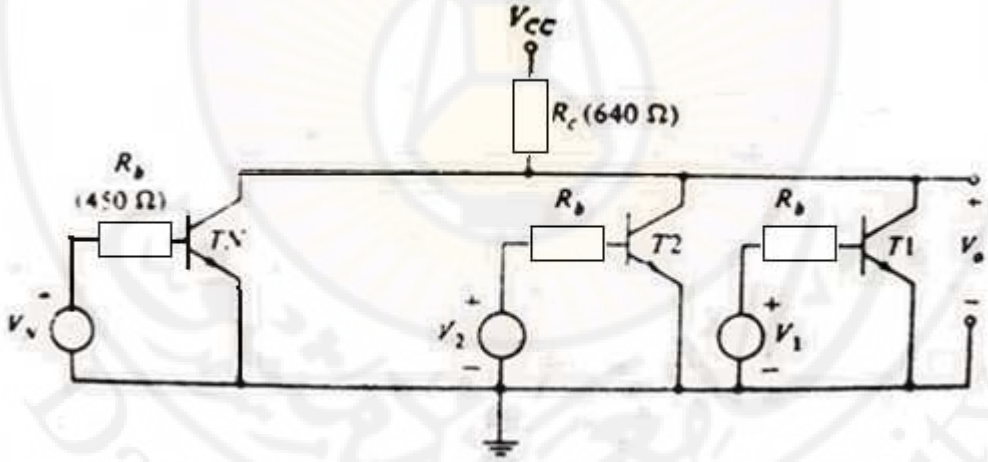
A: قناع انتشار المقاومة ، B : قناع انتشار الباعث والمجمع

C: قناع نوافذ الاتصال ، D : قناع الانتشار المعدني

9-6- دارات الترانزستور والمقاومات المنطقية:

Resistor-Transistor Logic (RTL)

تعتبر هذه الدارات تطويراً للدارات المنطقية ذات الترابط المباشر DCTL وذلك لإنقاص أثر انزلاق التيار current-hogging difficulty Effect وذلك عن طريق إضافة مقاومة انتشار R_B على التسلسل مع قواعد الترانزستورات كافة كما هو مبين في الشكل.(11-8)



الشكل (11-9)

الفرق بين دارات RTL ودارات DCTL :

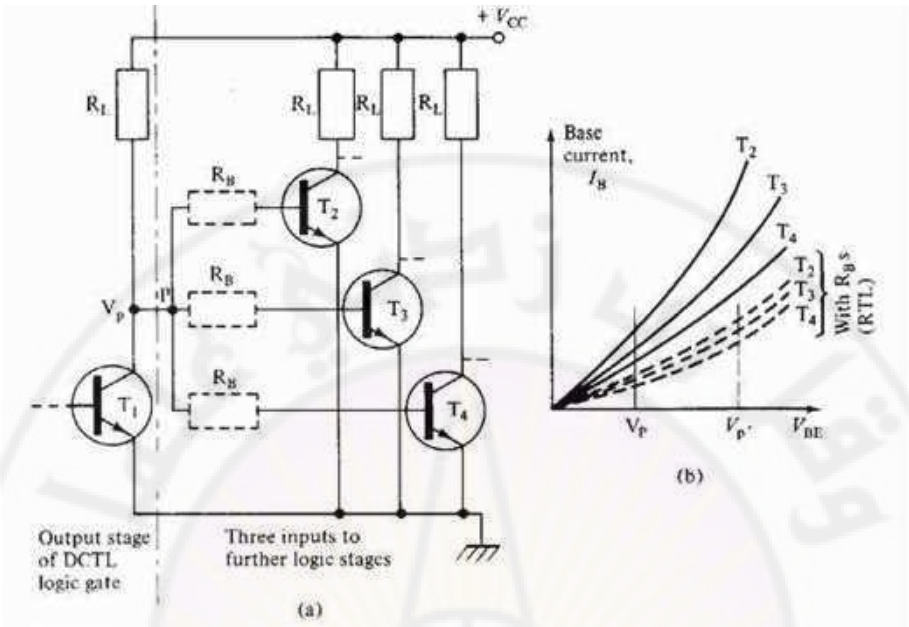
I. في دارات RTL كي يحدث القلب للترانزستور turn ON يجب أن يزداد جهد الدخل إلى القيمة Vi = Vp1 بدلاً من Vi = Vp بالنسبة لدارات DCTL .

II. التوابع المنطقية لدارات RTL متماثلة مع DCTL حيث أن دارة NOR تعتبر أيضاً الدارة المنطقية الأساسية لهذا النوع من الدارات.

III. ظاهرة انزلاق التيار قد خفضت كثيراً في دارات RTL مقارنة مع دارات DCTL كما أن الحصانة ضد الضجيج يمكن أن تحقق برفع نقطة العتبة.

IV. دارات RTL تعتبر أبطأ من الدارات ذات الترابط المباشر المتناظرة معها والسبب يعود إلى زيادة الثابت الزمني نتيجة لدخول المقاومة Rb، إلا أن هذه الدارات يمكن أن تسرع باستخدام ترانزستورات سريعة جداً وتخفض من مقاومة القاعدة وهذا يكون بالتالي على حساب ازدياد الاستطاعة المبددة.

V. إن مقاومة الانتشار المستخدمة في دارات RTL تحتاج إلى مساحة كبيرة من الكسرة وهذه من مساوئ هذه الدارات.



(a) Fan-out of DCTL circuits (the R_Bs are included for RTL circuits only) and (b) possible mutual characteristics of input transistors T_{2-4}, with and without base resistors.

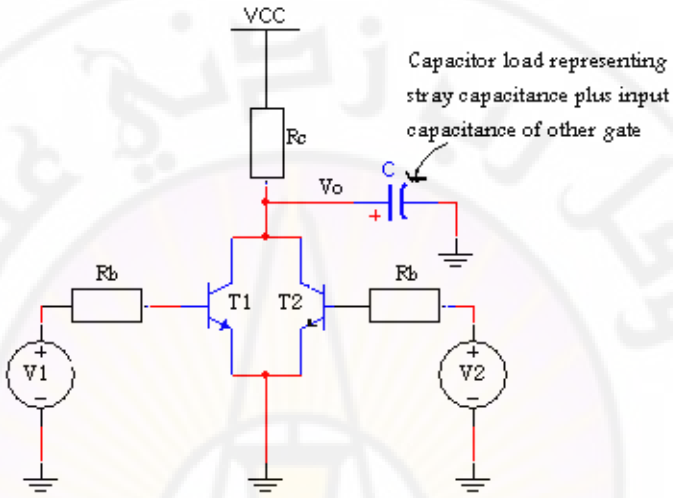
الشكل (12–9) دارة DCTL بعد تحسينها بوضع المقاومات R_B

ويلاحظ من الشكل –b- ازدياد جهد الدخل الذي يسبب القلب إلى القيمة V_{Pi} بدلاً من V_P عند وضع المقاومات R_B مع قاعدة الترانزستورات.

مقاومة السحب: Pull-UP resistor :

يلاحظ من الشكل (11–9) أن مقاومة المجمع النموذجية تكون بحدود Rc = 640 ومقاومة القاعدة Rb = 450Ω وبوابات RTL ذات الاستطاعة المنخفضة تكون قيم مقاومتها أعلى Rc = 3.64k و Rb = 1.5k ومن مساوئ البوابات ذات الاستطاعة المنخفضة بطء الاستجابة كما ذكرنا سابقاً أي أن زمن الانتشار يكون أطول والسبب يعود إلى السعة التشردية.

إن المقاومة Rc في هذه البوابات يطلق عليها في الغالب اسم Passive pull-up resistor والسبب يمكن تفسيره اعتماداً على الشكل (13–8).



الشكل (13-8)

إن بوابة RTL محملة سعوياً وهذه السعة C مؤلفة من السعة التشردية مع سعة وصلة القاعدة–الباعث للبوابة التالية التي تحملها هذه الدارة.

إذا فرضنا أن الترانزستور V_i = V1H و V2 = V2L فإن الترانزستور T1 بحالة اشباع وكان T2 بحالة قطع وكانت Vo دالة على "0" منطقي.

الآن إذا أصبحت V1 = V1L أي بوضع "0" منطقي فإن T1 يصبح بحالة قطع و Vo ترتفع إلى القيمة Vcc خلال ثابت زمني قدره $\tau c = Rc.C$.

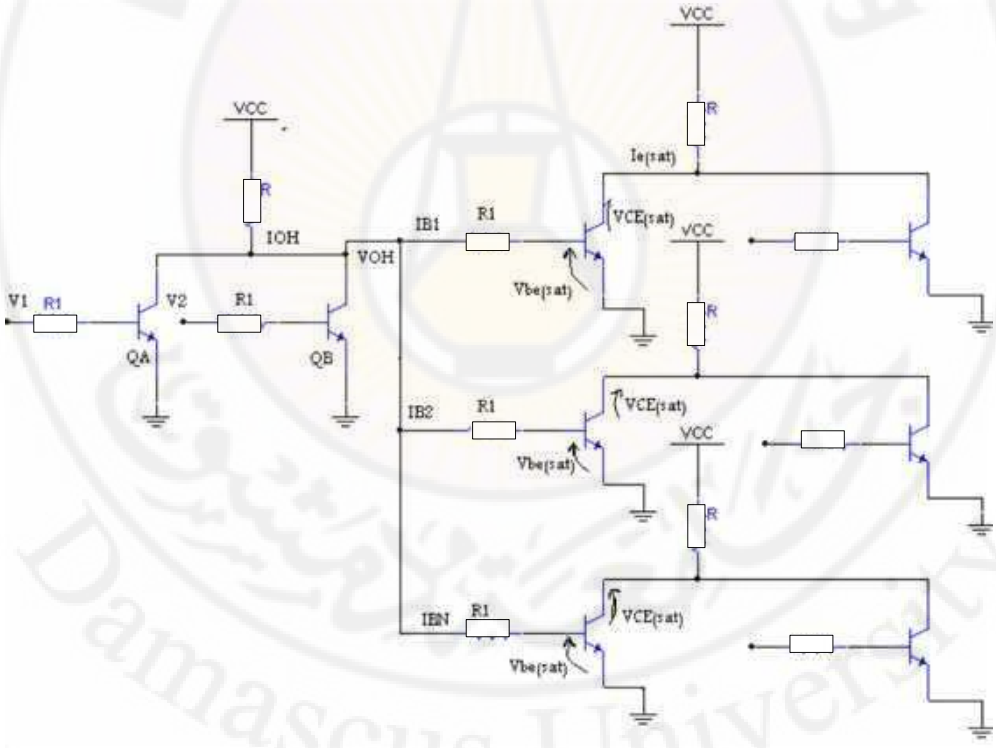
فنقول إن Vo قد رفع Pulled - up إلى Vcc بواسطة مقاومة الرفع أو السحب Pull-up resistor Rc.

حساب عامل تحميل الخرج لبوابة : FAN-Out RTL:

بشكل عام يعتبر ضرورياً معرفة عدد البوابات المتماثلة التي يمكن لبوابة NOR واحدة أن تحمل في الخرج بحيث تحافظ على تابعها المنطقي دون تغيير في الخواص الفيزيائية للدارة.

فيما يلي نستعرض كيفية حساب عامل التحميل "FAN-out "N لهذه الدارة.

الشكل (14–8) يبين دارة RTL-NOR محملة ببوابات متعددة متشابهة.



الشكل (14-9)

لنفرض أن $Vi = V1 = V2 = V1L < V_{be(sat)}$

لذلك فإن الترانزستورات QB , QA ستكون بحالة قطع "cutoff condition" ويكون Vo أعظمياً.

حيث أن:

$$Vo = V_{OH} = Vcc$$

إذا فرضنا أن أحمال الترانزستورات متشابهة في خواصها من حيث :
[B ; $V_{ce(sat)}$] ما عدا القيمة $V_{be(sat)}$ التي تختلف من ترانزستور إلى آخر وذلك تبعاً لما يلي:

$$V_{be1(sat)} > V_{be2(sat)} \cdots\cdots > V_{beN(sat)}$$

$$V_{be1(sat)} - V_{be2(sat)} = \Delta 1 - V_{be2} = \Delta_1 - V_{be1}$$

$$;V_{be2} = V_{be1} - \Delta_1$$

$$V_{be1(sat)} - V_{be3(sat)} = \Delta 2 \ ;$$

$$V_{be1(sat)} - V_{beN(sat)} = \Delta_{N-1}$$

إذا فرضنا أن كافة ترانزستورات الحمل مشبعة لذلك يكون:

$$Ib1 = \frac{VOH - Vbe1(sat)}{R1}$$

$$Ib2 = \frac{VOH - Vbe2(sat)}{R1} = \frac{VOH - Vbe1(sat) + \Delta 1}{R1} = Ib1 + \frac{\Delta 1}{R1}$$

$$IbN = \frac{VOH - VbeN(sat)}{R1} = Ib1 + \frac{\Delta N - 1}{R1}$$

الآن:

$$I_{OH} = I_{b1} + I_{b2} + \ldots\ldots\ldots\ldots + I_{bN}$$

$$= N.Ib1 + \frac{1}{R1}[\Delta 1 + \Delta 2 + \ldots\ldots\ldots + \Delta N - 1]$$

إذا فرضنا :

$$\bar{\Delta} = \frac{[\Delta 1 + \Delta 2 + \ldots\ldots\ldots + \Delta N - 1]}{N - 1}$$

فإن:

$$IOH = N.Ib1 + \frac{[(N-1)]}{R1}.\bar{\Delta} \qquad [17]$$

$$IOH = \frac{Vcc - Vbe1(sat) - Ib1.R1}{R}$$

$$IOH = N.Ib1 + \frac{[(N-1)]}{R1}.\bar{\Delta} \qquad [18]$$

فيكون إذا ً:

[19]

$$Ib1 = \frac{Vcc - Vbe1(sat) - (N-1).\bar{\Delta}.\frac{R}{R1}}{N.R + R1}$$

وبما أن:

$$I_{b1} < I_{b2} < \ldots\ldots\ldots < I_{bN}$$

فإن كافة الترانزستورات ستكون في حالة إشباع إذا كانت:

$$Ib1 > \frac{Ic(sat)}{\beta} = \frac{Vcc - Vce(sat)}{\beta.R}$$

بالتعويض عن I_{b1} في المعادلة (19) في المعادلة أعلاه نجد:

$$N < \frac{Vcc - Vbe1(sat) + \Delta(\overline{\frac{R}{R1+1}})}{\frac{1}{\beta}.(Vcc - Vce(sat) + \Delta\frac{R}{\overline{R1}})} \qquad [20]$$

وبما أن :

$$V_{OH} = V_{be1(sat)} + I_{b1}.R1$$

إذا بالتبديل في المعادلة 19 لـ I_{b1} نجد:

$$VOH = Vbe1(sat) + \frac{Vcc - Vbe(sat) - (N-1).|\frac{\overline{\Delta R}}{R1}|}{1 + \frac{NR}{\overline{R1}}} \qquad [21]$$

إن المعادلة 20 يمكن أن تستخدم لحساب Fan-out والمعادلة السابقة 21 تعطي قيمة الجهد V_{OH} من أجل قيم مختلفة لـ N وهذه المعادلات لا تحتوي على معاملات تغيير الترانزستورات مع درجة الحرارة.وعادة تؤخذ القيم لـ N و V_{OH} أقل من القيم الحسابية لتجنب الأخطاء المختلفة.

على سبيل المثال لمعرفة أثر Δ على N:

إذا كانت: $\beta = 50$ $V_{CC} = 3\ V$, $V_{be1(sat)} = 0.8\ V$

$$V_{ce\ (sat)} = 0.2\ V$$
$$R_1 = 450\ \Omega$$
$$R = 640\ \Omega$$
$$\Delta = 0.1\ V$$

فمن المعادلة 20 نجد:

$$N < \frac{Vcc - Vbe1(sat) + \Delta(\frac{\overline{R}}{R1+1})}{\frac{1}{\beta}.(Vcc - Vce(sat) + \Delta\frac{\overline{R}}{R1}}$$

$$N < \frac{3 - 0.8 + 0.1(\frac{640}{450+1})}{\frac{1}{50}.(3 - 0.2) + 0.1\frac{640}{450}}$$

يلاحظ أنه إذا كانت $\Delta = 0$ فإن $N = 38$ وبالتالي فإن ارتفاع N يعتمد بشكل أساسي على تغيير ($V_{be\ (sat)}$)

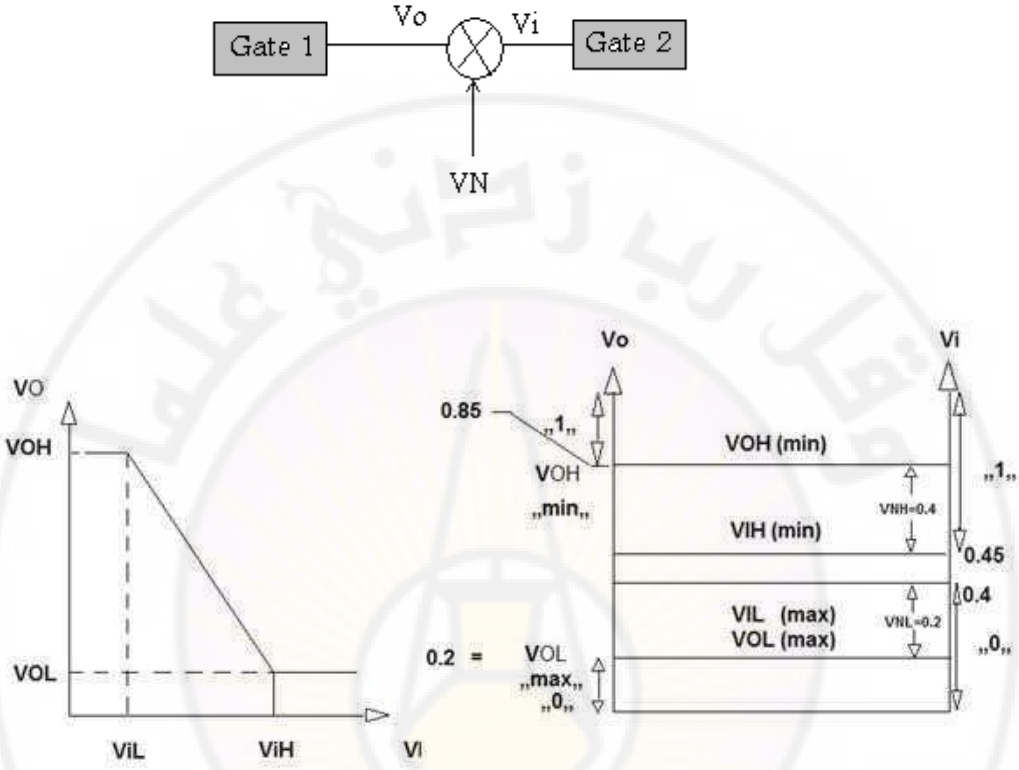
الخواص الصنعية لدارات RTL:

Specification of Operating Voltage:

تعطى الخواص الصنعية من قبل الشركات الصانعة وتحدد من أجل الحالات الأسوأ مع ملاحظة أنه يوجد أنواع مختلفة من دارات RTL.

1) دارات RTL ذات الاستطاعة المتوسطة (Medium Power) MRTL
2) دارات RTL ذات الاستطاعة المنخفضة (Low Power) RTL.

مع ذلك فإن الخواص الأساسية تكون متطابقة للنوعين،ما عدا الاستطاعة فقط.



الشكل (16-9)

$V_{OH\ (min)}$: جهد الخرج الأدنى المتوفر على خرج البوابة ليعطي :

المنطق..... logic 1

$V_{IH\ (min)}$: جهد الدخل الأدنى المتوفر على دخل البوابة ليؤمن :

المنطق..... logic 1

$V_{OL\ (max)}$: الجهد الأعظمي الذي يظهر على خرج البوابة عندما يكون المنطق :

في الخرج على المنطق ....logic 0

$V_{i\,L\,(max)}$: الجهد الأعظمي في الدخل للبوابة الذي يحافظ :

في الدخل على المنطق ..... logic 0

$$\Delta_0 = V_{iL} - V_{oL} = V_{NL} = 0.2$$

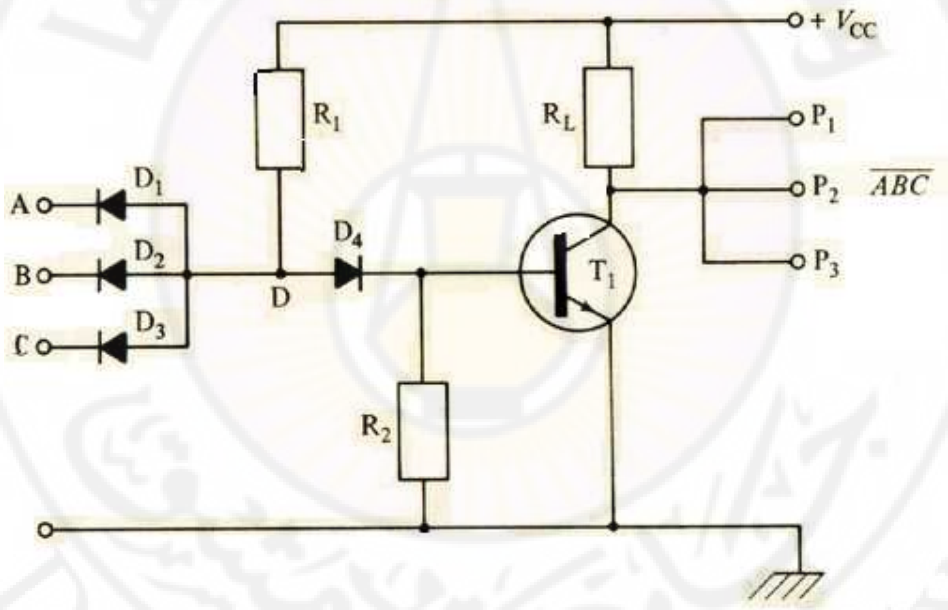
$$\Delta_1 = V_{oH} - V_{iH} = V_{NH} = 0.4$$

Damascus University

9-7- دارات الثنائي–الترانزستور المنطقية:

DTL (Diode-Transistor Logic):

الدارة المنطقية النموذجية الأساسية نوع DTL logic gate مبينة في الشكل (17–9) وتعرف أحياناً بالدارة ذات المستوى المنخفض Low Level (LLL) or DTL.



الشكل (17–8) دارة DTL أساسية

الثنائيات D1,D2,D3 بالاتصال مع R1 تشكل التابع المنطقي للدارة من نوع AND gate ولكن ترانزستور الخرج T1 يعمل كمضخم وعاكس مما يجعل البوابة تشكل التابع NAND operation

$$V_{cc} = I_1 . R_1 + V_D$$
$$V_D = V_{cc} - I_1 . R_1$$

إذا كان أي من المداخل A,B,C عند جهد تشبع ترانزستور الخرج لمرحلة سابقة والذي يكون بحدود (0.1 – 0.2V) أعلى من جهد الأرض أي المنطق " 0" فإن الثنائي المساعد يصبح في حالة فتح (تمرير) ويمر تيار عبر R1 والثنائي، وبالتالي فإن الجهد عند النقطة D يهبط إلى قيمة الجهد على طرفي الثنائي حوالي:

$$V_D = 0.7 + 0.2 = 0.9V$$

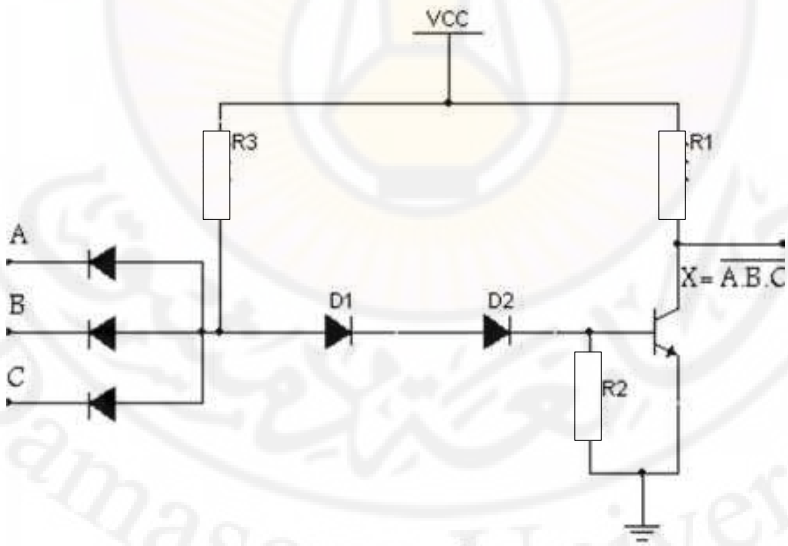
يعتبر هذا الجهد غير كاف لاستجرار تيار عبر الثنائي D4 زائداً وصلة القاعدة– الباعث للترانزستور وبالتالي لا يمر تيار قاعدة ويكون الترانزستور في حالة قطع cut off وجهد المجمع يرتفع إلى القيمة Vcc ليعطي المنطق 1 على الخرج.

إذا تم تطبيق جهد منطقي 1 على كافة المداخل مجتمعة مساو لـ Vcc الثنائيات D1,D2,D3 غير موصلة لأنها تصبح ذات انحياز عكسي وبالتالي لا يمر أي تيار عبرها مما يخفض قيمة التيار المستجر عبر R1 وهو بدوره يرفع من قيمة الجهد للنقطة D حتى تصل إلى قيمة ملائمة لجعل الثنائي D4 ذا انحياز أمامي ويمر التيار عبر المقاومة R1 و D4 إلى قاعدة الترانزستور ويجعلها في وضع التشبع عند جهد مجمع منخفض $V_{CE(sat)}$ وتعطي على الخرج المنطق صفر"0". بالعودة مرة ثانية إلى الشروط عندما تكون المداخل كافة عند جهد موجب قيمته Vcc فإن الثنائيات تكون ذات انحياز عكسي reverse- biased والتيار يمر عبر المقاومة R1,D4 إلى قاعدة الترانزستور.

الجهد عند النقطة D يكون تقريباً بحدود 1.4V يوزع إلى 0.7V عبر الثنائي التسلسلي D4 و 0.7V عبر وصلة القاعدة الباعث للترانزستور ويعتبر هذا الجهد هو القيمة الدنيا اللازمة لكي يفتح الترانزستور.

* إذا جعلنا أحد الجهود على أحد المداخل ينقص تدريجياً حتى يبدأ الثنائي المساعد بالانتقال إلى وضع الناقلية فإنه من الضروري أن ينخفض الجهد إلى القيمة 0.7V وبالتالي يوجد جهد أمامي عبر الثنائي قدره 0.7V فيصبح الثنائي موصلاً ويهبط الجهد عند النقطة D إلى القيمة 0.7V ويعود الترانزستور إلى حالة القطع ونقول بالتالي إن جهد العتبة threshold voltage لهذه الدارة يساوي 0.7V

* إذا تم استخدام ثنائيين على التسلسل بدلاً من ثنائي واحد D4 فإن جهد العتبة لفتح الترانزستور يزداد إلى القيمة 1.4V ويعتبر هذا ملائماً لدارت DTL لرفع نقطة العتبة.

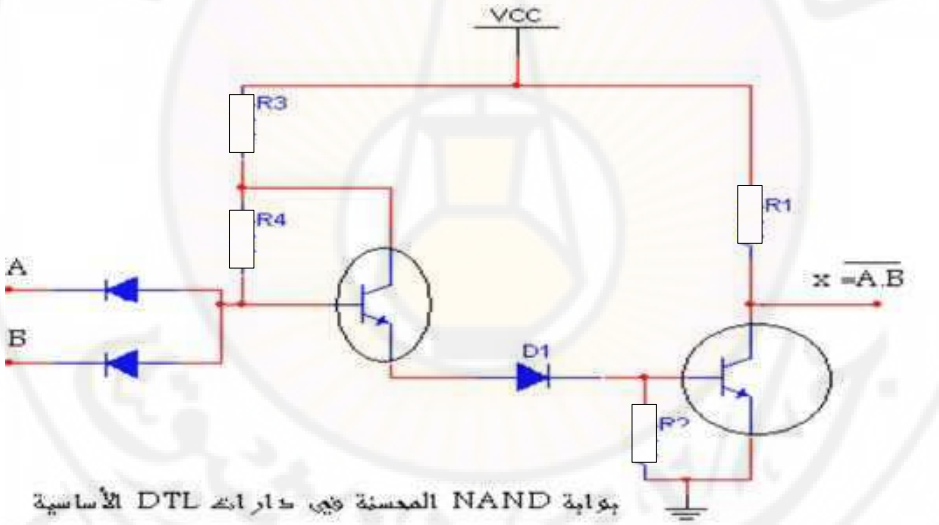


دارة NAND الأساسية لعائلة DTL - دارة نموذجية

شكل (18-8).

في الحالات العملية يتم وضع ترانزستور NPN غير مشبع بدلاً من الثنائي الإضافي D1 كما هو مبين في الشكل (19–9). فنحصل على دارة DTL محسنة.

المجمع للترانزيستور T_1 موصول إلى مقاومة تتصل مباشرة إلى جهد التغذية الأساسي بحيث تمنع الترانزيستور من الوصول إلى حالة الإشباع ويعمل الترانزيستور في المنطقة الفعالة فيؤمن تياراً مضخماً يقود الترانزيستور T_2 بسرعة إلى حالة الإشباع.



الشكل (19-9)

حساب عامل تحميل الخرج "N" لدارات DTL:

N-FAN-out of DTL:

عامل تحميل الخرج: العدد الأعظمي للبوابات المنطقية المتشابهة التي يسمح بربطها إلى خرج بوابة واحدة من نفس النوع.
اعتماداً على الدارة التالية (20–9) يمكن تحديد N.

تيار المنبع Source Current:

التيار I_{OH} الذي يجري من داخل البوابة إلى طرف الخرج.

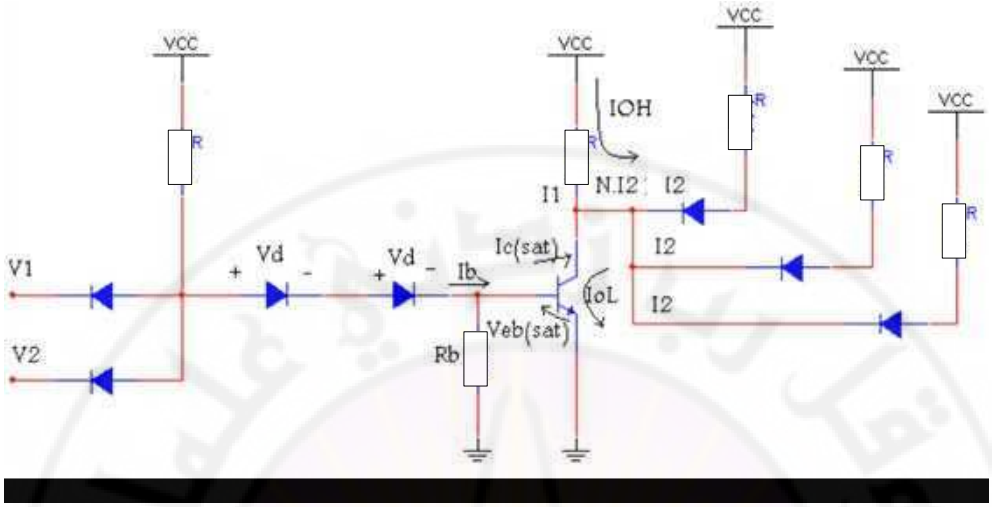
Sink Current:

التيار I_{OL} الذي يجري من طرف الخرج إلى الداخل في البوابة.

الشكل (20–9) يبين دارة NAND محملة بـ N بوابة متماثلة.

إذا فرضنا أن $V1 = V2 = V_{IH}$

وذلك حتى يصبح الترانزستور بحالة تشبع saturation تؤخذ العلاقات التالية:



الشكل (20- 9)

$$\beta.I_b \geq I_{c(sat)} = I_1 + N.I_2$$

$$N \leq \frac{\beta.Ib - I1}{I2}$$

من الشكل نجد:

$$I1 = \frac{Vcc - Vce(sat)}{.R}$$

$$I2 = \frac{Vcc - Vd - Vce(sat)}{.R}$$

$$Ib = \frac{Vcc - Vbe - 2Vd}{.R}$$

بالتبديل في المعادلة لـ N نجد:

$$N \leq \frac{\beta \,|\, Vcc - Vbe(sat) - 2Vd \,| - |\, Vcc - Vce(sat) \,|}{Vcc - Vd - Vce(sat)}$$

يلاحظ أن N تعتمد على β و Vcc.

تطبيق عملي :

بفرض أن

$$Vd = V_{be(sat)} = 0.75V$$
$$Vcc = 3V$$
$$V_{CE(sat)} = 0.2V$$
$$\beta = 50$$

بالتبديل في المعادلة الأخيرة لـ N نجد:

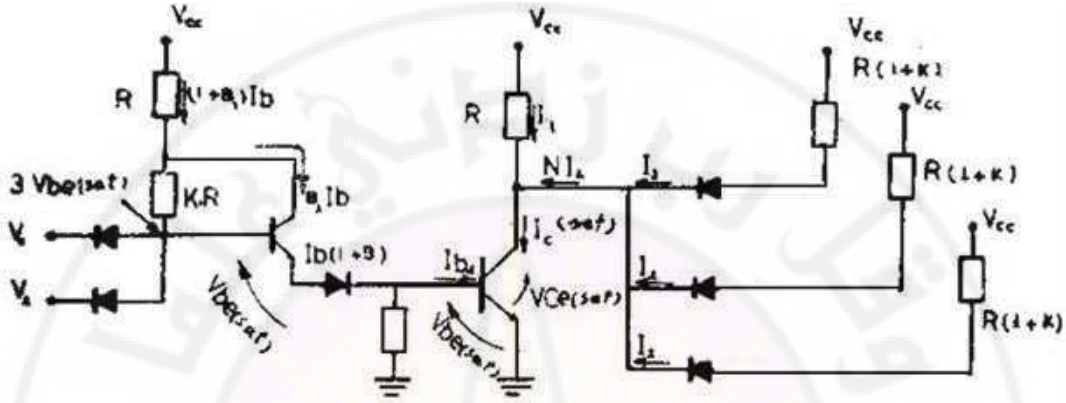
$$N \leq 13.88$$

مع ذلك إذا كانت $Vcc = 5V$ فإن:

$$N \leq 32$$

لنحسب Fun-out للدارة المبينة في الشكل أدناه :

$$V_1 = V_2 = V_{IH}$$
$$V_D = V_{be\ (sat)}$$



الشكل (21-9)

من الشكل نجد أن:

$$R(1+\beta_1)\, I_{b1} + V_{CC} = 3\, V_{be\,(sat)} + K.R.I_{b1}$$

$$Ib1 = \frac{Vcc - 3Vbe(sat)}{R(K+\beta 1)}$$

لذلك

ومن الشكل نجد أيضاً:

$$Ib2 = (1+\beta 1)Ib1 = (1+\beta 1)\frac{Vcc - 3Vbe(sat)}{R(K+\beta 1)}$$

$$I2 = Vcc - Vce(sat) - \frac{Vd}{R(K+1)}$$

$$I1 = Vcc - \frac{Vce(sat)}{R}$$

بالتبديل في العلاقة:

$$N \le \frac{\beta.Ib - I1}{I2}$$

نجد:

$$N \le (K+1)\frac{\beta 2(1+\beta 1)(Vcc - 3Vbe(sat) - (\frac{Vcc - Vce(sat)}{K+\beta 1})}{Vcc - Vce(sat) - Vd}$$

عادة تكون K أصغر بكثير من β_1 عندئذ يكون:

$$\frac{1+\beta 1}{K+\beta 1} = 1$$

$$N \le (K+1)\frac{\beta 2(Vcc - 3Vbe(sat) - Vcc - Vce(sat)}{Vcc - Vce(sat) - Vd}$$

يلاحظ أن N تتعلق بـ K ويلاحظ بالتالي أن N للدارة الثانية = $N\ x\ (K+1)$ للدارة الأولى.

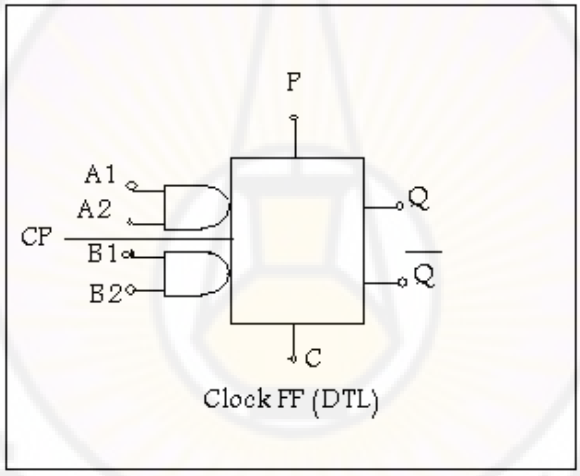
العناصر الأساسية للمنطق التتابعي باستخدام دارات DTL:

يعتبر العنصر الأساسي للمنطق التتابعي لدارت DTL هو قلاب الساعة "clocked FF"

مثال على ذلك MC 831 لشركة Motorola، 9945 لشركة Fairchild، RC 945 لشركة Ray throm.....

الرمز العام:

في بعض الحالات يرمز للمداخل بالرمز A_1, A_2 بدلاً من S_1, S_2 و C_1, C_2 بدلاً من B_1, B_2



الشكل (22-9)

المداخل المباشرة P (Present) و C (Clear) مستقلة عن المداخل الأخرى ويكون الجدول الحقيقي المتطابق معها هو:

P	C	Qn
1	1	Qn-1
0	1	1
1	0	0

0	0	0

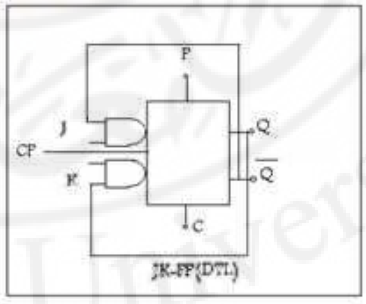
إن هذه القلابات تعمل مثل قلابات RS – FF.

بجعل $R= B_1 B_2$, $S = A_1 A_2$ يصبح الجدول الحقيقي بالشكل التالي:

tn		t(n+1)
R	S	Q(n+1)
0	0	Qn
0	1	1
1	0	0
1	1	0

عندما يتم وصل المخرج Q إلى الدخل B والمخرج $\overline{Q}$ إلى المدخل A نحصل على JK-FF وفقاً للشكل التالي.

	tn	t(n+1)
J	K	Q(n+1)
0	0	Qn
0	1	0
1	0	1
1	1	$\overline{Qn}$



الشكل (23-9)

إن الاستطاعة المستهلكة لـ DTL – Master – Slave FF تقدر:

P_D= 60mw وزمن التأخير النموذجي S= 40 nsec وتردد الساعة الأعظمي f_T = 10MHZ

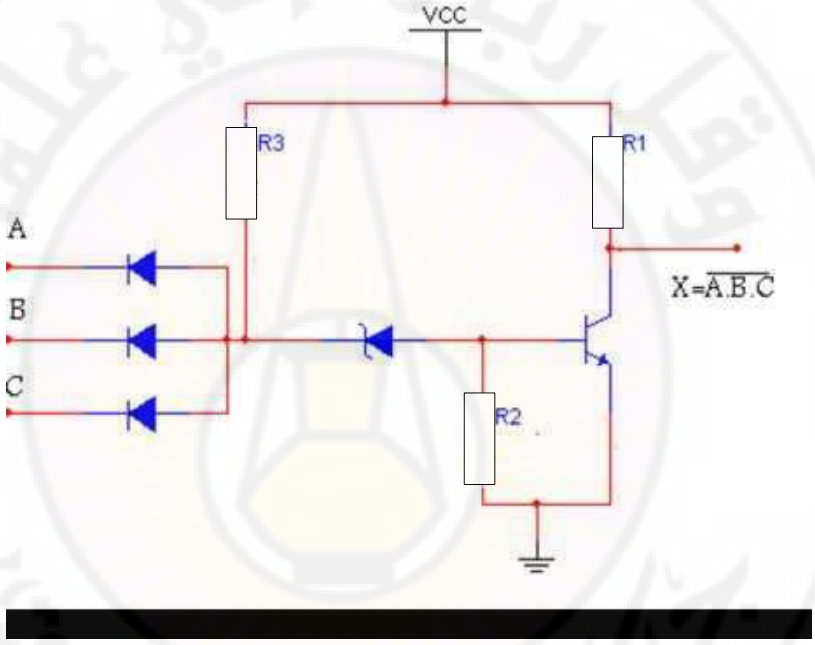
الدارات المنطقية ذات مستوى العتبة العالي:

HTL – (high-threshold-Logic)

في دارات DTL السابقة يتم رفع الجهد Vcc وإزالة الثنائيين D1 و D2 ويوضع بدلاً عنهما ثنائي زينر فنحصل على الدارة بشكلها العام الأساسي وفقاً للشكل (8-

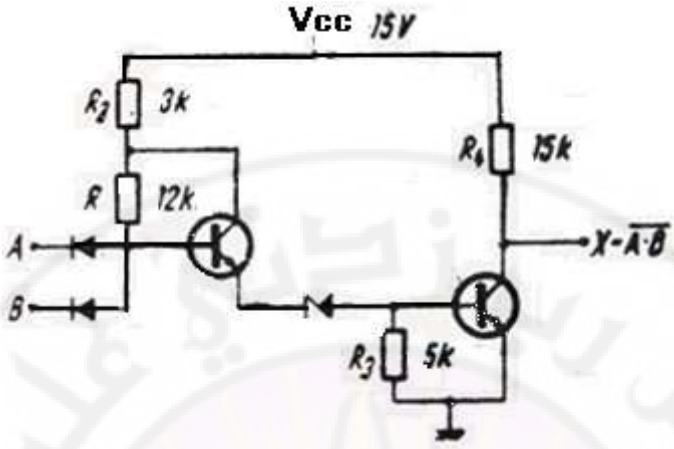
24) التالي ويتم استخدام هذه الدارة في الحالات التي يحتمل فيها وجود خطر من جهد ضجيج عال ، نقطة التحول المنطقية تحدث فوق جهد الانهيار لثنائي زينر.

الشكل (24−9) يبين بوابة NAND الأساسية ذات مستوى العتبة العالي:



الشكل (24−9) بوابة NAND الأساسية ذات مستوى العتبة العالي

ولزيادة نسبة عامل التحميل "N" فإنه يتم استخدام ترانزستور كما هي الحال بالنسبة لـ DTL كما في الشكل التالي (25-8):



الشكل (25–9)

إن نظرية عمل هذه الدارة مشابه تماماً لدارات DTL ولكن وجود ثنائي زينر ذي جهد الانهيار بحدود 6.5V يجعل جهد العتبة يرتفع عنه في حالة DTL من 1.4V إلى قيمة إضافية تصل الى6.5V وجهد الفتح اللازم لتشغيل الترانزستور في منطقة التشبع يزيد عن 7.25V وهذا يتطلب زيادة في جهد التغذية إلى القيمة Vcc = 15V ± 1V.

والقيم العملية لمثل هذه الدارات على سبيل المثال:

للمجموعة: Motorola Mc 660

زمن التأخير الوسطي: 150 n sec

الاستطاعة المستهلكة للبوابة الواحدة: $P_{D50\,\%}$ = 28 mw

عامل التحميل: N=10

يمكن أن تستخدم هذه الدارات بنفس الطريقة التي تستخدم فيها دارات DTL وأن الرموز المستخدمة لهذه الدارات تختلف من شركة مصنعة إلى أخرى:

على سبيل المثال:

HTL:	رمز لشركة Motorola	High threshold logic
HLLDTL:	رمز لشركة Fairchild	High level logic DTL
HNIL:	رمز لشركة Teledyne	High Noise immunity logic
LSL:	رمز لشركة Siemens	Langsame stoerschere logic

9-8- داراتTTL المنطقية :

TTL (Transistor - Transistor- Logic)

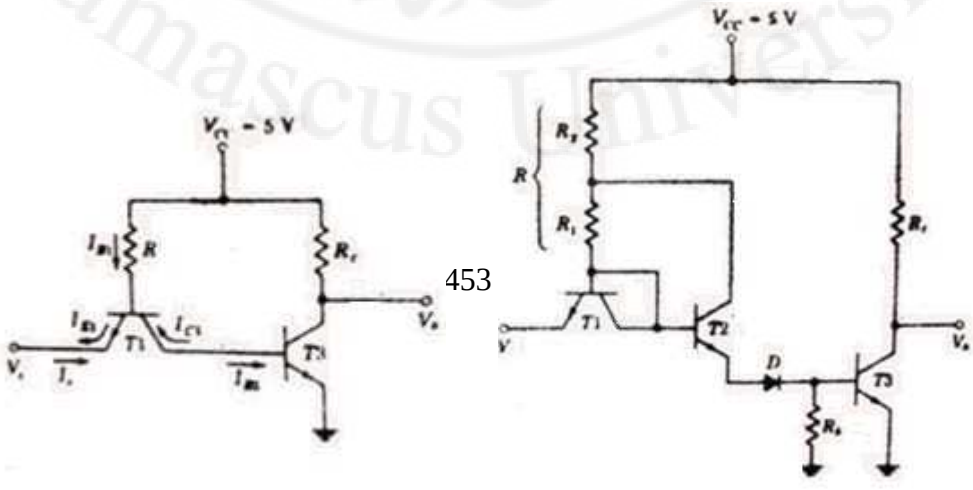
الأحرف TTL هي اختصار للتسمية الانكليزية :

Transistor - Transistor – Logic

ويتم تركيب هذه الدارات باستخدام عناصر فعالة هي الترانزستورات بشكل أساسي ويدخل في التصنيع أيضاً الثنائيات التي تعمل لتحديد مستوى جهد الفتح أو الناقلية وكذلك تستخدم المقاومات التي تعمل كمجزئ جهد أو لتحديد قيم التيار و يتم إنتاج دارات TTL فقط باستخدام تكنولوجيا الدارات المتكاملة الوحيدة البلورة .

لقد كان تطور دارات الـ TTL للتغلب على المشكلة الأساسية التي تعاني منها دارات DTL التي لها سرعة استجابة محددة و تم التغلب على هذه المشكلة في دارات TTL من خلال السرعة في إزالة الشحنة المخزونة في القاعدة للترانزيستور T_3 في دارة الـ TTL .

إن مقارنة بسيطة بين بوابة DTL و بوابة TTL سوف يبين المزايا الكبيرة في سرعة الاستجابة لدارة TTL بسبب السرعة في إزالة الشحنة المخزونة في القاعدة للترانزستور T3 في دارة الـ TTL .



بوابة DTL أساسية
الشكل (9-26)

بوابة TTL
الشكل (9-27)

في الشكل (9-26) تعتبر بوابة DTL ذات مدخل واحد ويلاحظ هنا أن ثنائي الدخل هو عبارة عن ترانزيستور T_1 قصر بين قاعدته و المجمع .

إذا افترضنا الآن أن مدخل البوابة يتواجد عليه المنطق "1" فإن التيار يمر عبر T_2 و D إلى قاعدة الترانزيستور T_3 الذي يقاد إلى التشبع و يكون على خرج البوابة المنطق "0" .

نغير منطق الدخل إلى المنطق " 0" فإن خرج البوابة يجب أن يصبح " 1" مع ذلك فإن عملية العبور إلى المنطق "1" لا تتحقق حتى يرجع الترانزيستور T_3 من منطقة التشبع مروراً بالمنطقة الفعالة و أخيراً ليصل إلى منطقة القطع Cut-off

إن حالة القطع Cut-off لن تتحقق كاملة حتى تزال الشحنة المخزونة في قاعدة الترانزيستور T_3 خلال إزالة هذه الشحنة المخزونة في القاعدة فإن الترانزيستور T_1 يفتح و لكن الترانزيستور T_2 و الثنائي D يصبحان بحالة قطع Cut-off.
الشحنة المخزونة في القاعدة يجب أن تتسرب عبر المقاومة R_b وأن تتبدد وفقاً لمبدأ إعادة التجمع Recombination.

إن هذه الميكانيكية البطيئة نسبياً لإزالة الشحنة المخزونة هي التي تسبب تحديد سرعة بوابات DTL المنطقية وقد تم التغلب على هذا التحديد بواسطة دارات TTL .

الشكل (27-9) يبين المبدأ الأساسي لبوابة TTL وقد اعتبرنا مدخل واحد فقط من أجل المقارنة ،في الواقع يوجد تشابه كبير في التركيب بين بوابة DTL وبوابة TTL كما نلاحظ من الشكلين السابقين.في دارة TTL تم توصيل الترانزيستور T_1 كترانزيستور دخل وأزيلت الوصلة بين القاعدة _المجمع التي كانت متواجدة في حالة DTL الترانزيستور T_2و D تم إزالتهما و مجمع الترانزيستور T_1 تم وصله مباشرة إلى T_3، في دارة TTL عندما يكون الدخل مرتفعاً "1" فإن وصلة الباعث –القاعدة في T_1 تكون ذات انحياز عكسي ويمر تيار من R عبر وصلة القاعدة – المجمع ذات الانحياز الأمامي إلى قاعدة الترانزيستور T3 .

في هذه الحالة يعمل مجمع الترانزيستور T_1 كباعث و الباعث يعمل كمجمع أي حالة انعكاسية inverse mode الترانزيستور T_3 يقاد إلى حالة التشبع و خرج البوابة يصبح مساوياً للمنطق "0" .

الآن إذا جعلنا منطق الدخل ينخفض إلى القيمة " 0" منطقي ، وصلة الباعث للترانزيستور T_1 ستصبح ذات انحياز أمامي مع ملاحظة أن قاعدة T_3 موصولة إلى مجمع T_1 فإن الشحنة المخزونة في قاعدة T_3 لن تتسرب عبر مقاومة كما هو الحال في DTL ولكن تمر عبر مجمع الترانزيستور T_1 .

وفيما يلي نبين الآن المقارنة السابقة عددياً :

عندما يكون T_3 في حالة إشباع فإن جهد قاعدته – الباعث يساوي V_{BE}=0.75v

وفي الشكل (9-26) عندما يكون D في حالة قطع Cut-off فإن التيار الخارج من القاعدة لـ T_3 المفروض مروره في R_b يساوي :

$$\frac{Vbe}{Rb} = \frac{0.75}{2K\Omega} = 0.38mA$$

بفرض أن

$$R_b = 2\ K\Omega$$

من ناحية ثانية و بالعودة إلى دارة TTL .

إذا فرضنا أنه تم تأريض الدخل فإن و صلة القاعدة – الباعث للترانزيستور T_1 تكون ذات انحياز أمامي و يكون جهد الوصلة $V_{BE} = 0.75$ في الحالات النموذجية تكون $R= 4\ k\Omega$ فيكون تيار القاعدة للترانزيستور T_1 مساوياً :

$$Ib1 = \frac{5 - 0.75}{4.10^3} = 1.1mA$$

في البداية يعمل الترانزيستور T_1 في مجاله الفعال بينما جهد القاعدة – الأرض لـ T_3 و التي هي أيضاً تمثل جهد المجمع – الأرض للترانزيستور T_1 تساوي 0.75v فيكون بالتالي $V_{CE1}=0.75v$

سوف نلاحظ الآن أن :

تيار المجمع للترانزيستور T_1 يعتبر هو معدل تغير شحنة قاعدة الترانزيستور T_3 أي يساوي $h_{FE}.I_{B1}$ حيث أن h_{FE} هي h_{FE} للترانزيستور T_1.

حتى لو كانت h_{FE} صغيرة جداً و لتكن 20 فإننا نلاحظ أن معدل تفريغ الشحنة من قاعدة T_3 يساوي 20(1.1)=22 mA وهذه القيمة يمكن أن تقارن مع القيمة 0.38 mA لحالة DTL.

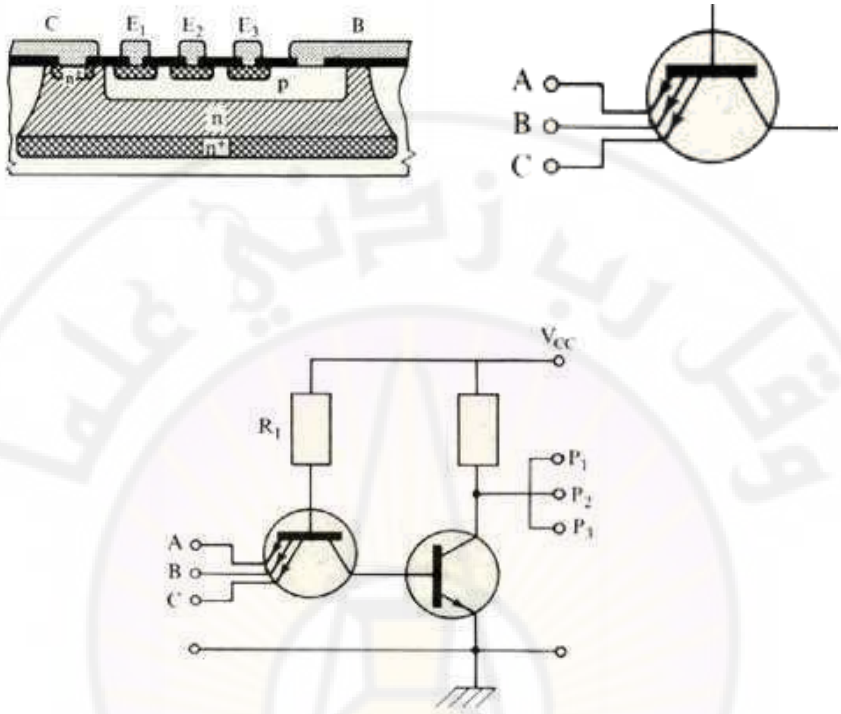
إن هذه السرعة العالية في إزالة التيار المخزون في قاعدة T_3 تجعل دارة TTL تعمل بسرعة أعلى بكثير منها في حالة دارات DTL .

- **ترانزستورات الدخل في دارات الـ TTL :**

The Input Transistor In TTL Circuit

إن ترانزستورات الدخل لدارات TTL تكون في الغالب متعدد البواعث ليحقق مداخل متعددة حسب التصميم يطلق عليه في هذه الحالة التسمية Multiple-Emitter-Transistor كما في الشكل (28-9) .

و يتم الحصول في هذه الحالة على وصلات P-N مستقلة بعضها عن بعض بين الباعث و القاعدة و يمكن النظر إلى هذه الوصلات على أنها وصلات ثنائية مستقلة .



الشكل(28-9)

إذا وصل أحد المداخل إلى الأرض في الدارة السابقة فإن الجهد الذي يكون متوضع على القاعدة يصل إلى قيمة تقريبية تساوي 0.75v ويمر تيار القاعدة I_B و قيمة هذا التيار تتعلق بشكل أساسي بقيمة الجهد V_{CC} و المقاومة R_1 ويجب أن نلاحظ أن تيار القاعدة يجب أن يختار بحيث أن الترانزيستور متعدد البواعث يمكنه الوصول بسهولة إلى منطقة التشبع ويكون خرج T_2 مكافئاً للمنطق "1" .

ماذا يحدث إذا بقي E_3 على جهد قدره صفر وكان E_1 و E_2 على القيمة: +5v ،

الممران P-N للباعثين E_1 و E_2 يصبحان ذوا انحياز عكسي بينما يبقى E_3 في حالة تمرير _انحياز أمامي _ بالتالي فإن الترانزيستور T_1 يبقى في حالة تشبع ولا يتغير الخرج T_2 .

إن الدارة بشكل عام يتغير تصرفها إذا وضعت على كافة المداخل كافة الجهود H=5v شكل (28-2) . منطقة البواعث تتعرض لجهد قيمته +5v و يعمل الترانزيستور المتعدد البواعث بشكل عكسي .

الترانزيستور T_2 ينتقل إلى حالة الإشباع ونحصل في الخرج على جهد قيمته تساوي جهد تشبع T_2 : V_{CE}= 0.2 v وهذا يعطي في هذه الحالة المنطق " 0". ومرة أخرى إذا عمل أحد مداخل الترانزيستور T_1 في المستوى المنخفض "0" فيسبب ذلك عمل الترانزيستور T_1 في منطقة التشبع و يقطع الترانزيستور T_2 ونحصل في الخرج على المنطق "1" .

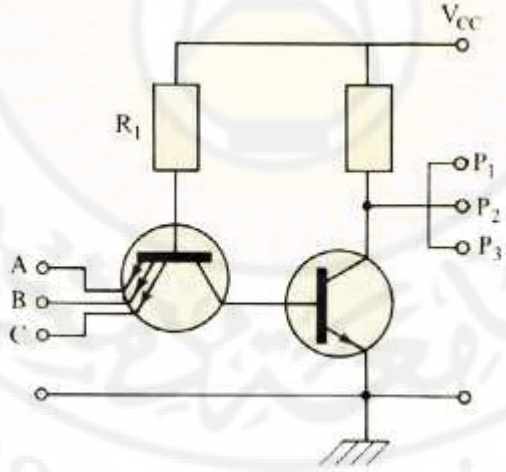
ما هو دور المدخل المفتوح :

يفهم من ذلك أن المدخل المفتوح هو المدخل غير الموصول إلى المنطق 1" أو "0 " أي معلق في الهواء .

أمثال هذه المداخل غير قادرة على التحكم بترانزيستور الدخل و التأثير عليه إذا وضع المدخلين على الوضع H و المدخل الثالث في الهواء فإن ترانزيستور الدخل يعمل بحقن عكسي كما لو أن المدخل الثالث أيضاً موصول إلى القيمة H.
أي يمكن القول أنه في دارات TTL يعالج المدخل المفتوح و كأنه موصول إلى القيمة العليا.

- **عملية الجذب الفعالة في دارات TTL: The Active Pull-Up In TTL Circuit:**

إن الدارة المبينة في الشكل (29–9) لا تعتبر ملائمة من الناحية العملية لتطبيق دارات أحمال إضافية معها من حيث إمكانية استجرار التيار وكذلك من حيث تحديد سرعة التحول المنطقية في الخرج لهذه الدارة .



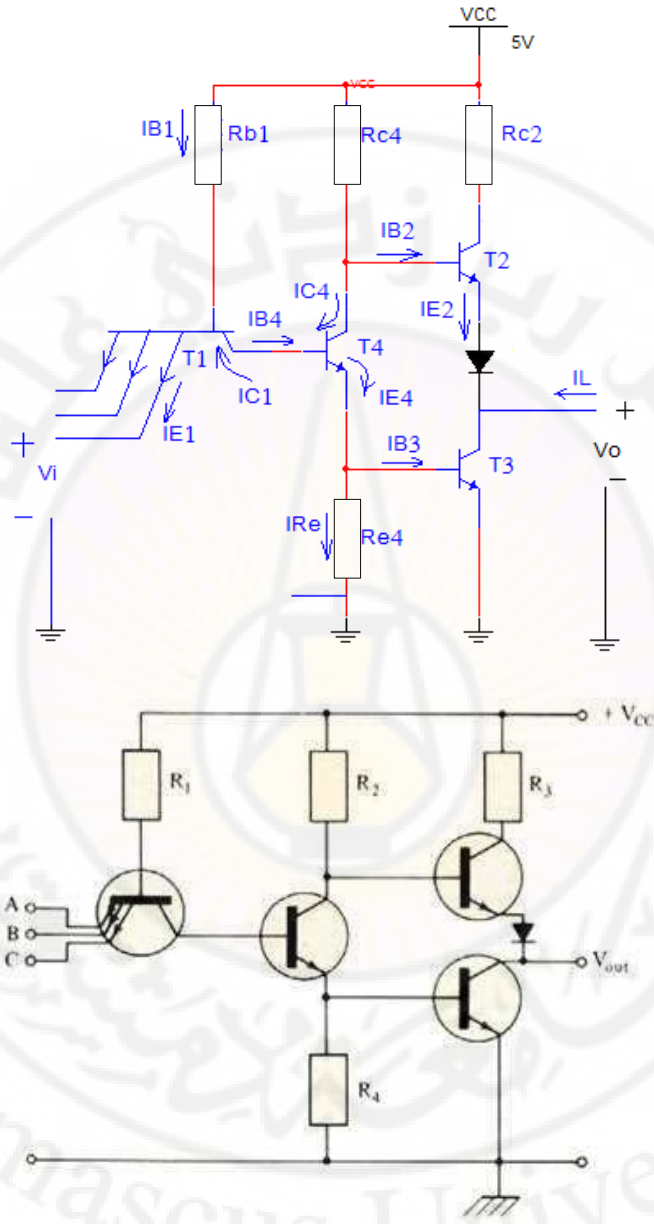
الشكل (29-9)

إن هذه النتيجة –في تأخير إعطاء التابع المنطقي في الخرج _ يمكن أن يفهم من تأثير السعة المتواجدة على خرج الترانزيستور T_3 مع الأرض .
هذه السعة هي نتاج سعة الخرج للترانزيستور نفسه و كذلك سعة الاتصال مع دارات الدخل المربوطة إلى خرج الترانزيستور T_3.

عندما يقاد T_3 إلى حالة القطع _ أي ليعطي المنطق "1" فإن سعة الخرج يجب أن تشحن من V_{cc} عبر المقاومة R_c ، فإذا كانت سعة الخرج C_0 فإن زمن التحول من المنطق "0" إلى المنطق "1" يساوي $R_c C_0$ وهذا الثابت الزمني يمكن إنقاصه عن طريق إنقاص المقاومة R_c و لكن هذا الإنقاص يسبب زيادة في الاستطاعة المستهلكة في R_c بالإضافة إلى ذلك فإن هذا يسبب صعوبة في الوصول إلى تشبع T_3 .

نضيف إلى ذلك أنه : إذا كانت R_c ثابتة وازداد عدد الأحمال المتواجدة على T_3 فإن كافة الأحمال عند المنطق "1" على سبيل المثال سوف تستجر تيارها عبر R_c مما يسبب انخفاضاً كبيراً بالجهد على R_c وهذا بدوره يؤدي إلى خفض قيمة المنطق "1" في الخرج عن القيمة العملية المعتمدة و يعتبر هذا غير ملائم .

إن هذه المشكلات يمكن التخلص منها عملياً باستخدام دارة TTL بتركيب جديد وفق الشكل النموذجي التالي :



typical commercial positive NAND gate.

الشكل(30−9)

هذا التركيب الجديد يمكن أن يتم دون أن يكون هناك خوف من ازدياد الاستطاعة في البوابة الواحدة .

مقاومة الجذب R_c استعيض عنها بالعنصر الفعال T_2 والثنائي D في التركيب الجديد .إن هذه الدارة يطلق عليها دارة TTL ذات الجذب أو الرفع الفعال active pull-up وذلك لتمييزها عن الحالات الغير فعالة في دارات RTL.

عندما تكون V_o في حالة المنطق "0" فإن الترانزيستور T_3 سيكون بحالة إشباع ويكون T_2 في حالة قطع cut-off وبشكل متناوب عندما يتحول الخرج من المنطق "0" إلى المنطق "1" فإن T_3 يصبح في حالة قطع ويصبح T_2 في حالة فتح ON ومكثفة الخرج تشحن عبر التركيب T_2 و D .

إن هذا التبادل بالعمل بين T_3 و T_2 يتم بواسطة الترانزيستور T_4 الذي يعتبر قاسم صفحة Phase splitter يمد كلاً من الترانزيستور T_2و T_3 بالجهد اللازم لعملية التأرجح المذكورة أعلاه بحيث يبقى T_2 و T_3 زوجاً ذا ترابط متعاكس فبينما يقاد أحدهما إلى التشبع يقاد الآخر إلى القطع و العكس بالعكس .

الثنائي D يخدم في عملية إزاحة مستوى جهد الفتح و يمكن فهم ذلك وفقاً لما يلي:

- عندما يكون منطق الدخل الإجمالي يساوي "1" فإن الخرج يجب أن يساوي " 0 " .

عندما تكون المداخل كافة على المنطق "1" فإن T_3 و T_4 كليهما يكونان في حالة تشبع و يكون جهد النقطة B_3 يساوي 0.75v فولت .

وجهد مجمع الترانزيستور T_3 يساوي $V_{CE(sat)} = 0.2\ v$ ويكون بالتالي جهد مجمع الترانزيستور T_4 يساوي :

$$V_{CE_4(sat)} = 0.2+0.75 = 0.95v$$

- في هذه الحالة إذا كان D غير موجود فإن جهد القاعدة –الباعث للترانزيستور T_2 يساوي :

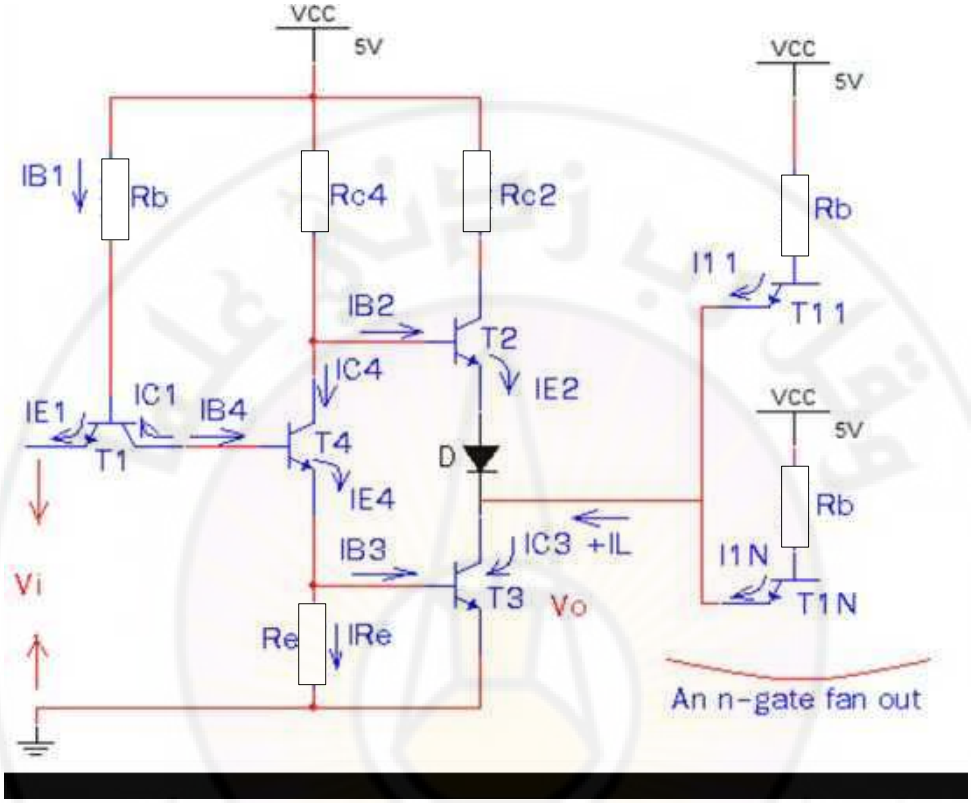
$$V_{BE2} = V_{C4} - V_{C3} = 0.95 - 0.2 = 0.75v$$

وسيكون بالتالي T_2 بحالة تشبع .ومع ذلك فإن وجود الثنائي D يجعل الجهد 0.75v الهابط بين T_3 و T_4 يقسم بين الثنائي D والقاعدة _الباعث للترانزيستور T_2 .

في هذه الحالة لن يصبح كل من الترانزيستور T_2 و الثنائي D في حالة فتح.

دراسة خواص الدخل و الخرج لدارة TTL بإهمال ترانزيستور الدخل :
Input – Output Characteristic Neglecting Input transistor:

إذا أخذنا الدارة المبينة في الشكل التالي و لنعتبر في دراستنا أن جهد الخرج V_o مترابط مع جهد قاعدة الترانزيستور T_4 والمساوي لـ V_{B4} .
لنبدأ الآن من أجل كون $V_{B4} = 0$ في هذه الحالة يكون T_4و T_3 في حالة قطع و الترانزيستور T_2 يغذى بالتيار I_{E2} إلى البوابات N.

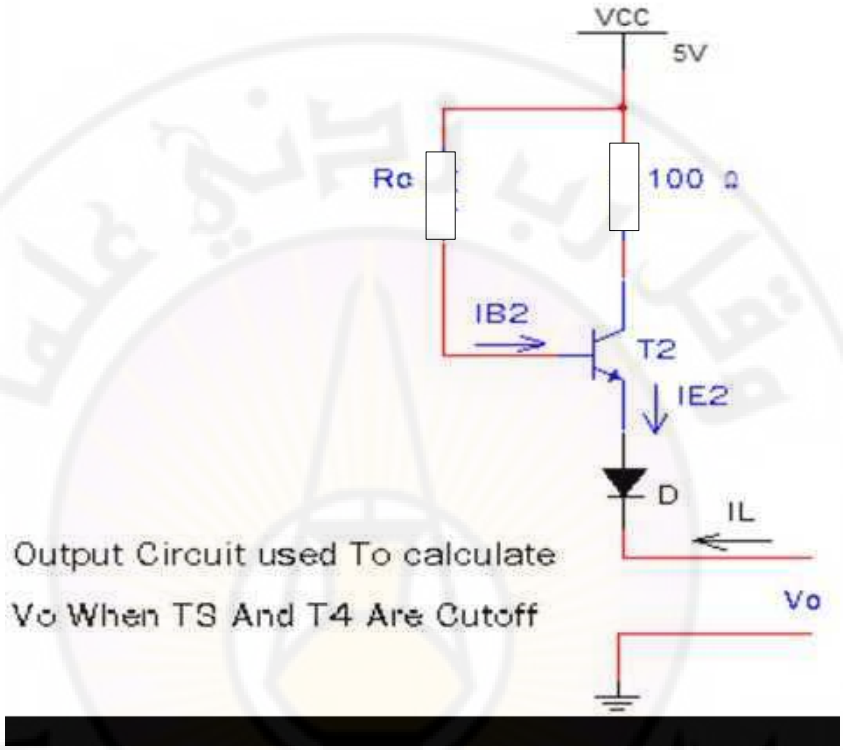


الشكل (31-9)

تيار الباعث I_{E2} يساوي $-I_L$ وفقاً للرسم في الشكل حيث أن I_L هو تيار الحمل وفي هذه الحالة يجب أن يدخل إلى البوابات .

ومن الدارة في الشكل التالي يمكن حساب V_o وتساوي :

$$V_o = V_{cc} - R_{c4} \cdot I_{B2} - V_{BE2} - V_D$$



الشكل (32-9)

وحيث أن $V_{cc} = 5v$ هو جهد التغذية ،

$R_{c4} . I_{B2}$: هبوط الجهد عبر المقاومة R_{c4} ،

V_{BE2} : جهد القاعدة _الباعث لـ T_2

V_D : هبوط الجهد عبر الثنائي .

بفرض أن T_2 يعمل في المجال الفعال فإن تيار القاعدة يساوي :

$$Ib2 = \frac{IE2}{1 + hFE}$$

ولكن:

$$1 + h_{FE} \approx h_{FE} \; ; \; h_{FE} \gg 1$$

$$Vo = \frac{Vcc + (Rc4.IL)}{hFE - Vbe2 - Vd}$$

وعندما يكون T_3 في حالة قطع فإن V_o يعطي المنطق "1".

لحساب تيار الأحمال I_L يجب أن نلاحظ في الشكل (31-9) أن كافة ترانزستورات الحمل تعمل في الحالة العكسية inverse mode فيكون في هذه الحالة لترانزستورات الأحمال المتناظرة مع دارة الدخل ، الترانزستورات T_4 و T_3 كافة مقادة إلى حالة إشباع :

ويكون:

$$V_{B4} = V_{BE3} + V_{BE4} = 0.75 + 0.75 = 1.5\ v$$

تيار قاعدة الترانزيستور T_4 يؤمن عبر مجمع الترانزيستور T_1 رغم أنه في حالة انحياز عكسي للمجمع _ القاعدة مما يسبب هبوط جهد قدره 0.7v عبر وصلة القاعدة _ المجمع .

– ويكون الجهد الإجمالي على قاعدة ترانزيستور الدخل يساوي :

$$V_{B1} = 0.7 + 1.5 = 2.2\ v$$

- ويكون بالتالي الهبوط للجهد على كل مقاومة R_b يساوي:

$$V_{R_b} = 5 - 2.2 = 2.8 \quad v$$

- وتكون قيمة التيار عبر R_b يساوي:

$$I_{B1} = 2.8 / (4 \times 10^{3}) = 0.70 \ mA$$
$$R_b = 4K\Omega$$

لنفرض الآن أن لترانزيستور الدخل $T_{11}.....T_{1N}$ المعامل h_{FC}=0.02 فيكون تيار الدخل لكل مرحلة بوابة في هذه الحالة يساوي :

$$0.70 \ (0.02) = 14 \ \mu A$$

- إذا كان ترانزيستور القيادة T_2 يغذى بوابة حمل وحيدة بتيار باعث صغير يساوي 14 μA يمكننا أن نعتبر :

$$VBE2 = V_D = 0.65v$$

ففي هذه الحالة يكون هبوط الجهد عبر R_{c4} مهمل ويكون :

$$V_o = V_{cc} - V_{BE2} - V_D = 5 - 2 \ (0.65) = 3.7 \ v$$

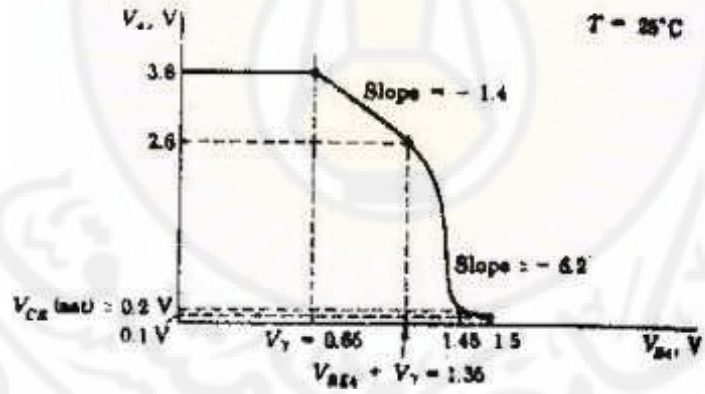
لو فرضنا الآن أن البوابة محملة بـ 10 بوابات متماثلة أي N=10 ولنفرض أن h_{FC} كبيرة و تصل إلى أسوأ قيمة h_{FC} = 0.1 فيكون تيار الحمل من رتبة 1mA ومع ذلك فإن الجهد الهابط عبر R_{c4} يمكن اعتباره مهمل ولكن نعتبر في هذه الحالة أن $V_{BE2} = V_D = 0.75v$ ويكون جهد الخرج :

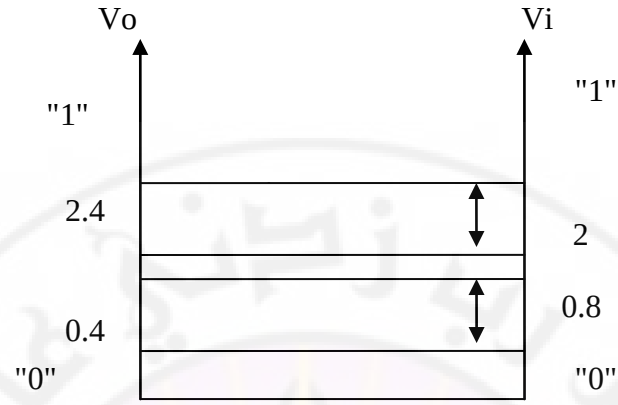
$$V_o = V_{cc} - 2V_{BE} = 5 - 2(0.7) = 3.6\ v$$

ومع ذلك نلاحظ أن جهد الخرج عند الوضع المنطقي " 1" وأن انخفاض الجهد البسيط يعتمد على تيار الحمل وهنا على عامل التحميل N.

وهكذا نلاحظ :

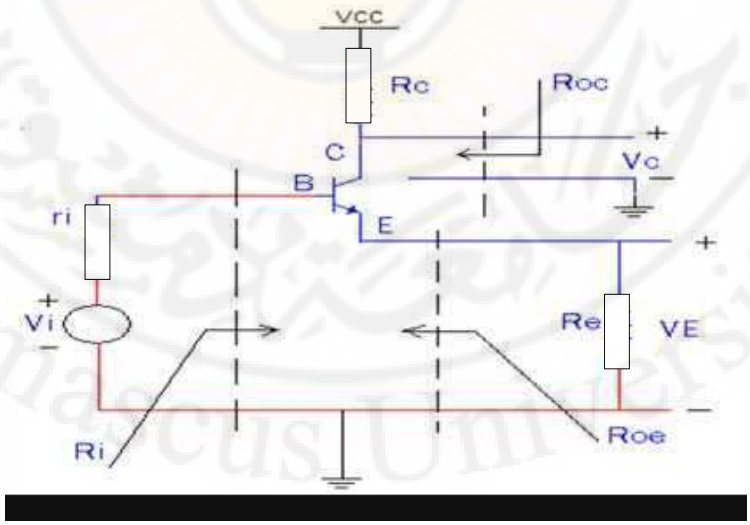
أنه إذا كان T_4 وبالتالي T_3 في حالة قطع فإن جهد الخرج V_o يعطى بالمعادلة السابقة وهذه القيمة مبينة بيانياً في الشكل (33-9).



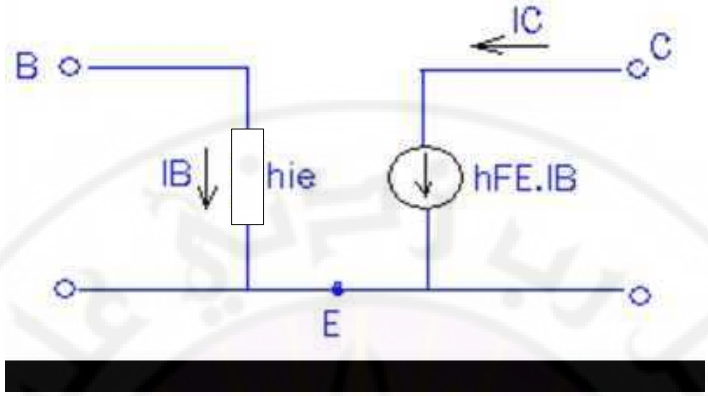


قاسم الصفحة :

دراسة هذه الدارة تعطي فكرة جوهرية عن عمل الترانزيستور T_4 لذلك نعتبر الدارة التالية :



(A)



(B)

الشكل (34-9)

بفرض أن الترانزيستور يعمل في المجال الفعال .

المرحلة تحتوي على مقاومة مجمع R_C ومقاومة باعث R_e ومنبع الدخل (منبع القيادة) له مقاومة داخلية : ri .

بما أن الترانزيستور يعمل في المجال الفعال إذ اً يمكن رسم دارة مكافئة كما في الشكل (B) ثم نحسب الممانعة وكسب الجهد :

$$R_i = h_{ie} + (1 + h_{ie}) \cdot R_e$$

$$Roe = \frac{hie + ri}{hFE}$$

$$AE = \frac{VE}{Vi} = 1 - \frac{hie + ri}{ri}$$

$$Ac = \frac{Vc}{Vi} = -\frac{Rc}{\mathrm{Re}}.AE$$

ولكن بدلاً من الحالات النموذجية نضع :

$$h_{FE} = \beta = 50 \; ; \; h_{ie} = 1 \; K\Omega$$

- إذا كانت: $h_{fe} \cdot R_e \gg h_{ie} + r_i$

فإن العلاقات السابقة يمكن أن تقرب بحيث : $R_i \approx h_{fe} \cdot R_e$

$$AE = \frac{VE}{Vi} = 1$$

$$Ac = \frac{Vc}{Vi} = -\frac{Rc}{\mathrm{Re}}$$

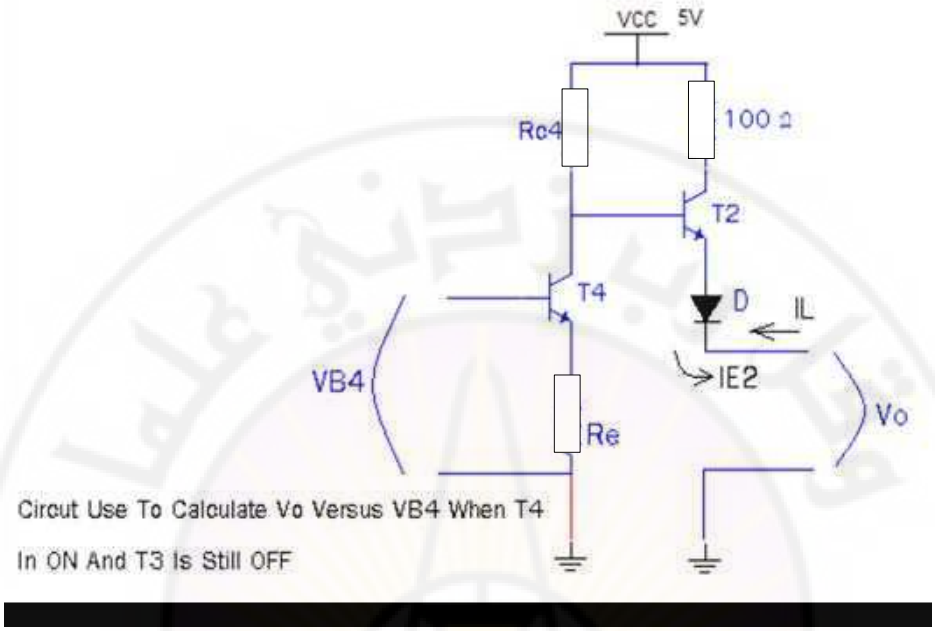
نعود للدارة الأساسية في الشكل (8-31)

إذا جعلنا V_{B_4} تزداد من الصفر حتى تصل إلى القيمة :

$$V_{B_4} = V_\gamma = 0.65 \; v$$

فإن الترانزيستور T_4 يبدأ بالدخول إلى المنطقة الفعالة و مع ذلك بسبب الهبوط عبر وصلة القاعدة – الباعث لـ T_4 فإن T_3 يبقى بحالة قطع .

في هذه النقطة نستخدم الدارة التالية لحساب استجابة الخرج V_o بالنسبة لـ V_{B_4}:



الشكل (35–9)

لنحسب ميل خواص العبور_ الانتقال _ في المجال عندما T3 بحالة قطع :

$$A2 \equiv \frac{\Delta Vo}{\Delta VB2}$$

من قاعدة الترانزيستور T_2 إلى الخرج يكون الكسب للتابع المهبطي مساوياً للواحد : $A_2 \approx 1$

- الكسب الناتج عن A_4 يساوي :

$$A4 = Ac = -\frac{Rc4}{\mathrm{Re}} = -1.4$$

و الكسب الكلي : $A = \frac{\Delta Vo}{\Delta VB4}$

ويساوي $A_2 \cdot A_4$

$$A_2 \cdot A_4 = -1.4 \quad :$$

مع ازدياد V_{B_4} فإن T_3 سوف يبتعد عن القطع و في هذه الحالة يدخل T_4 تماماً في المجال الفعال و يقترب الجهد V_{BE_4} من القيمة $V_{BE_4} = 0.7v$.
نفترض أن الترانزيستور T_3 يبدأ بالخروج من منطقة القطع عندما يكون الجهد الهابط عبر وصلة القاعدة _ الباعث $V_{BE_4} = V_\gamma = 0.65v$

أي أن الترانزيستور T3 يبدأ بالفتح عندما يكون :

$$V_{B_4} = V_{BE_4} + V_{BE_3} = 0.7 + 0.65 = 1.35v$$

في النقطة التي يصبح فيها T_3 بحالة فتح تقريباً فإن التيار عبر R_e يساوي تقريباً التيارعبر R_{c_4} ويساوي :

$$V_\gamma / Re = 0.65 / 1\ K\Omega = 0.5\ mA$$

الهبوط عبر $Rc4$ يساوي :

$$1.4\ x\ \ 0.65 = 0.9\ v$$

عندما يكون $V_i = 1.35v$ فإن V_o أصغر من القيمة المحسوبة سابقاً و المساوية لـ 3.5 فيكون :

$$Vo = 3.5 - 0.9 = 2.6\ v$$

عندما يكون الترانزستور T_3 مفتوحاً فإن النسبة $A = \frac{\Delta Vo}{\Delta VB4}$ تزداد و الجهد V_o يبدأ بالهبوط مع ازدياد V_{B_4} بالمقارنة مع حالة T_3 عندما كان مغلقاً إن هذا الازدياد في الكسب له مصدر مضاعف "أي له مصدرين" .

من ناحية أولى فإن V_o تهبط لأن T_3 يبدأ بالناقلية و من ناحية ثانية عندما يكون T_3مفتوحاً ON فإن مقاومة الباعث R_e تتصل تفرعياً مع ممانعة دخل الترانزستور T_3 ناظرين إلى قاعدة T_3 .

المقاومة في دارة الباعث T_4 سوف تنقص و بصورة مباشرة وفقاً للعلاقة :

$$A_c = -R_c / R_e$$

فإن الكسب سوف يزداد و يمكن التحقق من ذلك عددياً وفقاً لما يلي :

مثال :

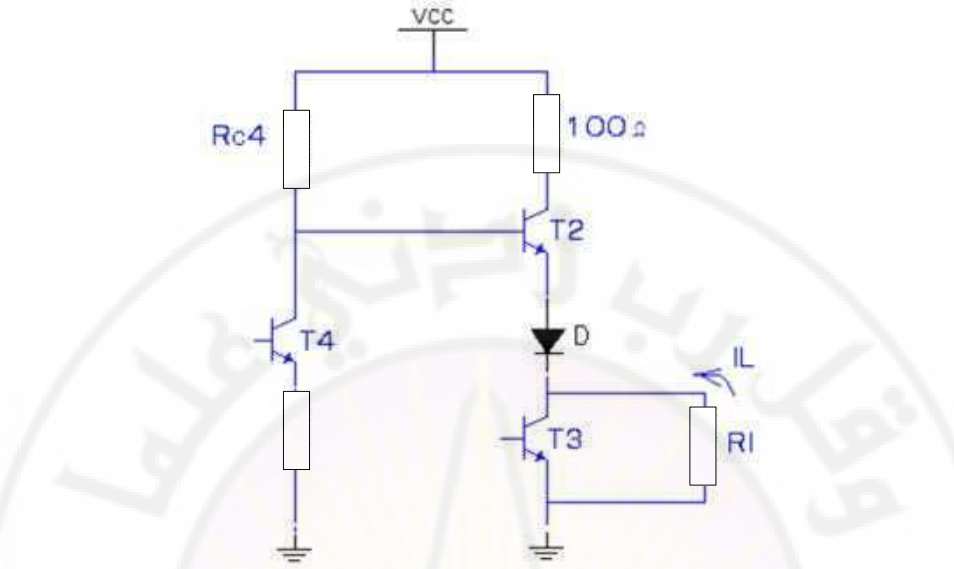
إذا فرضنا في الدارة السابقة إن $T_4;T_2;T_3$ في المجال الفعال و كانت لدينا المعاملات :

$$h_{ie} = 1\ K\Omega \qquad h_{fe} = 50 \qquad A = \frac{\Delta Vo}{\Delta VB4}$$

و المطلوب حساب الازدياد في الكسب.

الحـل :

إن h_{ie} تكون على التفرع $R_e = 1\ K\Omega$ فتكون المقاومة المكافئة على باعث T4 تساوي 500Ω الشرط $h_{fe}.\ R_e » h_{ie}$ محقق الكسب من القاعدة إلى الباعث T_4 الذي هو الكسب من قاعدة T_4 إلى القاعدة T_3 إلى القاعدة T_3 يستمر محافظاً على القيمة الواحدية وفق التشكيل التالي :



Circite Used To Calculate Incermental Gain When T3 Is In Active Region

الشكل(36-8)

تم إعادة رسم الدارة بالاستعاضة عن Re بـ R′e .

الوصول من الباعث لـ T_4 إلى قاعدة T_3 أزيل و استعيض عنه بمولد جهد يعطي القيمة ΔV_{B_3} و هذا يساوي ΔV_{B_4} مطبق على قاعدة T_3.

لنحسب الآن الجهد ΔV_o بالنسبة لـ ΔV_{B_4} و ΔV_{B_3} :

الكسب بالعودة إلى المولد ΔV_{B_4} حسبت سابقاً و ذلك وفقاً للعلاقة :

$$A4 = \frac{\Delta Vc4}{\Delta VB4} = -\frac{Rc4}{R'e} = -\frac{1.4}{0.5} = -2.8$$

- نحسب الربح تبعاً لـ ΔV_{B_3} بالعودة إلى الدارة المكافئة يمكن أن نجد ان مرحلة مضخم الباعث المشترك تعمل بدون مقاومة باعث و مقاومة مجمع مقدارها R_C و يكون الكسب:

$$A3 = \frac{\Delta Vo}{\Delta VB3} = -\frac{hfe}{hie} Rc \quad \text{.....[1]}$$

- المقاومة R_C المكافئة و التي يعمل بموجبها T_3 هي الممانعة الظاهرة ناظرين إلى الثنائي **D** و باعث T_3 .

– ممانعة الترانزستور :

$$h_{ie} = \frac{\Delta V_{BE}}{\Delta I_E} = \frac{\Delta V_{BE}}{h_{Fe} . \Delta I_B} = \frac{h_{ie}}{h_{FE}}$$

- على اعتبار أن نفس التيار الذي يمر في الثنائي **D** و T_2 إذا كانت ممانعة الثنائي تساوي إلى ممانعة الترانزستور $\frac{h_{ie}}{h_{FE}}$ و لحساب Rc نضيف مقاومة الثنائي إلى المقاومة المشاهدة T_2 المعطاة بالمعادلة

$$R_{oe} = \frac{h_{ie} \cdot R_e}{h_{FE}}$$ فيكون:

$$R_c = \frac{h_{ie}}{h_{Fe}} + \frac{h_{ie} + R_{C_4}}{h_{Fe}} = 68\Omega \text{.....[2]}$$

من المعادلتين 1 و 2 نجد :

$$A_3 = \frac{\Delta V_o}{\Delta V_B} = -\frac{h_{Fe}}{h_{ie}} \cdot R_c = -\frac{50}{1\times 10^3}.68 = -3.4$$

فيكون الازدياد الكلي لجهد الخرج ΔV_0 يساوي:

ΔV_0 الكلية $= A_4 . \Delta V_{B_4} + A_3 . \Delta V_{B_3}$

لكن:

$$\Delta V_{B_3} = \Delta V_{E_4} \approx \Delta V_{B_4}$$

وذلك لأن T_4 تابع مهبطي باعثي.

$$\Delta V_0 = (A_4 + A_3) . \Delta V_{B_4}$$

و يكون الكسب الكلي:

$$A = \frac{\Delta V_o}{\Delta V_{B_4}} = (A_4 + A_3) = -2.8 - 3.4 = -6.2$$

إن هذه الحالة في تغير الكسب من 1.4 إلى 6.2 تحدث عندما يفتح الترانزستور T_3.

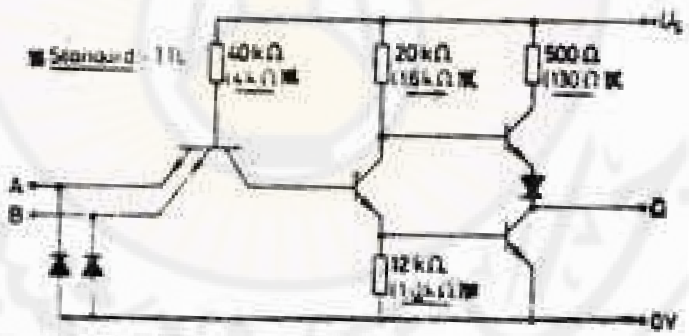
أنواع دارات TTL : Types of TTL Gate

في الحقيقة يوجد عدد كبير من دارات TTL ، وسيلة المقارنة هي بين الاستطاعة المستهلكة في الدارة وسرعة استجابة عمل هذه الدارة .

إن الدارة النظامية تعتبر بوابة ذات سرعة متوسطة و الاستطاعة المبددة بحدود 10mw و زمن التأخير بحدود 10ns و هي ما يطلق عليها اسم الدارة النظامية Standard TTL

الاستطاعة المستهلكة يمكن إنقاصها عن طريق زيادة قيم المقاومات و نحصل بالتالي على دارات TTL ذات الاستطاعة المنخفضة .

دارات TTL المنخفضة الاستطاعة : Low Power TTL



بوابة TTL (NAND) نموذجية منخفضة الاستطاعة

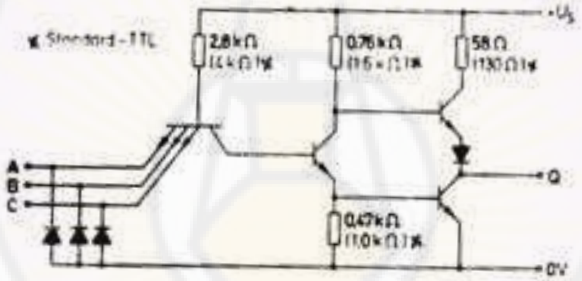
الشكل (37-9)

يبين مقارنة قيم المقاومات لدارة TTL النظامية ودارة TTL ذات الاستطاعة المنخفضة .

الاستطاعة المستهلكة في الدارة ذات القيم الجديدة تساوي 1mw تقريباً و لكن زمن التأخير قد ارتفع إلى قيمة تساوي 33ns .

أي يمكن القول أنه في دارات TTL ذات الاستطاعة المنخفضة تستهلك هذه الدارة 10% تقريباً من الاستطاعة التي تستهلكها دارة TTL النظامية و لكن زمن الانتشار أو التأخير يرتفع إلى قيمة ثلاثة أمثال الحالة النظامية .

- **دارات TTL عالية السرعة: High Speed TTL gates :**



بوابة TTL (NAND) نموذجية عالية السرعة

الشكل (38–9)

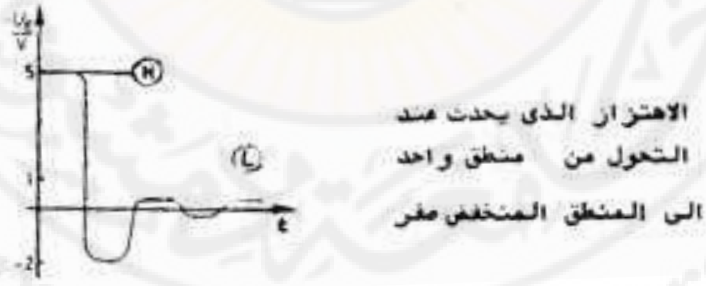
سرعة البوابة يمكن زيادتها عن طريق تخفيض قيم المقاومات كما هو مبين في الشكل (38-9) وفي هذه الحالة يكون زمن شحن و تفريغ عناصر مكثفات الترانزستور صغيراً جداً و يصل زمن التأخير في هذه الحالة إلى قيمة تقارب 5ns .

المقاومات ذات القيم المنخفضة تكون ذات تبديد استطاعة عال يعادل ضعف الاستطاعة المستهلكة في الحالة النظامية حيث تعادل الاستطاعة النظامية المستهلكة للدارة في الشكل (38-9) ذات قيم المقاومات المنخفضة قيمة 23mw .
أي يمكن القول أنه في دارات TTL السريعة يمكن أن تصل سرعتها إلى ضعف سرعة الدارة النظامية ولكن الاستطاعة المستهلكة تزيد عن ضعف الاستطاعة في الحالة النظامية .

ثنائيات الدخل للدارات TTL: The Input Diodes :

كما رأينا فإن في دارات TTL تعطي نبضات خلال فترة زمنية قصيرة قد تصل إلى 5ns ومن خلال ذلك يمكن أن يحدث اهتزاز عند التحول من الحالة H إلى الحالة L .

كما هو مبين في الشكل (39–9)



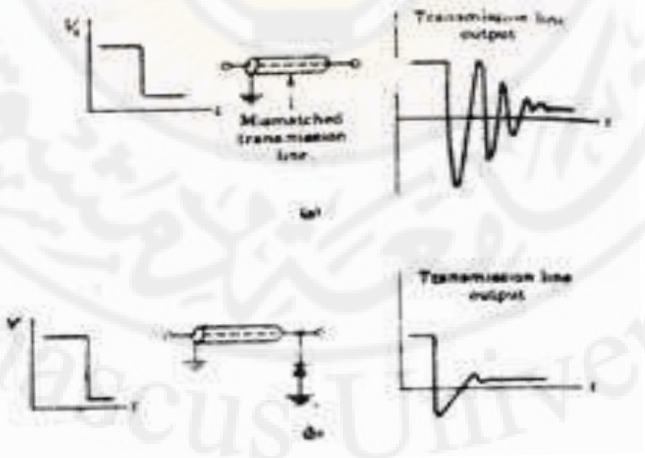
الشكل (39–9)

لذلك فإنه يتم استخدام ثنائيات TTL ومهمة هذه الثنائيات هو العمل على تخميد هذا الاهتزاز الذي قد تصل قيمته في بعض الحالات إلى2V− .

إضافة إلى ذلك فأنه يمكن في دارات TTL أن يتم وضع ثنائيات بين المداخل و الأرض كما هو مبين في الشكل (40−8) و إن عمل هذه الثنائيات هو أيضاً امتصاص الاهتزاز في دارة(نبضة) الدخل حتى لا يحدث عملية فتح خاطئة للدارة المنطقية .

إذا فرضنا على سبيل المثال أن جهد الخرج لدارة TTL قد تغير من "1"إلى"0" فجأةً .فإن التوصيلات السلكية لهذه البوابة قد تسبب في عدم نقل هذا التغير إذا كان السلك الذي ينقل هذه النبضة يسبب حالة اهتزاز كما هو مبين .

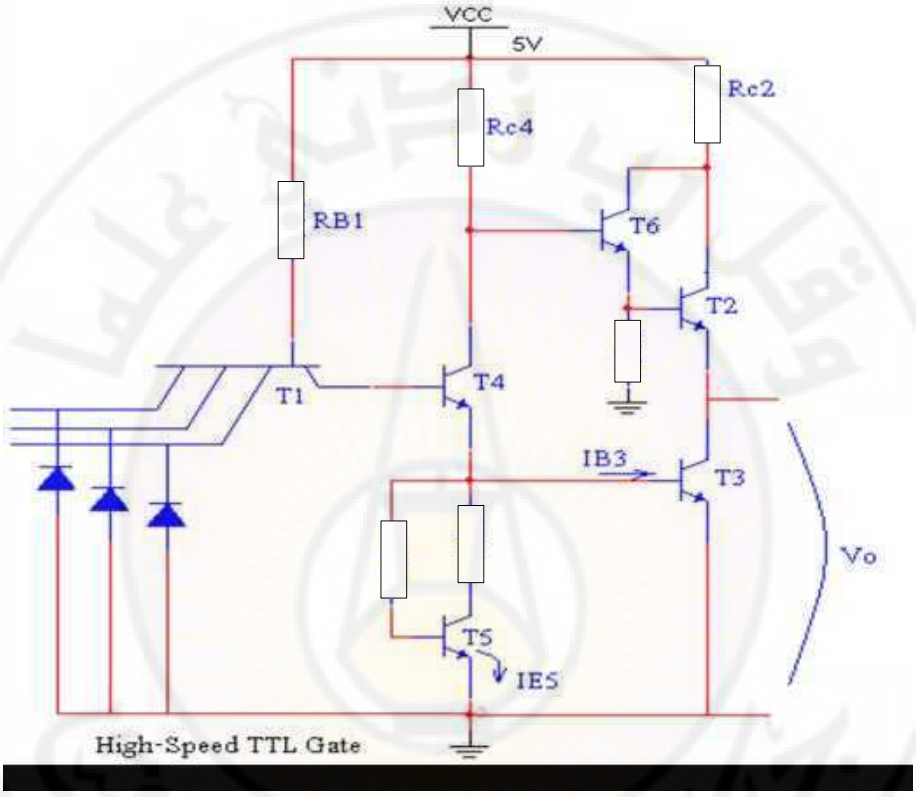
إن استخدام ثنائي الدخل يقطع هذه النبضات و حتى قيمة 0.75V و يمتص قسماً كبيراً من طاقة الإشارة و يمنع النبضة ذات الاستطاعة الكبيرة من أن تسبب فتح خاطئ للبوابة.



الشكل (40−9)

دارة دارلنجتون لبوابات TTL : Darlington Circuit For TTL Gates

في الشكل التالي تعتبر فعالية الترانزستور T_6



الشكل (41-9)

أولاً يلاحظ في هذه الدارة بالمقارنة مع الدارة النظامية شكل (9-31) أنها لا تضم الثنائي D الذي يضمن جعل T_2 في حالة قطع فعلية عندما يكون T_3 و T_4 في حالة إشباع .

في الحالة الجديدة نلاحظ أن الترانزستو ر T_6 بواسطة القاعدة – الباعث يقدم نفس الخدمة التي كان يقدمها الثنائي D في الدارة النظامية و يبقى في حالة قطع عندما يكون T_3في حالة فتح .

و بالعودة مرة ثانية إلى الدارة في الشكل (9-31) فإننا نعلم أنه عندما يكون T2 في المجال الفعال فإن المقاومة المشاهدة على طرف الخرج للبوابة تساوي إلى $\frac{Rc4}{hfe}$ فمن أجل $h_{F_E} = 50$ و C4=1.4kΩ فإن مقاومة الخرج تساوي 28Ω .

في الشكل الجديد (9-41) ذا حسبنا قيمة المقاومة نجد انها تساوي بالنظر إلى الباعث T_6:

$$\frac{Rc4}{hfe} = \frac{800}{50} = 16\Omega$$

و بالنسب إلى T_2 فتساوي $\frac{16}{50} = 0.3$ Ω.

و في كل الأحوال إن الخواص المهمة للدارة في الشكل (9-41) هي عندما يكون T_6و T_2 في حالة توصيل حيث تكون مقاومة الخرج للبوابة منخفضة جداً بالمقارنة مع دارة الشكل (9-31) .

هذه المقاومة المنخفضة في الخرج تزيد من سرعة العمل للبوابة حيث أن المقاومة المنخفضة مع أي سعة تفرعية في خرج البوابة تمكن البوابة من الشحن و الوصول إلى قيمة المنطقية H بسرعة عالية .

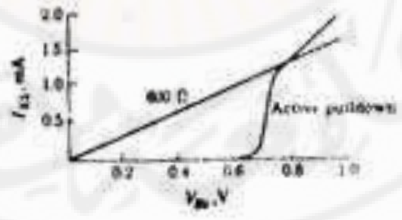
إن هذا التأثير ل T_6 و T_2 لا يحدث عندما يكون الترانزستوران في حالة قطع أو حالة تشبع و أنما فقط في مرحلة الأنتقال من مستوى منطقي إلى مستوى منطقي آخر حيث يكون كلا الترانزستورين في المجال الفعال .

- **الجذب الفعال إلى الأسفل في دارات TTL The Active pull-Down :**

مقاومة الباعث R_e المبينة في الشكل (9-31) تؤمن اتصال قاعدة الترانزستو ر T_3 إلى الأرض و بالتالي تعتبر هذه المقاومة مقاومة جذب إلى الأسفل حيث تفرغ شحنة القاعدة للترانزستور T_3 إلى الأرض عندما يكون T_4 في حالة قطع Cut Off و يعتبر هذا مناظراً لحالة الجذب للأعلى عن طريق المقاومة R_C .

في الشكل (9-41) توجد حالة الجذب الفعال إلى الأسفل Active Pull Down نعتبر الآن المزايا الناشئة عن مثل هذه الحالة.

وفي الشكل (9-42) نبين مقارنة بين خواص الجهد و التيار لمقاومة 600 Ω وحالة جذب سفلية فعالة .



The effect of the active pull-down

الشكل (9-42)

في دارة TTL ذات السرعات العالية High-seed gate التي تستخدم ترانزستورات دارلينغتون شكل(41-9) و التي تستخدم جذباً سفلياً غير فعال تكون مقاومة الجذب المادية بحدود 600 Ω .

لنفرض الآن أن الترنزستور T_3 في حالة ON طبعاً سوف يفتح هذا الترنزستور عندما يصبح الجهد أكبر من 0.65V و يصل غلى حالة الإشباع عندما يصل الجهد 0.75V .

نلاحظ من الشكلين (42-9)و(41-9) ان حالة الجذب السفلي الفعالة خلال فترة الجهد المذكورة (0.65 v -0.75v) تستجر تياراً قليلاً من قاعدة الترنزستور .

و بالمقارنة مع المقاومة 600 Ω أي أن T_5 ظهر في هذه الحالة و كأنه أكبر بكثير من 600 Ω مما جعل T_3 يفتح بسرعة أكبر .

وهذه هي الميزة الأولى أي جعل T_3 يفتح بسرعة أكبر .

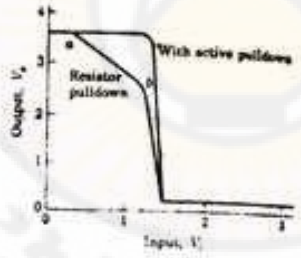
الآن من أجل الميزة الثانية يلاحظ أن T_3 في حالة فتح ON و عامل التحميل N كبيراً فإن تيار قاعدة الترانزستور T_3 يكون كبيراً و الجهد يكون قد ارتفع إلى قيمة تصل إلى 0.8V و ذلك تبعاً للشحنة المخزنة و بالتالي يعمل الترانزستور T_5 و كأنه مقاومة صغيرة مستجراً تياراً كبيراً أكبر من التيار في حالة المقاومة العادية بحيث يحافظ بالتالي على تيار قاعدة I_B ثابت تقريباً و هذه هي الميزة الثانية .

لنعتبر الآن أن T_3 قد أغلق Turn Off هذا يعني أن الجهد يهبط إلى ما تحت القيمة 0.8V ففي هذه الحالة و لبضعة أجزاء من النانو ثانية يستمر الترانزستور

T_5باستجرار تيار أعلى من التيار المستجر في حالة المقاومة العادية رغم انخفاض الجهد عن القيمة 0.8V بحيث يسرع في عملية القطع للترانزستور T_3، إن الجذب الفعال إلى الأسفل يعمل و بشكل جيد في دارات TTL و ضمن مجال كبير للتغيرات الحرارية بينما في الدارات التي لا تحتوي على الجذب الفعال هذا فسوف يزداد زمن وصولها إلى حالة القطع عند ازدياد درجة الحرارة إضافةً إلى ذلك فإن وجود الجذب الفعال في دارة TTL يجعل خواص الخرج تتحسن كما في الشكل (9-43) .

العناصر التتابعية في دارات TTL :A sequential Elements

في دارات TTL يوجد أنواع عديدة من العناصر التي تستخدم بشكل قلابات بأنواع مختلفة مثل JK-FF و MS-JK-FF و كذلك RS-FF المتواقت .



مقارنة خواص الانتقال لبوابة TTL في حالتي

a : الجذب السفلي بواسطة مقاومة اومية

b : الجذب الفعال

الشكل (43-9)

و كمثال على ذلك يمكن بالاستعانة إلى الملحق الموجود في نهاية الكتاب أن نأخذ فكرة عامة عن مجموعات Sn7470 و هي من شركة تكساس أنسترومنت و تمثل قلابات من نوع JK و كذلك النوع MS-JK-FF بأنواعها المختلفة النظامية السريعة والبطيئة و التي تستخدم في أعمال عدة .

إن عامل التحميل للمداخل:K J و C P هو 1 بينما مدخل (Clear) C و P (reset) له عامل تحميل يساوي "2" في حالة MS-JK-FF يكون للمدخل CP عامل التحميل "2" أيضاً .

بشكل عام لدينا أيضاً معلومات حول JK-FF البسيط وفقاً لما يلي :

$P_D = 65mw$ الاستطاعة المستهلكة النظامية .

$f_C = 20MHZ$ تردد الساعة النظامي المضمون .

$f_C = 35MHZ$ تردد الساعة المثالي .

و للقلاب MS-JK-FF :

$P_D = 50mw$ الاستطاعة المستهلكة النظامية .

$f_C = 15MHZ$ تردد الساعة النظامي المضمون .

$f_C = 20MHZ$ تردد الساعة المثالي النظامي .

و انطلاقاً من مبدأ العناصر التتابعية في دارات TTL فإنه تم الوصول إلى دارات تعتمد على هذه التقنية لتحقق أعمالاً عديدة مختلفة كما نرى قسماً منها في ملحق

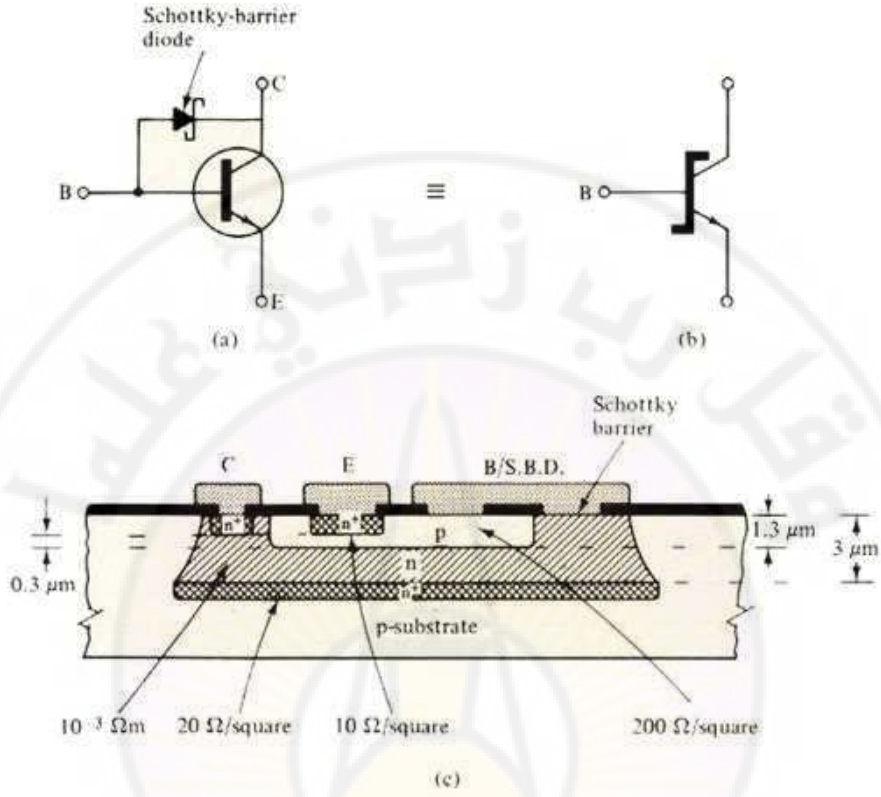
الكتاب كمثال نموذجي لدارات شركة تكساس أنسترومنت مثل العدادات بأنواعها المختلفة – المسجلات ... الخ.

دارات TTLالمحدد بثنائي شوتكي (الدارات غير المشبعة):

Schottky TTL:

من الإمكانيات الأخرى لتكنولوجيا الدارات المتكاملة TTL السريعة هو استخدام ثنائيات شوتكي وذلك للحصول على دارات غير مشبعة سريعة الاستجابة .

فمن المعلوم أن انتقال الترانزستور من منطقة القطع إلى التشبع أو بالعكس يحتاج إلى زمن معين قد يعتبر في بعض الحالات كبيراً لذلك فإن استعمال ثنائيات شوتكي تسمح بتحقيق نفس التابع المنطقي للبوابة دون أن يصل الترانزستور إلى حالة التشبع مما يسرع عمل الترانزستور . كما هو مبين في الشكل التالي :



(a) The Schottky-barrier diode clamped transistor (b) its symbol and (c) its realization in the planar integrated technology.

الشكل (9 – 44 –a,b)

عملياً يتم الانضمام أو التلاحم بين الترانزستور و الثنائي على الكسرة المتكاملة الواحدة مما يوفر وثوقيةٍ عمل عالية للدارة المتكاملة كما الشكل (c-9-44) حيث نلاحظ عملية وصل ثنائي شوتكي مع ترانزستور N-P-N عن طريق وصل المجمع و القاعدة و يلاحظ أن ثنائي شوتكي مكون من معدن الألمنيوم و المجمع

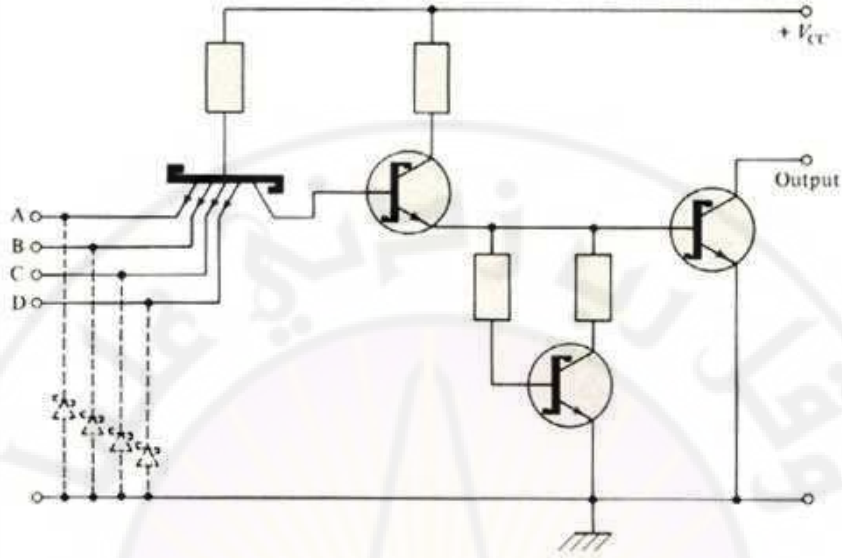
نوع N-Type الطبقة النوع N^+ قد حذفت هنا أما وصلة المجمع فمتصلة في هذا الانتشار عن طريق الطبقة N^+ من نوع انتشار الباعث و بالطريقة العادية .
يمكن تفسير عمل ثنائي شوتكي ومنع الترانزيستور من الوصول إلى التشبع وفقاً لما يلي :

بصورة عامة يدخل الترانزيستور في منطقة الإشباع تكون جهود الترانزيستور تساوي:

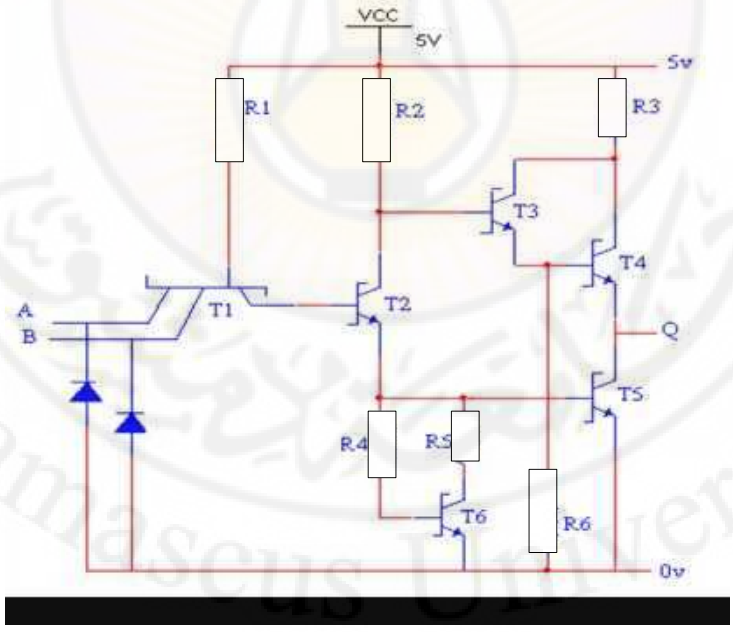
$$V_{CE(sat)} = 0.2v \; ; \; V_{BE(sat)} = 0.75v$$
$$V_{BE(sat)} = V_{BE} - V_{CE} = 0.75 - 0.2 = 0.55v$$

عندما يتم وصل ثنائي شوتكي بين المجمع والقاعدة فإن الجهد V_{BC} سوف يخفض إلى القيمة 0.3 v وهي قيمة جهد ثنائي شوتكي .

إن الجهد V_D هو أصغر من 0.55v المطلوب لإدخال الترانزيستور إلى مجال الإشباع وبالتالي فإن الترانزيستور لا يدخل إلى منطقة الإشباع أبداً .



An integrated positive NAND gate using Schottky diode clamped TTL.



الشكل (45-9) يبين دارة Schottky – TTL نموذجية ذات منطق NAND

إن زمن تأخير الإشارة في أمثال هذه البوابات يكون بحدود $tp = (2.5 - 3)\ ns$ أي ذات سرعة تساوي ضعف سرعة البوابات نوع TTL السريعة جداً العادية .
مع ملاحظة أن الفرق المنطقي بين L و H لأمثال هذه الدارات أقل منه بالمقارنة مع الدارات العادية مما يقود بالتالي لتحديد أكثر حساسية لمستوى الضجيج .

كما أن الاستطاعة المستهلكة تكون عالية حيث تصل في الدارة شكل (45-9) إلى 20 mw وهي ضعف الاستطاعة المستهلكة في دارة TTL نظامية نوع NAND .

يبين الجدول التالي ملخص عام لدارات TTL المختلفة حيث يمكن أن نحصل على نظرة شاملة وسريعة .

	Standard TTL	Low power TTL	High speed TTL	Schottky TTL	Low power schotty TTL
عائلة دارات TTL	نظامية TTL	منخفضة الاستطاعة TTL	دارات سرعة عاليةTTL	شوتكي عادي TTL	استطاعة منخفضة شوتكي TTL
الرمز التجاري العام	7400	74L00	74H00	74S00	74LS00
جهد العمل	5 v	5 v	5 v	5 v	5 v
استطاعة الجر لكل عنصر	10 mW	1mW	23 mW	20 mW	2 mW
زمن الدورة للإشارة	10 ns	33 ns	5 ns	3 ns	9.5 ns
تردد العمل الاعلى	50 MHz	3 MHz	80 MHz	130 MHz	50 MHz
مجال الضجيج النظامي	1 v	1 v	1 v	0.5 v	0.6 v

الجدول (3–9)

9-9- الدارات المنطقية ذات الترابط الباعثي

Emitter coupled Transistor Logic.

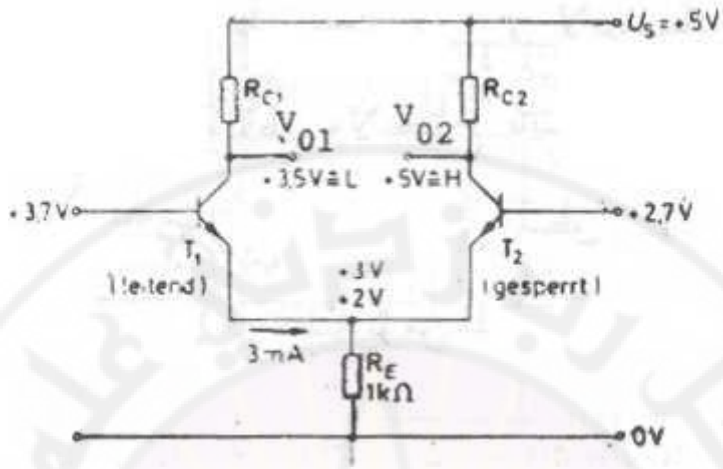
تسمى هذه الأنواع من الدارات أيضاً في بعض الكتب بالدارات ذات التحكم التياري Current mode logic (CML)

Emitter- Emitter coupled logic (ECL) أحياناً يطلق عليها فقط التسمية ECL .

وبشكل عام فإن الوصول إلى دارات ECL كان بسبب الحاجة إلى دارات سريعة ، وتم في هذه الدارات تحقيق السرعة العالية عن طريق عدم إيصال الترانزيستور إلى حالتي القطع أو التشبع وبالتالي فإن الترانزستورات تعمل في المجال الفعال بين نقطتي عمل مختلفتين تحققان المنطق 0 و 1 دون الوصول إلى منطقة القطع أو منطقة التشبع للترانزيستور .

طبعاً إن العمل فقط في المجال الفعال يجعل الفرق في المستوى المنطقي بين L و H قليلاً جداً وكذلك فإن هذه المستويات لا تكون ثابتة تماماً ، إن استخدام المضخم التفاضلي يمكن أن يساعد بشكل أساسي في التقليل من التأثيرات الحرارية و كذلك من تأثيرات تغيرات الجهود .

إذا نظرنا إلى المضخم التفاضلي المبين في الشكل (9-46) فإن قاعدة الترانزيستور T_2 يتوضع عليها جهد مرجعي ثابت و ليكن في مثالنا $V_R=2.7$ بينما على قاعدة الترانزيستور T_1 يمكن تطبيق جهد الدخل V_i .



الشكل (46-9) دارة المضخم التفاضلي

إذا كان V_i أقل من V_R بشكل كاف فإن الترانزيستور T_1 سيكون بحالة قطع ويمر تيار عبر T_2

الجهد المرجعي V_R والمقاومات R_{C2} وR_e تختار ليعمل الترانزيستور T_2 في المجال الفعال دون الوصول إلى حالة الإشباع .

عندما يرتفع الجهد V_i ليصبح مساوياً لـ V_R فإن التيار في كلا الترانزستورين سيكون متساوياً و يكون التيار المار في R_e ناتجاً عن كلا الترانزيستور ين ويكون في هذه الحالة بحدود 1mA إلى 2mA من كل ترانزيستور .

إذا ازداد جهد الدخل $V_i > V_R$ أي أكبر من 2.7v فإن تيار الباعث لـ T_1 سيصبح أكبر ويزداد الجهد الهابط على المقاومة R_e حيث أن $V_E = V_i - V_{BE1}$ مما يسبب جعل الترانزيستور في حالة قطع لأن V_{BE1} يأخذ قيمة ثابتة تقريباً .

إذا كان الجهد المطبق على قاعدة T_1 يساوي إلى 3.7v المقاومة R_{C1} يجب أن تختار بحيث أن يصبح الجهد على مجمع T_1 لا يهبط كثيراً و كذلك فإن الترانزيستور T_2 يكون بحالة قطع ولا يحتاج بالتالي إلى تيار باعث و يكون الجهد V_{o2} يتقارب من القيمة V_{cc} وهو يؤمن المنطق 1 بينما الجهد على مجمع الترانزيستورT_1الذي هو بحالة ناقلية يؤمن المنطق 0 .

وقيمته تساوي الجهد الهابط على R_E مضافاً إليه الجهد V_{CE} و تكون قيمته بحدود 3.5v .

إذا انخفض الجهد على قاعدة T_1 عن الجهد V_R أي $V_R > V_i$ وفي هذه الحالة أقل من 2.7v فإنه تحدث حالة قلب حيث يبدأ T_2 بحالة فتح و يجبر T_1 على القطع و يصبح الخرج V_{o1} ذا مستوى عال H و الخرج V_{o2} على مستوى منخفض L ويجب أن تكون R_{C2} بحيث لا تدخل الترانزيستور T_2 إلى منطقة الإشباع .

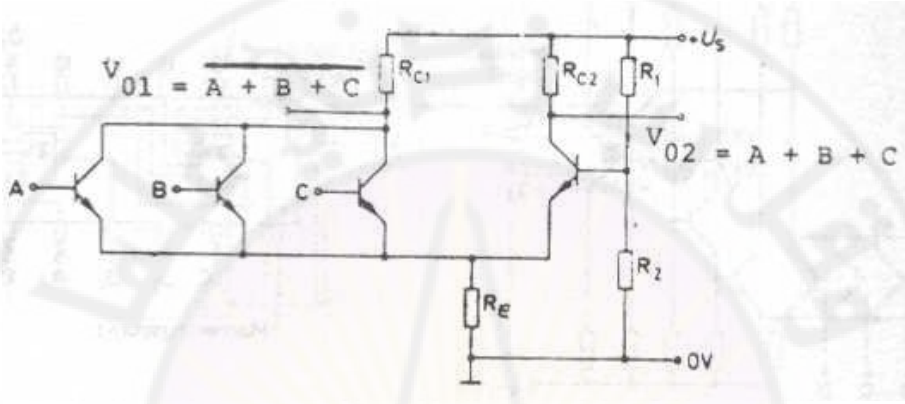
مع الترانزيستور T_1 يمكن وصل عدد من الترانزستورات التفرعية كما هو مبين في الشكل

(9-47) وتعمل الدارة في هذه الحالة كأنها دارة NOR على المخرج V_{o1} وعلى المخرج V_{o2} يكون بالتالي المنطق OR .

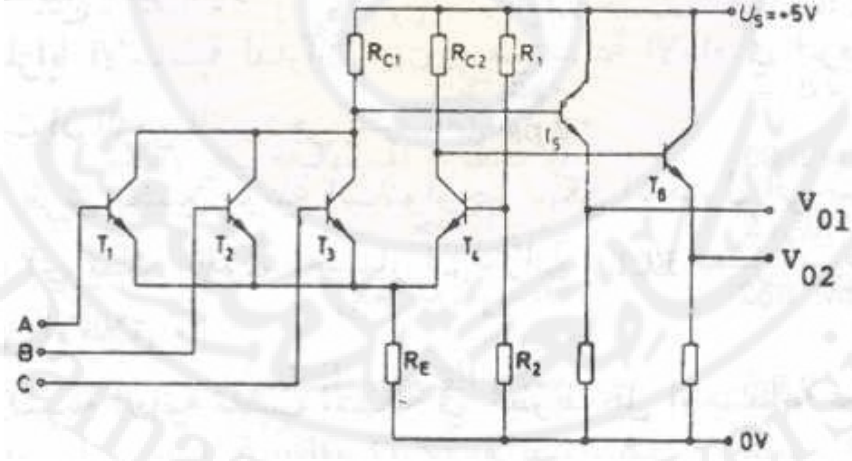
ويلاحظ من الشكل (9-47) ، أن الجهد المرجعي الثابت المراد توفيره على قاعدة T_2 يمكن أن يتحقق عن طريق مجزأ توتر كما هو مبين في الشكل (9-47) .

أن الوصل المباشر مع المخارج V_{o1} و V_{o2} للحصول على المستويات المنطقية H و L في نقاط المجمعات لـ T_1،T_2 لا يعتبر من الناحية العملية ممكناً لذلك يتم وضع ترانزستورات إضافية كما هو مبين في الشكل (9-48) وهذا يسمح بزيادة

عامل التحميل Fan-out حيث يمكن أن يصل إلى (20-30) وذلك كنتيجة لمقاومة الخرج المنخفضة جداً .



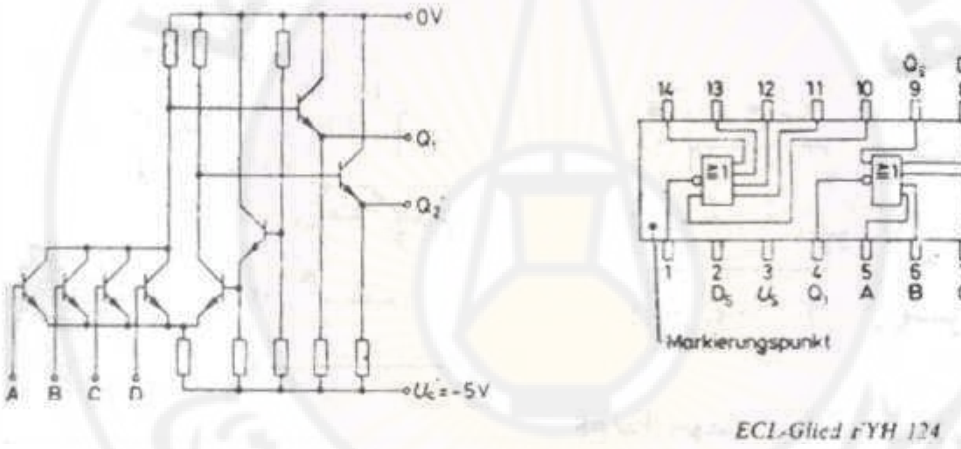
الشكل(47-9)



الشكل (48-9)

إن الشركات المنتجة لدارات ECL تستخدم في الغالب جهد تغذية سالب يساوى 5v- والقطب الموجب يعتبر في هذه الحالة الأرض ونحصل بالتالي على جهد سالب للمستويين المنطقين H وL .

الشكل (49-9) يبين إحدى الدارات العملية لشركة سيمنس FYH124 .



ECL-Glied FYH 124

الشكل (49-9)

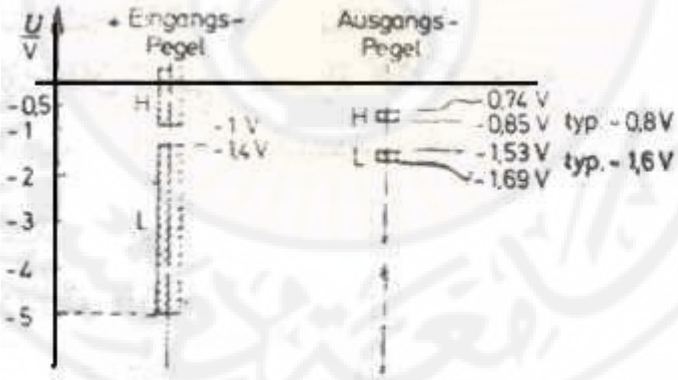
إن جهد التغذية السلبي يحسن من حالة الأمان من الضجيج ، و مستوى الجهد المنطقي بينH وL قيمته تساوي بحدود 0.4v و بالتالي فان الأمان المنطقي من تأثيرات الضجيج يعتبر قليلاً .

إن المزايا الأساسية لدارات ECL هو سرعة الأداء في الوصول إلى القيمة المنطقية حيث أن الزمن النموذجي يقترب من 2ns .

وعن طريق تحسين نوعية التكنولوجيا يمكن الوصول إلى سرعة أداء بحدود 1ns.
أي يمكن القول أن دارات ECL تعتبر أسرع أنواع الدارات المنطقية على الإطلاق .

إن السرعة العالية تسبب مشكلة في خطوط نقل الاستطاعة فعند النقل النبضي بزمن يعادل 2ns فان المجال الترددي يكون بحدود 250MHz وهذا يعني أن خطوط النقل تشع استطاعة عند هذا الترداد العالي ونحصل على حالة تداخل بين خطوط النقل المتجاورة مما يتطلب التغلب على مشاكل إضافية من توافق و انعكاسات لخطوط الوصل مع ملاحظة المقاومة الموجية لخطوط النقل.

باختصار نقول أن استخدام دارات ECL يتطلب استخدام نواقل الترددات العالية كما هو الحال في دارات التردد العالي حيث تتطلب عمليات عزل جيدة و إذا كانت النواقل طويلة نسبياً فانه يتطلب استخدام نواقل محورية Coaxial cable



الشكل (9-50)

المستويات المنطقية لدارة نوع FYH124 المبينة في الشكل (9-49)

لذلك فإنه من الملائم أن يكون مجال التصنيع صغيراً أي كثافة اندماج عال وكذلك الوصلات بين المراجل يفضل أن تكون أقصر ما يمكن .

الاستطاعة المستهلكة في هذه الدارات تعتبرعالية وتقدر بحدود 60mw لكل بوابة مفردة أي تعتبر أكبر بـ 6 مرات من مثيلاتها بالمقارنة مع دارات TTL .

المعلومات الصنعية النظامية لدارات ECL هي :

-5v	جهد العمل
60mw	الاستطاعة المستهلكة لكل وحدة
2ns	زمن التأخير
250MHz	أقصى تردد عمل
0.3v	مجال الضجيج النظامي

إن دارات ECL تستخدم فقط في الأماكن التي تتطلب سرعات عالية خصوصاً في مجال الاستخدامات العسكرية .

10-9 الدارات المنطقية ذات الأثر الحقلي

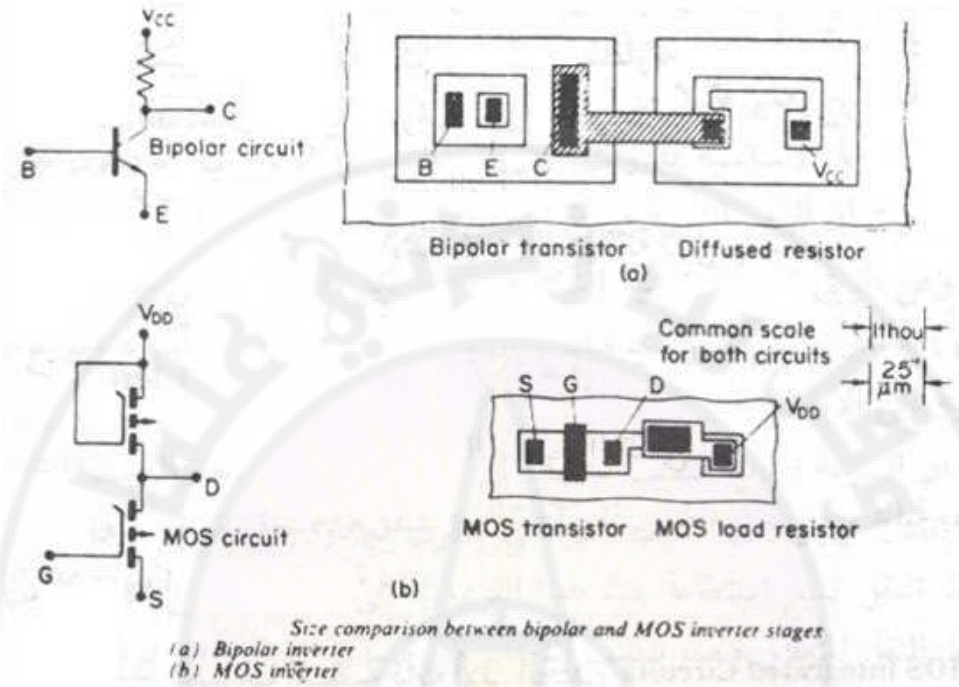
MOS integrated Circuits

تتطلب الدارات المتكاملة التي تستخدم الترانزستورات العادية والتي هي بشكل أساسي دارات TTL,DTL,ECL تسع مراحل من الأقنعة لإنتاجها ويوجد صعوبة في زيادة كثافتها المقدرة ب 100 بوابة في الكسرة الواحدة ذات الحجم $1.1mm^2$ وذلك بسبب تحديد التيارات المستجرة لهذه الدارات والدارات المنطقية التي تستخدم MOS تتطلب فقط أربع مراحل من الأقنعة ويمكن زيادة كثافة الاندماج فيها بشكل معتبر وكذلك فإن حجم الكسرة الالكترونية يعتبر ملائماً من الناحية العملية .

تكون الدارات المتكاملة نوع MOS ذات ممانعة دخل عالية جداً وذات تبديد قليل في الاستطاعة ، كذلك فإن الحجم الذي تشغله دارات MOS قليل بالمقارنة مع الدارات المتكاملة التي تستخدم أنواع الترانزستورات العادية للقيام بنفس العمل .

الشكل (51-9) يبين علاقة الحجم مقارنة بين بوابات عاكسة باستخدام ترانزستورات MOS وترانزستورات ثنائية القطبية "عادية" bipolar .

ومع ذلك فإن هذه الدارات تعتبر بطيئة نسبياً وذات خواص محدودة في مجال الترددات العالية ، كما أنها غير قادرة على استجرار تيارات عالية .



Size comparison between bipolar and MOS inverter stages
(a) Bipolar inverter
(b) MOS inverter

الشكل (51-9)

باستخدام الترانزستورات العادية وبين الدارات المتكاملة نوع MOS وفقاً لما يلي

عنصر المقارنة	الدارات المتكاملة العادية	المتكاملة MOSدارة
دارات رقمية	ذات كثافة محدودة وسرعة أداء عالية	ذات كثافة عالية وسرعة منخفضة
دارات خطية	ممتـــازة	محدودة الاستخدام
دارات هجينة خطية ورقمية	ممكنـــــة	غير عملية
قدرة الجر في الخرج	جيـدة	فقيـــرة
قدرة التصميم للاستهلاك	محـــــدودة	جيـدة

هذه الاعتبارات جعلت استخدام دارات MOS مقصوراً على الدارات الرقمية العالية الاندماج وذات السرعات المتوسطة.

لابد قبل دراسة دارات MOS المنطقية من دراسة كيفية عمل ترانزيستور MOS كعنصر منطقي ثنائي بشكل مفرد كما يلي:

إن ترانزيستور MOS transistor يمكن أن يستخدم كعنصر منطقي مفتاح ثنائيbinary switch بشكل مشابه للترانزيستور العادي bipolar transistor وأن الاختلاف الرئيسي هو في نوع الترانزيستور MOS type وقيمة المقاومات في حالة الفتح والإغلاق تكون أكبر بكثير.

* دارة المفتاح الأساسية basic MOS switching Circuits

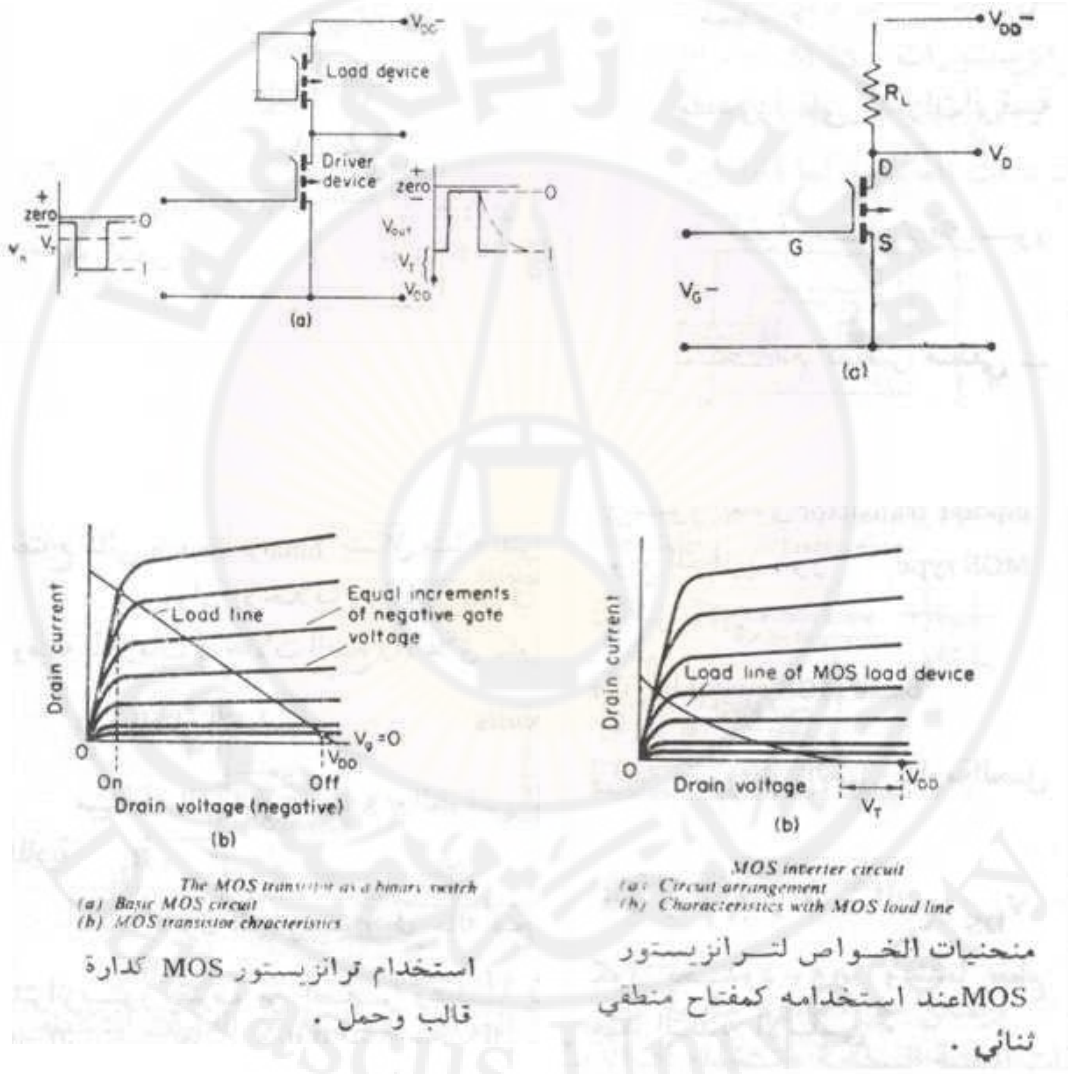
مبينة في الشكل (52-9) والخواص المرافقة تضم فقط الحمل لمقاومة الحمل المادية R_L .

عندما يكون الترانزيستور في حالة فتح فإن جهد البالوعة – المنبع V_{DS} للترانزيستور يقترب من الصفر وعملياً يكون بحدود 0.5v وعندما يقطع الترانزيستور فإن جهد البالوعة سيرتفع إلى جهد التغذية الأساسي.

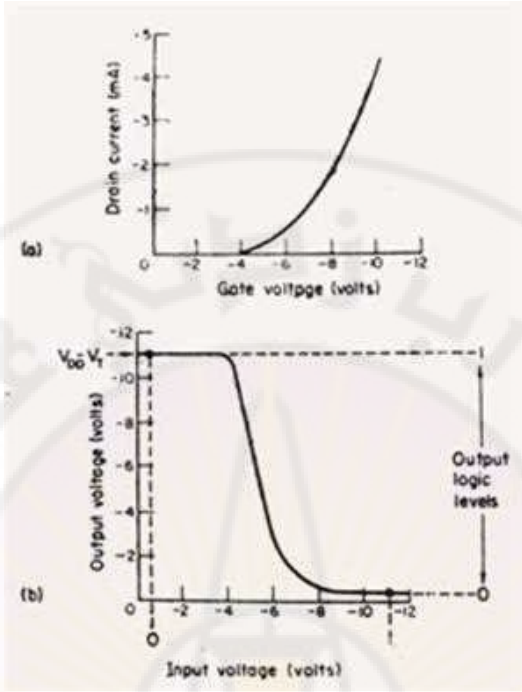
إن استخدام المقاومة R_L يسبب مشاكل تصنيعية إضافية لذلك يتم استبدال المقاومة R_L بترانزيستورMOS ليقوم بنفس عمل المقاومة فنحصل على الدارة المبينة في الشكل (52-9-b) إن خط العمل في هذه الحالة غير خطي حيث يمثل الخواص الفعالة لعنصر الحمل نوع MOS.

وخواص الدخل والخرج مبينة أيضا في الشكل (53-9-a-b).

إذا كان جهد التغذية يساوي 15v- وجهد العتبة لترانزيستور الحمل يساوي 4.5v-
فان الخرج سيكون في حالة القطع سيكون مساويا لـ10.5v- .



الشكل(52-a-b)



خواص العبور للترانزيستور MOS

a) تغير التيار I_D مع تغير جهد البوابة .

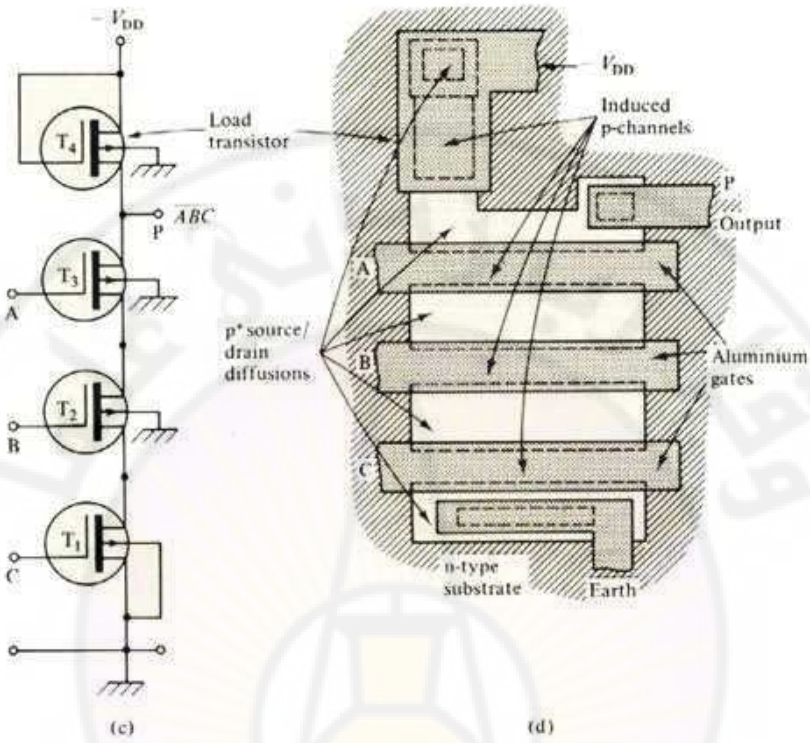
b) خواص جهد التحويل المنطقي لدارة القالب نوع p-MOS

الشكل (b-a-8-53)

* دارة NAND الأساسية

الشكل (9-54) يبين دارة NAND المنطقية باستخدام تكنولوجيا MOS .

إن الجدول الحقيقي لهذه الدارة يمكن أن يكتب وفقاً لما يلي :



Integrated induced p-channel MOST logic gates. (a) an inverter, (b) a three-input NOR, (c) a three-input NAND and (d) its possible I.C. layout scheme.

الشكل (9-54)

A	B	C	V_{out}	T_1	T_2	T_3
0	0	0	1	OFF	OFF	OFF
1	0	0	1	OFF	OFF	OFF
1	1	1	0	ON	ON	ON

جهد التغذية V_{DD} و V_{GG} وجهد العتبة V_T جميعها سالبة.

المنطق 0 يحدث من أجل كون الجهد أعلى من جهد العتبة.

المنطق 1 يحدث من أجل كون الجهد أقل من جهد العتبة.

عندما يكون جهد الدخل على إحدى الترانزستورات أو جميعها أكبر من جهد العتبة فإن T_4 وحده هو الذي يعمل كمقاومة ونحصل في الخرج على المنطق 1 ويكون:

$$V_0 = V_{GG} - V_T = V_{DD}$$

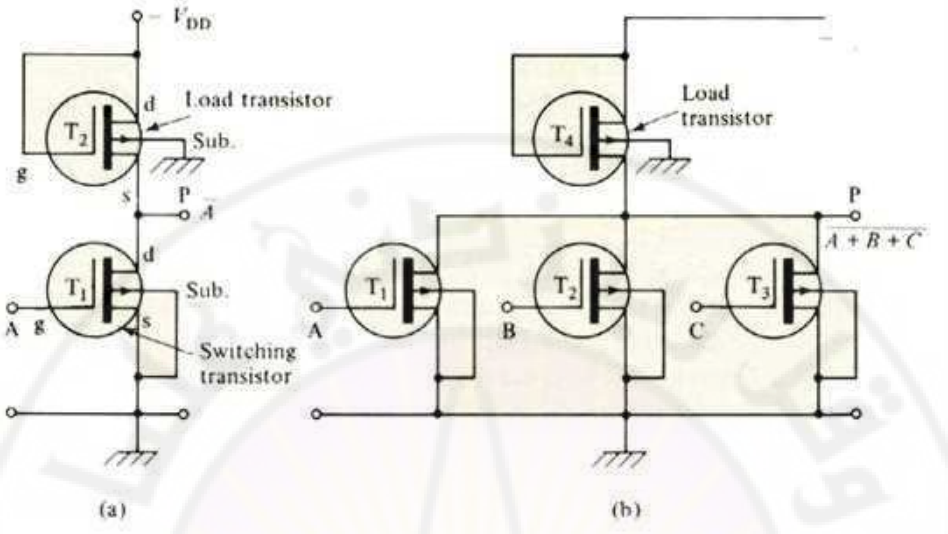
وعندما يكون جهد الدخل للترانزستورات T_1 T_2 T_3 أقل من جهد العتبة :

$$V_{GS} < V_T$$

فإن الترانزستورات جميعها تصبح في حالة توصيل ويكون جهد الخرج مكافئاً للمنطق 0 .

*** دارة NOR**

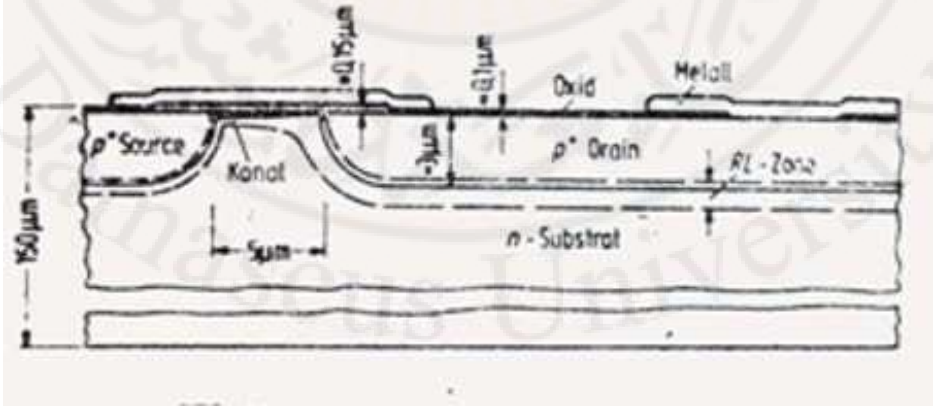
الشكل (55-9) يبين توصيلة دارة NOR ويمكن بسهولة استنتاج التابع المنطقي لهذه الدارة . ويلاحظ أنه استخدمت ترانزستورات نوع P-MOS الجهد V_{GG} وV_{DD} سالب عندما يفتح أي من الترانزستورات نوع تحت تأثير المنطق 1 فإن جهد الخرج يعطي المنطق 0 .

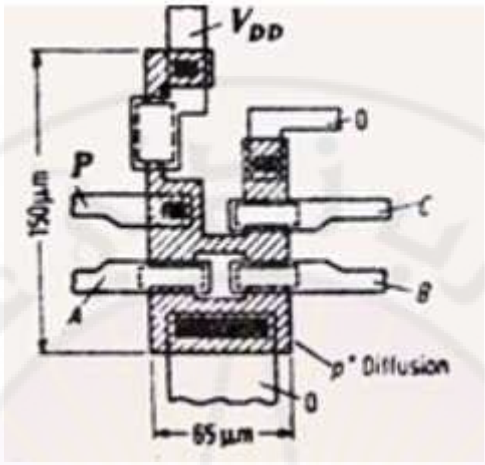


Integrated induced **p***-channel MOST logic gates. (a) an inverter, (b) a three-input NOR,*

الشكل (9-55)

والشكل (9-56) يبين التركيب التكنولوجي الذي يعطي فكرة تقريبية عن كيفية توضع هذه الدارة مع المقاييس النموذجية لمقطع ترانزيستور.





Integrated MOS Gate & Technology Cross section

الشكل (56-9)

القيم المنطقية للدارات ذات الأثر الحقلي والترابط المنطقي :

إن لدارات الـ CMOS مواصفات لإشارتي الدخل والخرج مختلفة عن دارات الـ TTL ، فعندما تعمل بوابات CMOS عند جهد تغذية (5) فولت :

تكون إشارة جهد الدخل المقبولة للحالة المنطقية المنخفضة "Low" تتراوح بين :

Low level input = (0 to 1,5) v

وللحالة المنطقية العليا " High" تتراوح بين :

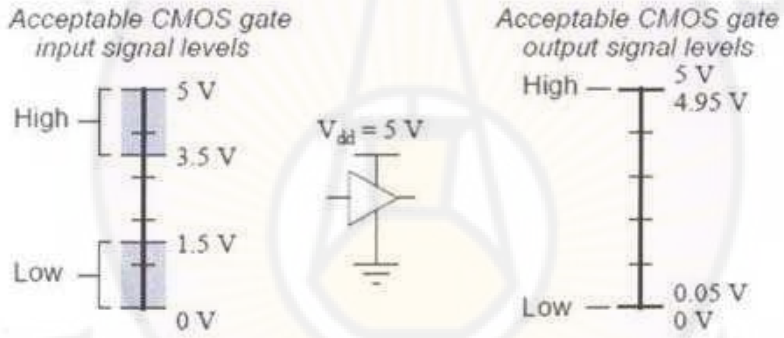
High level input =(3,5 to 5) v

وإشارة جهد الخرج المقبولة (مستويات الجهد مضمونة بواسطة مصنعي البوابات ضمن مجال معين لشروط التحميل) للحالة المنطقية المنخفضة Low تتراوح بين :

Low Level(output) =(0 to 0,05)v

للحالة المنطقية العليا تتراوح بين :

High level output =(5 to 4,95)v

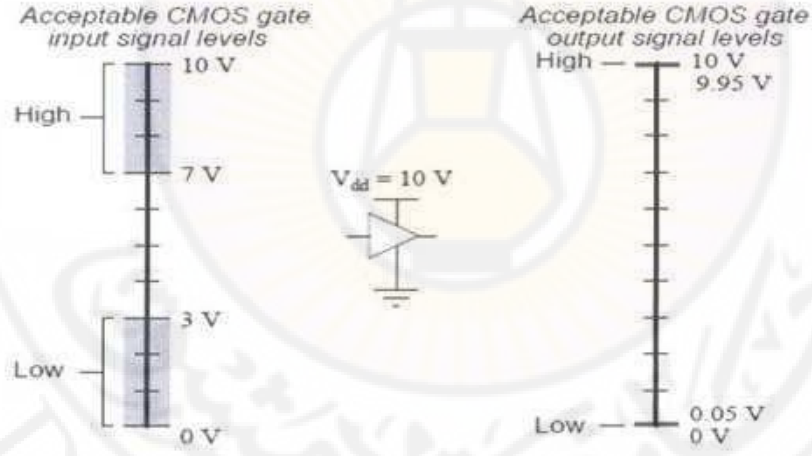


الشكل (57-9) الجهود المنطقية المقبولة للدخل والخرج في بوابات الـ CMOS

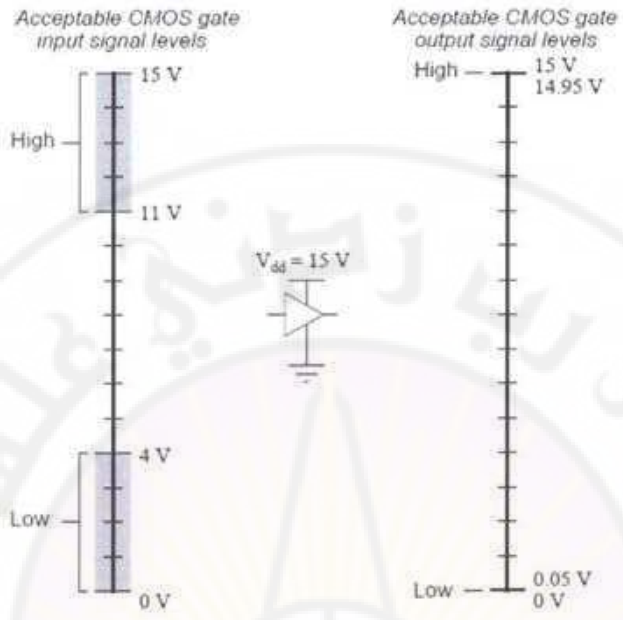
كما هو واضح في الأشكال إن دارات بوابات CMOS لديها هامش ضجيج أكبر من TTL ،

حيث هامش الضجيج هو (1.45) فولت لكل من المستوى العالي و المستوى المنخفض لـ CMOS ، بالمقابل في الحالة القصوى يكون (0.7) فولت للـ TTL ، بكلمات أخرى نجد أن دارات CMOS تسمح لأكثر من **ضعفين** من جهد الضجيج على خطوط الدخل قبل ظهور نتائج تفسير خاطئة للإشارة .

إن هامش ضجيج CMOS يكون أعرض مع جهود تشغيل أعلى ،على عكس TTL التي تكون محدودة لجهود تغذية (5) فولت ،إن بوابات CMOS تتميز بأنها يمكن تغذيتها بجهد عالي يصل إلى (15) فولت (بعض دارات CMOS تصل إلى 18 فولت)، يظهر هنا إن المستوى العالي والمنخفض المقبول للدخل والخرج في دارات CMOS المتكاملة هو (10) فولت و(15) فولت على التوالي ويظهر ذلك من الشكلين(58–9) و (59–9) .



الشكل (58-9) هامش الضجيج لدارات الـ COMSمن اجل جهد تغذية 10 فولت

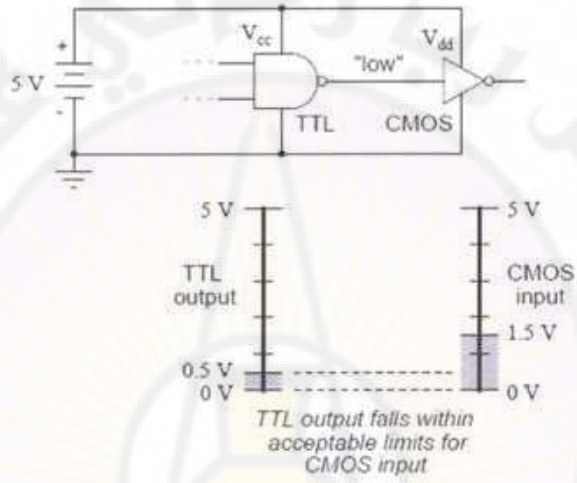


الشكل (59–9) هامش الضجيج لدارات الـ COMS من اجل جهد تغذية 15 فولت

إن مستويات الجهد المختلفة والتي يحتاجها كل من تقنيتي TTL و CMOS تسبب مشاكل عند استخدم بوابات من هاتين التقنيتين في نظام واحد ، بالرغم من ذلك فالمشكلة ليست بجهد التشغيل لبوابات CMOS حيث يمكن أن يكون نفس جهد التغذية (5) فولت المطلوب لبوابات TTL ، لكن المشكلة تكمن بأن مستويات جهد الخرج لل TTL لن تكون متوافقة مع متطلبات جهد دخل CMOS .

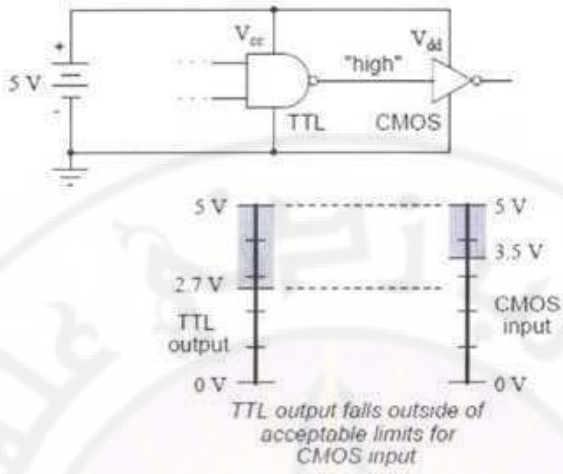
لنأخذ على سبيل المثال البوابة TTL NAND إشارة خرجها ستمثل إشارة الدخل لبوابة عاكس CMOS , كلا البوابتين تغذيان بنفس جهد التغذية (V_{CC}) يساوي (5 فولت) ، إذا كان مستوى إشارة الخرج المنخفض "Low" لبوابة TTL يقع ضمن المجال من (0.5–0 فولت) سيكون هذا الجهد والملائم للمنطق "Low" متوافق

مع الجهد المنخفض لبوابة CMOS حيث يقع جهد دخلها المنخفض ضمن المجال من(1.5–0 فولت).



الشكل (60–9)

الشكل (60–9) يبين التوافق بين خرج بوابة الـ TTLودخل بوابة CMOS لحالة المنطق المنخفض ، وإذا كان مستوى إشارة الخرج المرتفع " High" لبوابة TTL يقع ضمن المجال من (2,5إلى 5 فولت) فمن المحتمل أن لا يتوافق مع مستوى جهد إشارة الدخل المرتفع " High" لبوابة CMOSً الذي يقع بين (3.5 إلى 5 فولت) .

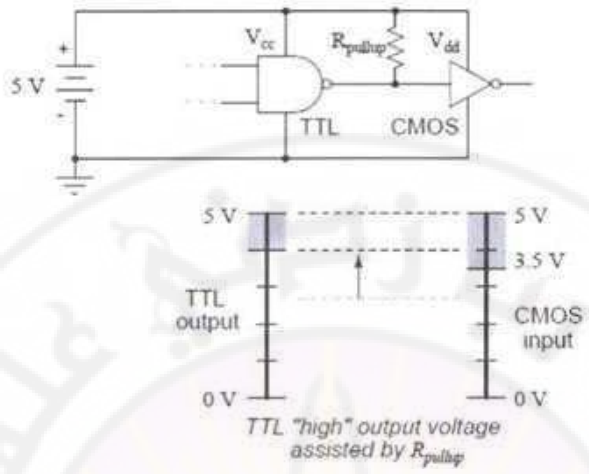


الشكل (61–9)

الشكل (61–9) عدم توافق خرج بوابة الـ TTL مع دخل بوابة الـ CMOS لحالة المنطق المرتفع

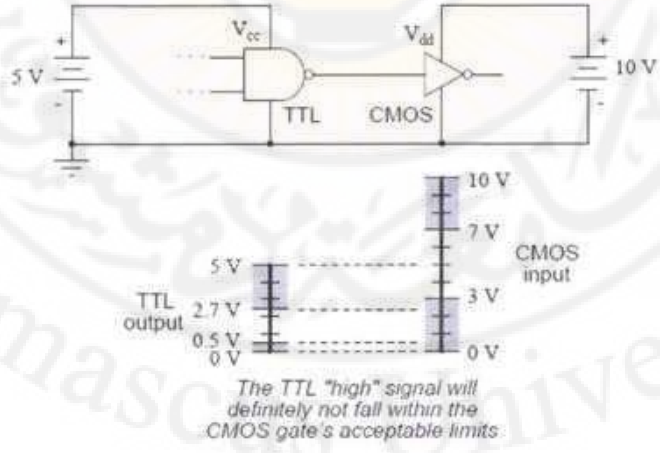
إن عدم التوافق هذا في مرحلة المنطق المرتفع وفقا لنظامية دارات الـ TTL قد يسبب عدم موثوقية لعمل بوابات الـ CMOS،

ولكن من السهل حل هذه المشكلة و زيادة مستوى جهد الإشارة العالية لبوابة TTL بواسطة مقاومة الرفع إلى الأعلى Pull-up resistor كما هو مبين في الشكل(62–9) .



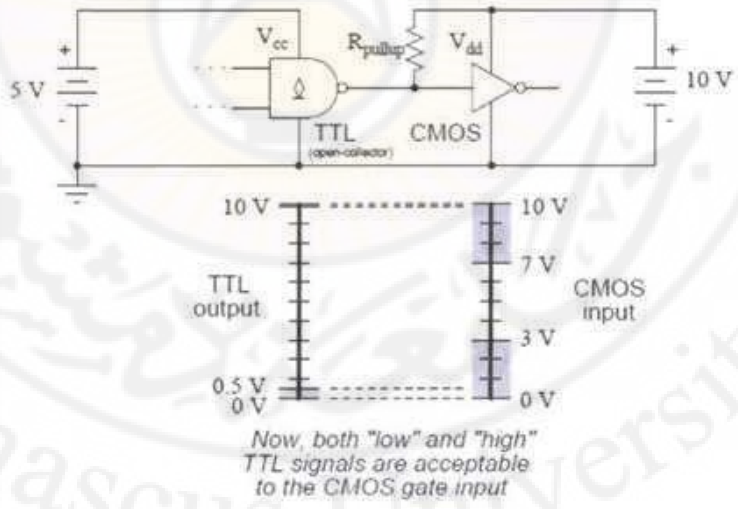
الشكل (62–9)

الشكل (62–9) زيادة مستوى إشارة خرج دارة الـ TTLللحالة المنطقية المرتفعة في الحالة الثانية إذا كان هناك اختلاف بجهود التغذية بين بوابة TTL و بوابة الـ CMOSكما هو مبين في الشكل (63–9) .



الشكل (63-9)

لن يكون هناك أي مشكلة في تفسير بوابات CMOS للخرج المنخفض " Low" لبوابات TTL، ولكن إشارة الخرج العالي " High" من بوابة TTL هو أمر آخر كلياً ،حيث مجال جهد الخرج المضمون لبوابة TTL يقع بين (2.7 −5) فولت وهو قريب من المجال المقبول لبوابة CMOS (7 −10)فولت للإشارة العليا ، إذا استخدمنا مجمع مفتوح لبوابة TTL "open-collector" "عوضاً عن بوابة قطب الخرج "totem-pole" ، بالرغم من ذلك فإن مقاومة الرفع لتغذية (10 فولت) V_{dd} سترفع الجهد العالي لخرج بوابة TTL للجهد الأقصى المغذي لبوابة CMOS وذلك باعتبار أن بوابة المجمع المفتوح هي التي تستطيع فقط أن تخفض التيار وليس منبع التيار ، إن مستوى الجهد للحالة العليا محدد كلياً عن طريق وحدة التغذية الموصولة مع مقاومة الرفع ، هذا تقريباً يحل مشكلة عدم التطابق .

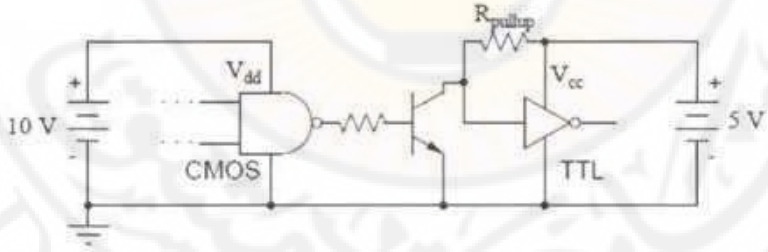


الشكل (64-9)

الشكل (64–9) التوافق بين بوابة الـ TTL وبوابة الـ CMOS عند تغذية مختلفة .

إن جهد الخرج لبوابات CMOS يتمتع بخصائص ممتازة، ونموذجياً لا يوجد مشكلة بربط خرج CMOS مع دخل TTL ، لكن المشكلة الوحيدة هي بتيار الحمل المقدم لدخل بوابة TTL ، حيث خرج CMOS يخفض التيار على مداخل TTL ، وخاصة في الحالة المنخفضة .

عندما تغذى بوابة CMOS بواسطة منبع جهد بحدود (5) فولت (V_{CC}) ، سينتج مشكلة وهي إن حالة الخرج العليا " High" لبوابة CMOS ستكون أكبر من (5) فولت وبالتالي ستكون أكبر من حدود الدخل العليا المقبولة لبوابة TTL ، إن حل هذه المشكلة هو استخدام دارة عاكس بمجمع مفتوح " open-collector " يستخدم ترانزستور NPN والذي يستخدم لربط البوابتين مع بعض .



الشكل (65-9)

إن مقاومة الرفع " pull up-Resistor" اختيارية وذلك باعتبار أن دخل TTL يفترض أتوماتيكياً كحالة عليا " High" عندما يترك عائماً، وهو ما سيحدث عندما يكون خرج بوابة CMOS في الحالة المنخفضة والترانزستور قاطع ، وبالتالي سنحصل على نتيجة مهمة بتطبيق هذا الحل وهي العاكس المنطقي بواسطة

الترانزستور :فعندما يكون خرج بوابة CMOS في الحالة المنخفضة " Low" فإن بوابة TTL سترى دخل عالي" High" ، وعندما يكون خرج بوابة CMOS في الحالة العليا " High" يكون عندها الترانزستور مشبعاً وبوابة TTL سترى دخل منخفض "Low" ، وهذه هي آلية عمل الدارة السابقة كعاكس .

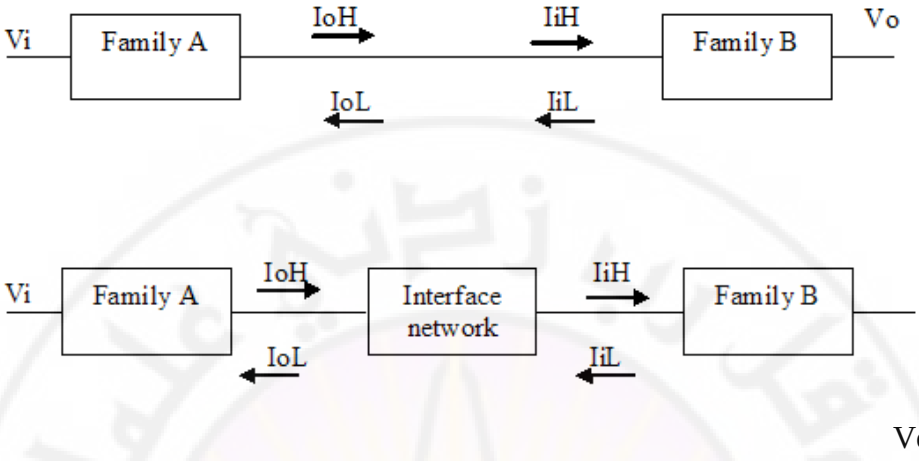
- **مثال على الترابط بين بوابات BJT و MOS**

Example for BJT AND MOS GATES INTERFACING

إن بوابات MOS و CMOS تعتبر أبطأ من بوابات BJT . ولكن من ناحية أخرى يمكن تصنيع بوابات MOS بكثافة عناصر عالية تزيد بكثير من عدد عناصرBJT على نفس الكسرة المتكاملة .

ويوجد في الواقع العملي مزايا من أحداث التزواج بين دارات MOS ودارات BJT ، إن عناصر BJT تستخدم عندما تكون متطلبات السرعة ضرورية وعناصرMOS تستخدم عندما يسمح ببطء العمل.

وبما أن BJT وMOS تعملان عند جهود تشغيل مختلفة وتيارات مختلفة فإن بعض الشروط يجب أن تتوفر حتى يحدث التزواج بين دارات BJT وMOS الشكل(66-9) .



الشكل (9-66)

شروط الترابط الجهدي والتياري

في العديد من الحالات تكون متطلبات التداخل بين مرحلتين بحاجة إلى وسيط ي . مثل هذه الحالات تحدث إذا أردنا تداخلاً بين دارة ECL المنطقية ذات منصف العمل بين0 و5.7v- مع دارة MOS المنطقية التي تعمل بين 14v+ و 0 .

وفي أبسط الحالات يتطلب التداخل شروط عملية بسيطة بين بوابات BJT وMOS .

ولكي نوضح بعض القياسات التي تخدم عملية التزواج بين دارات TTL و دارات CMOS تعتبر الرسم الموضح بالشكل (9-67) .

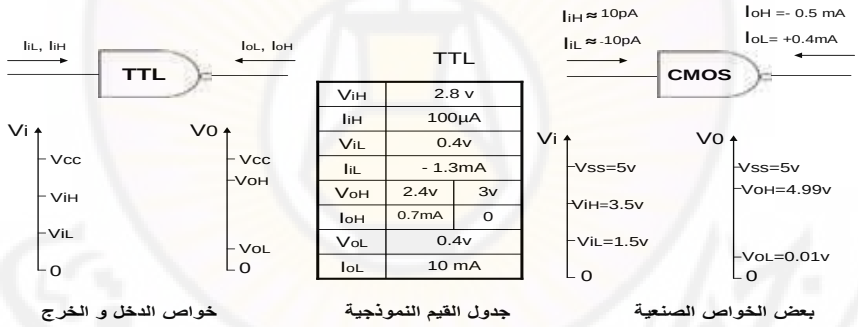
$$I_{OH(min)} > I_{IH(max)}$$

$$I_{OL(min)} > I_{IL(max)}$$

$$V_{OH(min)} > V_{IH(min)}$$
$$V_{OL(max)} < V_{IL(max)}$$

تعتبر هذه الدارات من أكثر الدارات استخداماً في عمليات التزواج المشترك بين الدارات .

دارت TTL تعتبر أكثر دارات BJT انتشاراً وكذلك دارات CMOS أكثر دارات MOS انتشاراً .

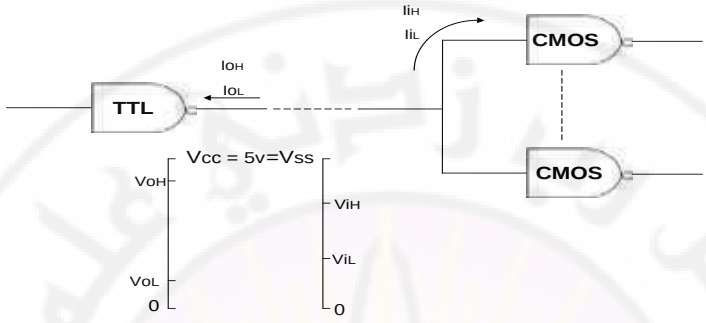


الشكل(67-9)

الخواص الصنعية لدارات TTL ودارات CMOS

TTL تعمل عند جهد تغذية قدره 5v و ستعتبر الحالة التي أيضاً فيها CMOS تعمل بجهد 5v+ لذلك في الشكل السابق الخواص لكلا النوعين .

لنعتبر أولاً الحالة لـ TTL التي تقود N مرحلة من نوع CMOS كما هو مبين في الشكل (68-9)



.

الشكل (9-68) TTL Gate driving N CMOS gates

في هذه الحالة و حتى نضمن نجاح التوصيل فإنه يشترط تحقيق ما يلي

TTL		CMOS
$-I_{OH}$	>	$N*I_{IH}$
I_{OL}	>	$- N*I_{IL}$
V_{OL}	<	V_{IL}
V_{OH}	>	V_{IH}

إذا قارنا هذه الشروط لمرحلتي TTL و CMOS نجد أن :

TTL	CMOS
I_{OH}=-0.7mA	I_{IH}=1nA
I_{OL}=10mA	I_{IL}=1nA
V_{IH}=3.5	V_{OH}=2.4

$V_{IL}=1.5$ $V_{OL}=0.4$

يلاحظ من القيم أعلاه أن :

$$I_{OH} > I_{IH}$$

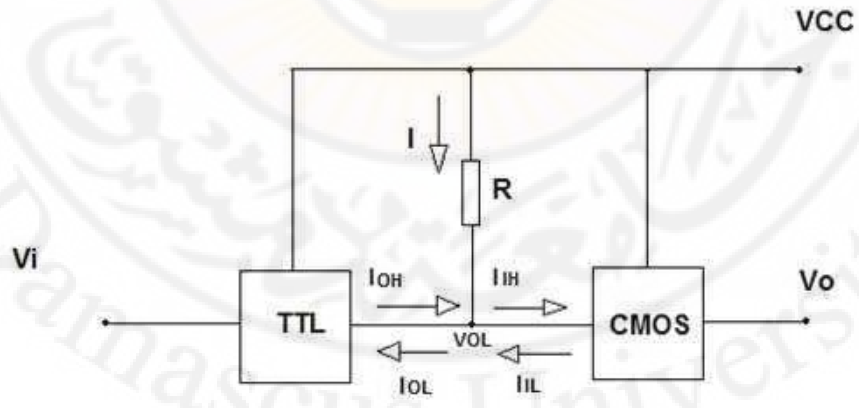
$$I_{OL} > I_{IL}$$

أي أن بوابة TTL المنطقية يمكن أن تعمل كمنبع لبوابة CMOS مهما كانت قيم N كبيرة . ويمكن أن تمتص تيار البالوعة sink لبوابة CMOS وإذا قارنا وضع الجهود نجد أن VIL>VoL محقق ولكن VIH>VOH

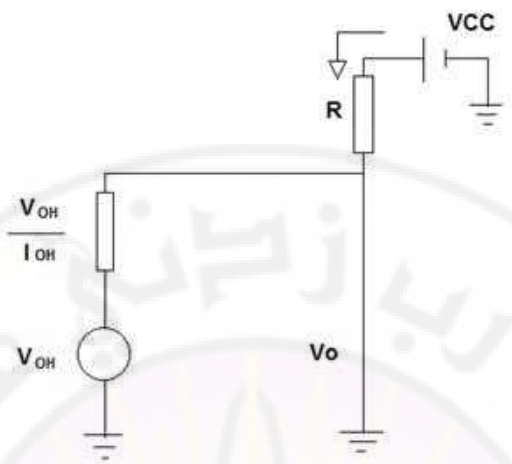
وبالتالي فأن بوابة TTL ،لا يمكنها أ ن تؤمن مستوى الجهد المنطقي المطلوب لبوابة CMOS هذه المشكلة يمكن أن تحل بسهولة بواسطة إضافة مقاومة سحب R (pull –up –resistor) بين البوابتين كما هو مبين بالشكل (9-69)

قيمة المقاومة R يمكن أن تحسب اعتماداً على الشكل التالي :

من الشكل (9-69) نجد:



الشكل (9-69)



الشكل (70 – 9)

$$Vo = Vcc - I.R = Vcc - \frac{Vcc - VoH}{R + \frac{VoH}{IoH}}.R$$

$$= \frac{Vcc.(R + \frac{VoH}{IoH}) - Vcc.R + VoH.R}{R + \frac{VoH}{IoH}}$$

$$Vo = \frac{Vcc.\frac{VoH}{IoH} + VoH.R}{R + \frac{VoH}{IoH}}$$

بوضع $Vo>VIH(min)$ كشرط أساسي لحساب قيمة Rmax نجد قيمة Rmax

بوضع الشرط السابق من أجل حساب قيمة R_{MAX} نجد قيمة R_{MAX}.

$$R = \frac{VoH}{IoH}\left(\frac{Vcc - VIH}{VIH - VoH}\right)$$

$$R = \frac{2.4}{0.7X10^{3}}\left(\frac{5 - 3.5}{3.5 - 2.4}\right)$$

ومنه $R_{MAX} = 4.67\ K\Omega$

الان بالعودة إلى الشكل مرة ثانية نجد بما أن $I_{OL} = I + I_{IL\ (MAX)}$ حيث أن I تيار المقاومة R وبالتالي فان إضافة R قد سببت زيادة في قيمة I_{OL} ويجب أن تتأكد من أن هذه الزيادة لا تزال ضمن مجال تيار أمان البالوعة $I_{OL(MIN)}$=16 mA .

لذلك يجب أن نكون واثقين من اختيار القيمة الدنيا لـ R حتى لا تستجر تيارا كبيرا من الشكل نجد :

$$IoL = \frac{Vcc - VoL(\max)}{R} + IL(\max)$$

بالحل بالنسبة لـ R نجد :

$$R(\min) \geq \frac{Vcc - VoL(\max)}{IoL(\min) - IiL} = \frac{5 - 0.4}{10X10^{-3} - 1X10^{-9}} = 490$$

فنجد أن R محصورة بين $460\Omega < R < 4.67k\Omega$ وتؤخذ عادة قيمة R ما بين 1-5 k Ω

وعمليا تساوي 1k Ω.

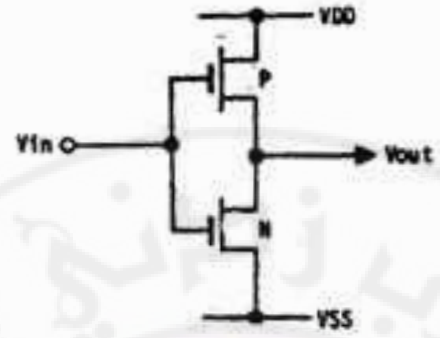
9-11- المصفوفات المنطقية Logic array:

إن هذه الدراسة في مجال البوابات المنطقية ذات الاندماج العالي جدا VLSI تقدم معرفة تكنولوجية في دراسة التصميم باستخدام المصفوفات لتمكن المهندس من اكتساب خبرة جيدة في هذا المجال المتطور وتساعده في معرفة كيفية التصميم والتصنيع والاستخدام لمصفوفات البوابات المنطقية التي تعتبر جزءاً أساسياً وهاماً في التطبيقات الهندسية المعاصرة.

المصفوفات المنطقية logic array يطلق عليها في بعض الحالات اسم الشرائح الرئيسية master slices أو ULA (unit logic array) أو مصفوفة البوابات Gate arrays ، وهي عناصر تسمح للمصمم أن يحصل على فوائد في الحجم والمساحة ، وتصنع في مجال صغير نسبياً وتترابط بشكل كامل أو جزئي مع الدارات المصممة لها أو معها في نفس الوقت عند التصنيع.

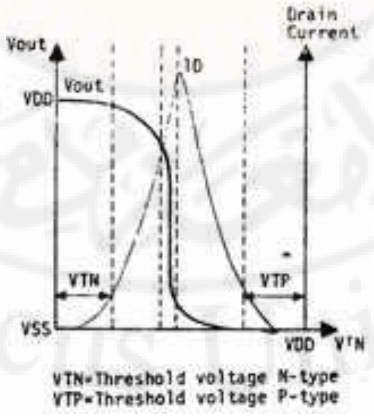
فعلى سبيل المثال يكسب مستخدمي المصفوفات المنطقية عدادات ذات أجزاء قليلة وثبات في الوثوقية التكنولوجية وبالتالي تخفيض كبير في مصاريف التطور وسرعة الاستجابة ،وتعتبر هذه المصفوفات ملائمة التكلفة من أجل عدد من القطع يتراوح بين 5000 الى 50000 وحدة ، ويمكن أن تستخدم كمرحلة من مراحل إتمام التصميم الكامل.

تتكون العناصر الفعالة لدارات المصفوفات المنطقية من مجموعات CMOS التكنولوجية ، حيث يتم استخدام عنصرين فعالين من نوع P-channel و N-channel أحدهما يتمم الآخر عندما يوصلان على التسلسل وفقا للشكل (71 – 9)



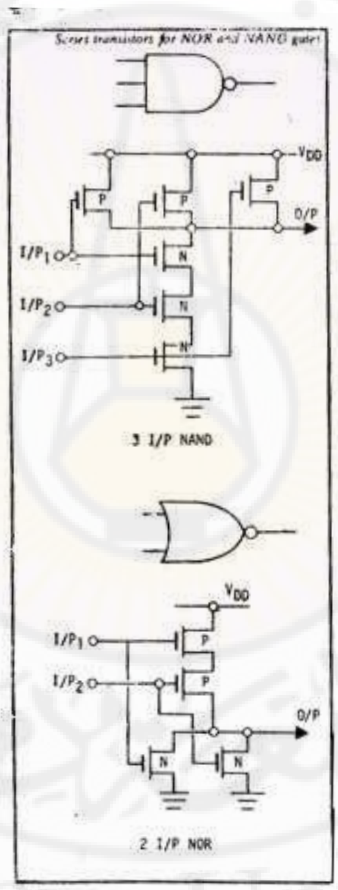
الشكل (71-9)

يطق الجهد على مدخل البوابة المشتركة حيث تسبب في جعل أحد الترانزستورين بحالة تمرير ON بينما يصبح الترانزيستور الآخر بحالة قطع OFF والعكس بالعكس، وتسبب هذه العملية الفعالة الحصول في نقطة الخرج V_{out} على جهد مساو لـ V_{DD} أو V_{SS}. الجهد في الخرج V_{out} بالنسبة للجهد في الدخل V_{IN} مقترناً مع تيار البالوعة Dran current المار عبر العنصرين بين V_{SS} وV_{DD} مبين في الشكل (72-9).



الشكل(72-9)

إن تيار الانتقال Transition Current هو التيار الوحيد ذو الأهمية بالنسبة لدارات CMOS والذي يضمن جعل هذه الدارات ذات استطاعة منخفضة في المجالات الترددية المنخفضة ،كذلك تحقق البوابات الأكثر تعقيداً تيارا صغيراً " صفر" في حالة الهدوء أو الراحة وذلك بالاستخدام المماثل لعدد أكبر من الترانزستورات شكل (b-a-9-73) لبوابتي NOR و NAND .



الشكل (73-9)

إذا تم وصل عناصر N- channel و P-channel على التفرع مع تطبيق بنبضات ساعة متعاكسة الصفحة antiphase على البوابات فان الدخل سوف ينقل الى الخرج حالما تتحقق الناقلية خلال دورة نبضات الساعة.

* تقسم الكسرة الواحدة في المصفوفات المنطقية Gate array chip إلى منطقتين أساسيتين:

أولاً : منطقة النواة أو القلب Core

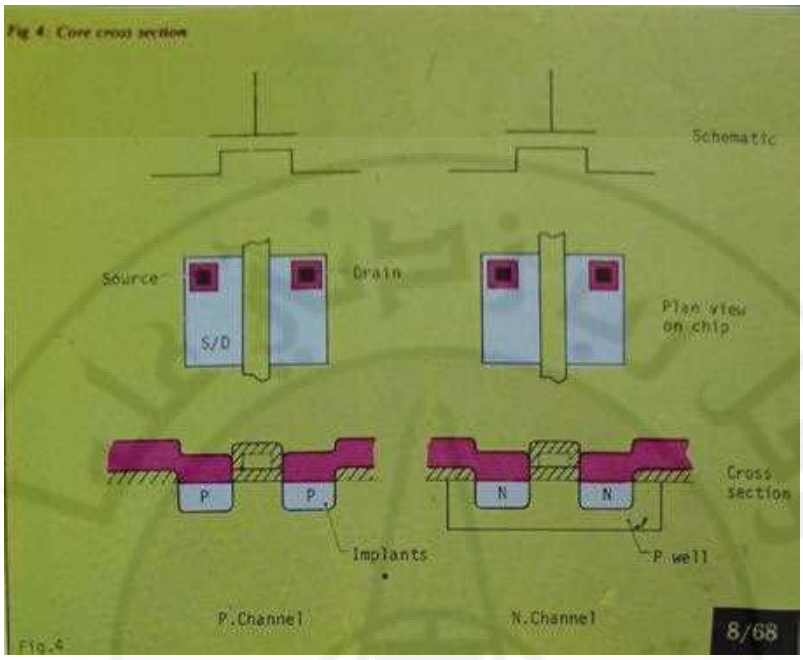
ثانياً : المنطقة المحيطية Periphery

وتحدد هذه التسميات الموضع Location والوظيفة Function .

- منطقة النواة Core region :

تحتوي منطقة النواة على التركيب الفعال الأساسي الذي يتضمن ترانزستورات نوع P-channel و N- channel .الشكل (9 .74) يبين مقطعا عرضيا مبسطاً إضافة إلى الشكل التخطيطي لتوضيح هذين العنصرين اللذان تتشكل منهما النواة في خلية المصفوفات المنقية.

تتكون نواة الخلية الواحدة للبوابة العملية للمصفوفة المنطقية من خمسة ترانزستورات نوع N- channel وخمسة نوع P-channel مرتبة بصورة متقاطعة عبر الخلية الواحدة كما هو مبين في الشكل (9 .75) .

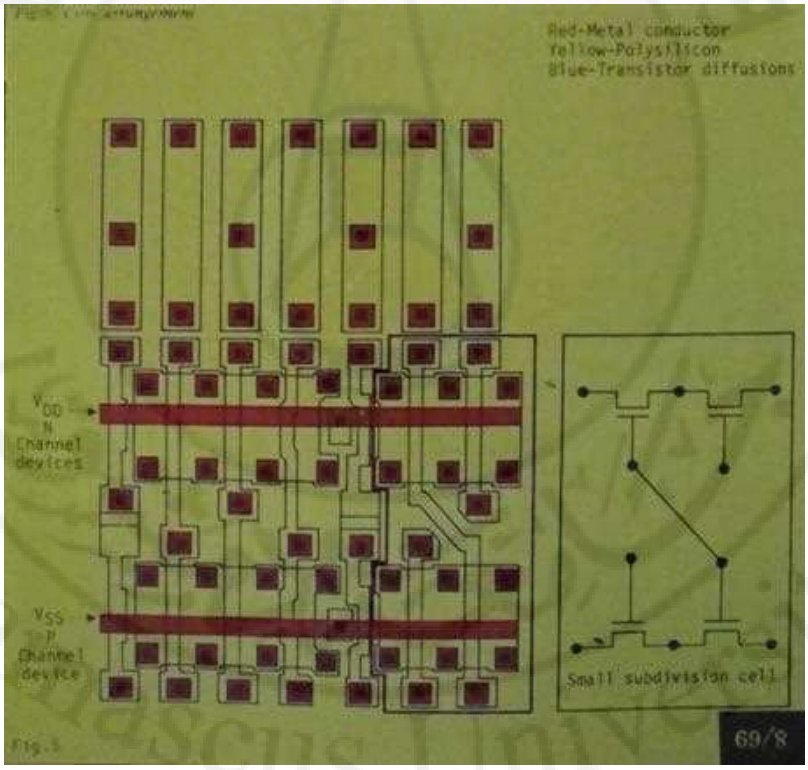


الشكل (74-9)

من الملاحظ أن كل من البالوعة والمنبع يمكن أن يتبادلا المواقع حيث يتواجد نافذتي اتصال contact windows متوفرة لكل منهما ، إضافة إلى ذلك ففي الاتجاه العمودي للمخطط تسير البوابات البوليسيليكونية polysilicon gates لثلاث عناصر نوع N- channel لتشكل بوابات لعناصر P-channel، بينما للزوج الثاني من ترانزستورات P-channel و N- channel فان وصلة البوابة العمودية Vertical gate connection تكون مائلة وتعم ل كبوابة وحيدة معزولة لعنصر نوع P و N . يدعى مخطط الدارة هذه المبينة ب(القسم الصغير) small Subdivision Cell لمنطقة النواة وهي مبينة جانبا في

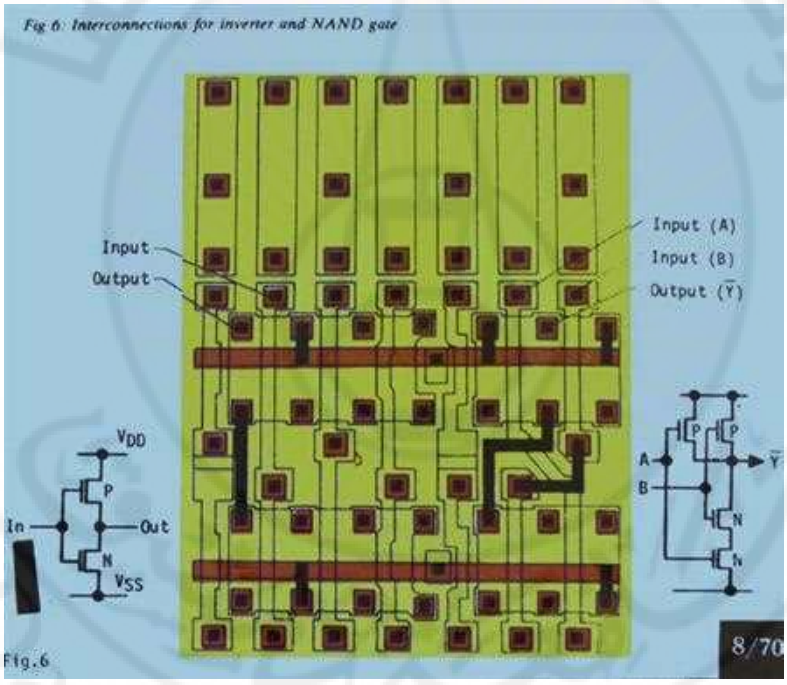
الشكل (75–9) أما الترانزستورات الستة فتحدد ما يسمى بالمجوعة الكبيرة للنواة Larger Subdivision.

نواة الخلية الكاملة المبينة في الشكل (75–9) تحتوي أيضا على معالم إضافية أخرى ، خطوط الـ V_{DD} أو VSS تتصل مع المقاطع المعدنية وهي معزولة عن الترانزستورات ، كذلك يوجد بين العناصر الفعالة خطين من البوليسيكون يسمحان بنقل الإشارات من احد الجوانب الفعالة إلى الجانب الآخر تحت خطي الـ V_{DD} و V_{SS}.



الشكل (75–9)

قرب المساحة الفعالة لمنطقة النواة يتواجد منطقة غر فعالة تستخدم لتشكيل تقاطيع كهربائي أعلى Electrical cross over ،نقاط الاتصال contact Pad المشاهدة على خطي الـ V_{DD} و V_{SS} تؤمنان الانحياز المحلي للقاعدة الأساسية وذلك بحيث يكون V_{DD} لعناصر نوع P-channel و V_{SS} لعناصر نوع N- channel ،ولكي تتم الاستفادة من الخلايا ، فان المصمم يختار نقاط الاتصال للدخل والخرج وتتم إضافة خطوط الاتصال المعدنية لتحقيق الدارة المصممة .



الشكل (76-9)

تبين الخطوط السوداء المبينة في الشكل (76 . 9) نقاط الاتصال المضافة من قبل المستخدم والنقاط المطلوبة لتشكيل عاكس وبوابة NAND سوف

نلاحظ أيضاً أن نقاط الاتصال للدخل والخرج تتضمن وصلات داخلية مقادة بعيدة عن بعضها البعض بالنسبة للمصفوفة . هذا ويمكن تشكيل بوابات منطقية أخرى حسب التصميم المطلوب من المهندس.

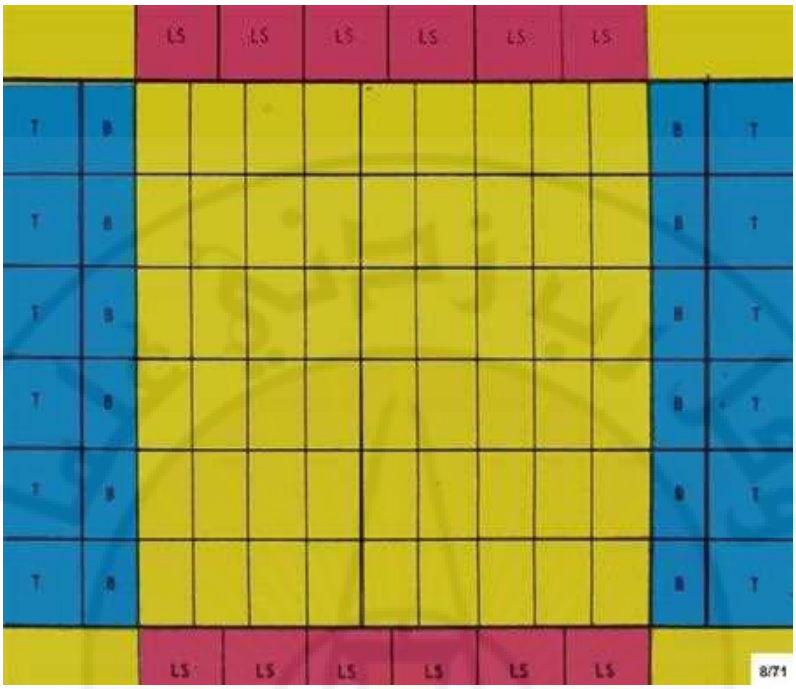
❖ الخلايا المحيطية Peripheral cells :

الشكل (9-77) يبين توضع منطقة النواة بالنسبة للمصفوفة المنطقية ، كذلك بين هذا الشكل المنطقة المحيطة بالنواة ،وترتبط المنطقة المحيطية، وهي المنطقة الأكثر تعقيداً بالخلية المركزية للمصفوفة المنطقية .

تتشكل المنطقة المحيطية من ثلاث وحدات أو جوانب هي:

- الجوانب LS-sides (low-power Schottky)
- الجوانب T-sides (جوانب TTL).
- الخلية الركنية (Corner Cells) .

ويتم تحديد هذه المناطق وفقاً لتكنولوجيا التصنيع . الجوانب T-sides للكسرة ، جوانب اليد اليمنى واليسرى للمصفوفة المنطقية ، وتوضع بهذه الصورة لأن وسادة العزل Pad-buffers عندما تستخدم بصورة مفردة يمكنها قيادة من 1-5 أحمال نوع TTL . أما الجوانب LS للكسرة فتتمثل في الأطراف العليا والسفلى للمصفوفة المنطقية وان العازل buffer يكنه قيادة وحدتي أحمال TTL نوع شوتكي ذي الاستطاعة المنخفضة عندما يستخدم منفرداً.



الشكل (77–9)

كذلك تم استخدام مرجع توافقي للوصل بين وحدات المصفوفات مع TTL ووحدات شوتكي المنخفضة الاستطاعة ويجب أن نلاحظ أن كل عازل Buffer يمكن أن يستخدم للترابط مع دارة CMOS.

بصورة عامة فإن كل نقاط الاتصال bonding pads في المصفوفة المنطقية سواء على الجانب LS أو T تحتوي على منطقة عزل واحدة one Pad buffers (LS,or,T) ، وعلى جدار غير مرتبط Uncommitted P well ، وعلى عنصر جذب علوي فعال ، وعنصر جذب سفلي فعال ، وثنائيين للحماية .

مع هذه التركيبات المختلفة فان منطقة الوصل bonding pad تكون كمدخل، أو مخرج، مخرج ثلاثي الحالات Tri –state-output ،مخرج ذو البالوعة المفتوحة open drain output ،نقاط الدخل والخرج I/O pin ، أو نقاط التغذية power supply pin.

حماية عنصر النواة Protecting Core devices:

لكي يتم استخدام نقاط الاتصال bonding pad كما في الدخل إلى المصفوفة ، فان العناصر على طول الدخل للإشارة يجب أن تحمي عناصر القلب (النواة) للمصفوفة من أية شحنة كهربائية ستاتيكية ، وعادة يتم استخدام ثنائين منحازين عكسيا مع مقاومة تسلسلية لتامين الحماية المطلوبة ، في هذه الحالة إن وجود أية جهود ستاتيكية سوف تشكل انحياز لأحد الثنائيين مما يعيد الشحنة الزائدة إلى إحدى وحدات التغذية V_{DD} أو V_{SS} ، وتحدد المقاومة التسلسلية جريان التيار لتساعد في حماية الثنائيات.

الجدار P المذكور سابقاً يصل كل من المقاومة التسلسلية وأحد الثنائيات إلى إشارة الدخل input signal لتحقيق الحماية ، و يتوضع الجدار P تحت منطقة الاتصال bonding pad وله نقطتي اتصال في طرفيه المتقابلين ،فعند وصل إشارة الدخل إلى إحدى نهايات الجدار وجذبها للدخول إلى النواة من النهاية الثانية ، فان مقاومة الجدار P تعتبر على التسلسل مع إشارة الدخل ، إضافة إلى ذلك فان الجدار P هو منطقة ذات اشابة نوع P فوق قاعدة أساسية من النوع N المستخدمة للمصفوفة المنطقية ، وتكون القاعدة الأساسية Substrate للمصفوفة المنطقية منحازة إلى

الجهد V_{DD} ، لذلك فإن وصلة P-N الناتجة بين الجدار P والقاعدة الأساسية تشكل ثنائياً يكون فيه الجانب N متصل إلى الجهد V_{DD} شكل (78 – 9).

العنصر النهائي المطلوب لاستكمال شبكة الحماية ، هو الثنائي المنحاز عكسياً بالنسبة للجهد V_{SS} ، هذا الثنائي هو الملتصق (Labelled ND) و يتوضع بين وحدتي التغذية في خلية LS ويكون بين خط التغذية V_{SS} إلى الخلايا T.

الوصل النهائي لهذا الثنائي يبدأ من جانب الخرج للجدار P إلى البوليسيليكون شكل سفلي إلى النواة وذلك باستخدام مواد إضافية . النهاية الأخيرة للممر البوليسيليكوني السفلي تتصل إلى (Labelled ND) .

الوصلات الداخلية والتقنية الفعلية لتأمين ذلك مبينة تخطيطيا في الشكل(78– 9) وتحقق التقنية النظامية لمخططات المجموعات المصفوفة المنطقية .

الشكل (78-9)

وقل رب زدني علما
Damascus University

الملحقات العلمية

1 – مسائل تطبيقية

2 – تكنولوجيا التغليف للدارات المتكاملة

3 – أنظمة الميكروالكترونيك ميكانيك MEMS

4 – Abbreviations

(List of Computing, IC, Semiconductor and IT Abbreviations)

5 – References المراجع والمواقع العلمية

وقل رب زدني علما
Damascus University

1 – بعض المسائل المرجعية المحلولة في الدارات المتكاملة

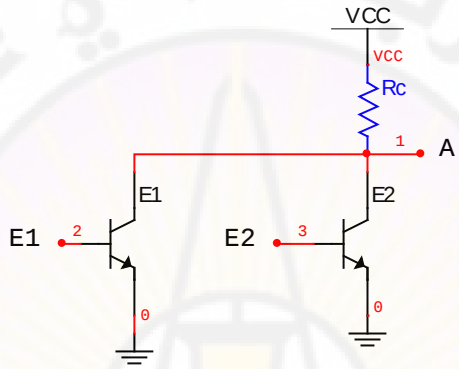
Some microelectronic solved Problems

وقل رب زدني علما
Damascus University

المسألة (1):

لدينا دارة DCTL المبينة بالشكل و التي توصل بها أحمال من نفس النوعية و الخواص حيث :

$$V_{be\ (sat)} = 0.75\ V$$



$$V_{ce\ (sat)} = 0.15\ V$$

$$V_{ce} = 2\ V$$

و المطلوب:

1- حساب جهد الخرج في النقطة A للحالتين المنطقيتين "0" و"1".

2-حساب عامل فوق التحميل m للترانزستورات إذا كان عامل تحميل الخرج (fan- out) N=1 و كانت β=20 .

3-حساب متوسط الاستطاعة المستهلكة للمرحلة الواحدة إذا كانت R_C=2K

الحـل:

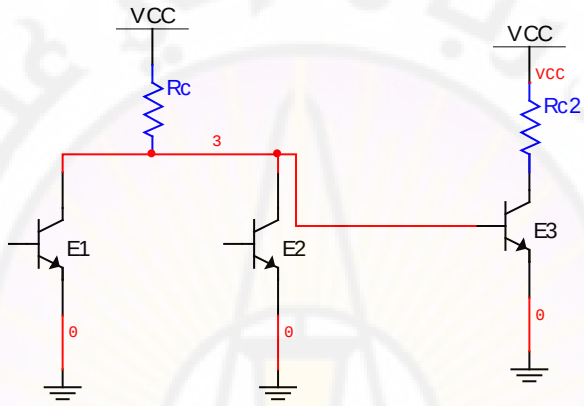
الطلب الأول:

$$V_{A(0)} = V_{A(sat)} = 0.15V$$

$V_{A(1)} = V_{be(sat)} = 0.75V$ (بسبب التحميل)

$V_{A(1)} = V_{cc}$ في حالة عدم تحميل الدارة

الطلب الثاني:



$$m = \frac{I_{B(sat)} \cdot \beta}{I_{c(sat)}} = \frac{I_{BS}}{IB0}$$

عندما يكون الترانزستورين في حالة off نجد :

$$I_{B(sat)} = \frac{V_{CC} - V_{BE(sat)}}{R_c}$$

و عندما يكونان في حالة ON نجد :

$$I_C = \frac{V_{CC} - V_{CE\,(sat)}}{}$$

R_C

$$I_{C1} = I_{C2} = \frac{I_C}{2} = \frac{V_{CC} - V_{CE\,(sat)}}{2R_C}$$

$$m = \beta \frac{V_{CC} - V_{CE\,(sat)}}{R_C} \cdot \frac{1}{\frac{V_{CC} - V_{CE\,(sat)}}{2R_C}} = 2\beta \frac{V_{CC} - V_{BE\,(sat)}}{V_{CC} - V_{CE\,(sat)}}$$

$$m = 2\,(20)\,\frac{20 - 0.75}{2 - 0.15} = 27$$

الطلب الثالث:

$$P_{av} = \frac{1}{2}\,(I_1 + I_0)$$

حيث I_0 التيار عندما يكون الخرج " 0 " و I_1 التيار عندما يكون الخرج عندما يكون الخرج "1".

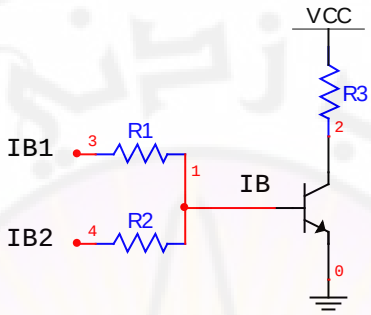
$$P_{av} = \frac{1}{2}\left(\frac{V_{cc} - V_{BE\,(sat)}}{R_C} + \frac{V_{cc} - V_{CE\,(sat)}}{R_C}\right) = 1.55\ mw$$

****

المسألة (2) :

في دارة RTL المبينة أدناه إذا كان :

$$R1=R2=R3=R=R_C$$



$V_{CE(sat)}= 0.1$ V

$Vcc=10$ V

$V_{BE(sat)}= 0.8$ V

$\beta= 50$

المطلوب حساب m علما أن الدارة في حالة اللا حمل

الحل :

$$V_{cc}= V_{CE\ (sat)}+ I_c \cdot R_c$$

$$I_c = \frac{V_{cc} - V_{CE(sat)}}{R_c}$$

$$I = \frac{10-0.1}{R} = \frac{9.9}{R}$$

$$I_B=I_{B1}+I_{B2}$$

$$= \frac{V_{B1} - V_{BE(sat)}}{R} + \frac{V_{B2} - V_{BE(sat)}}{R} = \frac{V_{B1} + V_{B2} - 2V_{BE(sat)}}{R}$$

$$I_{B1} \cdot R + V_{B2} + V_{BE(sat)} = 0 \Longrightarrow$$

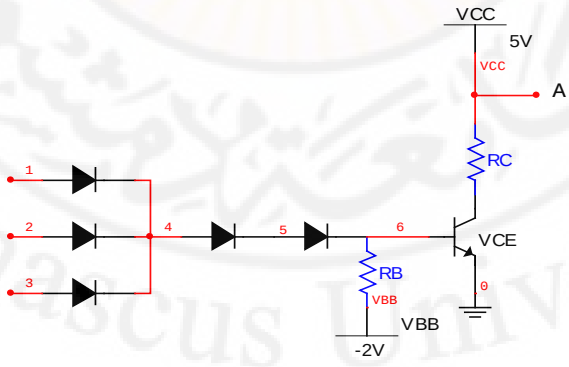
$$I_{B1} = \frac{-V_{B1} - V_{BE(sat)}}{R} = \frac{-0.8 - V_{B1}}{R} \Longrightarrow$$

$$I_B = 2I_{B1} \qquad m=2$$

****

المسألة (3):

في دارة DTL المبينة لدينا القيم التالية :



$V_{cc} = 5\ V$
$V_{BE(sat)} = 0.8V$
$\beta = 20$
$I_{c(sat)} = 5\ mA$

1 ـ ما هو التابع المنطقي في الخرج ؟
2 ـ احسب قيمة R_C من أجل الخرج غير المحمل.
3 ـ احسب قيمة R_b عندما تكون قيمة عامل فوق التشبع $m=2$.
4 ـ احسب قيمة m الأعظمية .
5 ـ احسب قيمة "0" V_{be} (منخفضة)
6 ـ ما هي القيمة التي ينخفض إليها الجهد V_{CE} عندما يقطع الترانزيستور ، وذلك
في حالة تحميل الخرج A بمرحلة واحدة ؟

الحل :

الطلب الأول :

إذا كان على أحد المداخل " 1" سيكون الخرج " 0" . و إذا كان على أحد المداخل "0"
سيكون الخرج "1" ، و بالتالي لدينا بوابة NOR.

الطلب الثاني:

حساب قيمة R_C : $R_C = \frac{V_{cc} - V_{CE(sat)}}{I_{c(sat)}} = \frac{5 - 0.2}{5.10^{-3}} = 960\ \Omega$

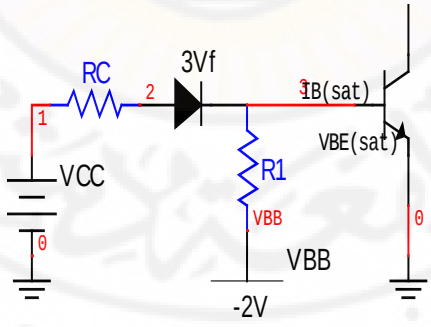
الطلب الثالث :

في حالة التشبع يفترض أن يكون على أحد المداخل "1" بينما الباقي "0" في حالة كون الخرج "1" فهذا يعني أن الترانزيستور في حالة OFF من الشكل نجد :

$$\frac{V_{cc} - 3V_f - V_{BE(sat)}}{R_B} = I_{B(sat)} + \frac{V_{BE(sat)} - V_B}{R_B}$$

$$m = \frac{\beta \cdot I_{B(sat)}}{I_{c(sat)}}$$

$$R_B = \frac{V_{BE(sat)} - V_B + V_{cc} - 3.V_f - V_{BE(sat)}}{R_C} - I_{B(sat)}$$



حيث $V_B = -2V$

$$I_{B(sat)}=\frac{m \cdot I_{c(sat)}}{\beta}=\frac{2 \times 5 \times 10^{-3}}{20}=0.5\ mA \Longrightarrow$$

$$R_B=2.04\ K\Omega$$

الطلب الرابع :

$$m=\frac{I_{B(sat)} \cdot \beta}{I_{c(sat)}}$$

$$3\ \frac{V_{cc}- V_f - V_{BE(sat)}}{R_c}=I_{B(sat)}+\frac{V_{BE(sat)}-V_{BE}}{R_B} \Longrightarrow$$

$$I_{B(sat)}=4.2\ mA \Longrightarrow$$

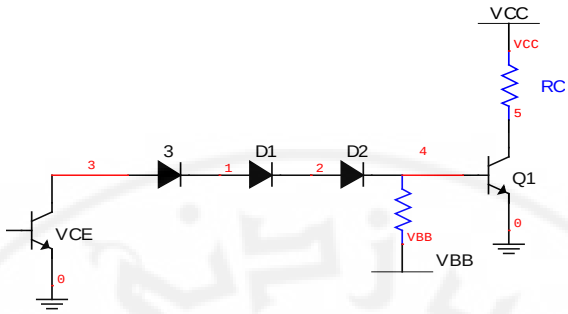
$$m=16.8 \approx 17$$

الطلب الخامس :

$$V_{BE}"0"=-2\ V$$

عند تطبيق "0" على جميع المداخل ستكون الديودات و الترانزيستورات في حالة قطع .

الطلب السادس :



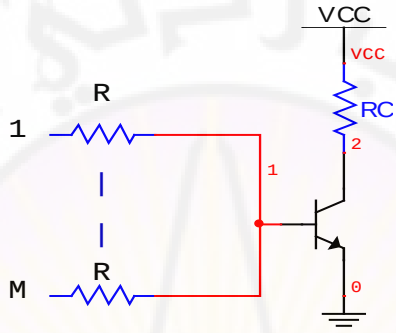
تحميل الخرج بمرحلة واحدة :

$$V_{CE} = 3V_f + V_{BE(sat)} = 3.2\ v$$

****

المسألة (4):

لدينا دارة RTL المبينة بالشكل :



$R = R_C$

$V_{CE(sat)} = 0.1$ v

$V_{BE(sat)} = 0.8$ v

$m = 2$, $\beta = 10$

$V_{cc} = 10$ v

و المطلوب حساب عامل تحميل الدخل M (FAN-IN)، مع ضمان m،علماً أن الدارة

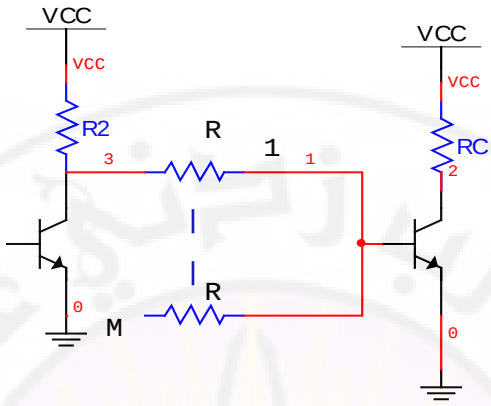
في حالة اللاحمل في الخرج.

$$m = \frac{\beta \cdot I_{B(sat)}}{I_{C(sat)}}$$

الحالة الأسوأ في الدخل مع ضمان تشبع الترانزستور

هي المبينة في الشكل :

حيث يطبق على أحد المداخل "1" بينما يطبق على المداخل الأخرى"0".



$$\frac{V_{cc}-V_{BE(sat)}}{2R} = I_{B(sat)} + (M-1)\frac{[V_{BE(sat)}-V_{cE}]}{R} \quad (1)$$

$$m = \frac{\beta \cdot I_{B(sat)}}{I_{C(sat)}} = \frac{(\beta \cdot I_{B(sat)})}{V_{cc}-V_{cE(sat)}} \cdot R \Longrightarrow I_{B(sat)} = \frac{m(V_{cc}-V_{cE(sat)})}{\beta . R}$$

نعوض في (1) فنحصل على :

$$\frac{V_{cc}-V_{BE(sat)}}{2R} = \frac{m}{\beta}\frac{(V_{cc}-V_{CE(sat)})}{R} + (M-1)\frac{(V_{BE(sat)}-V_{CE(sat)})}{R}$$

$\Longrightarrow$

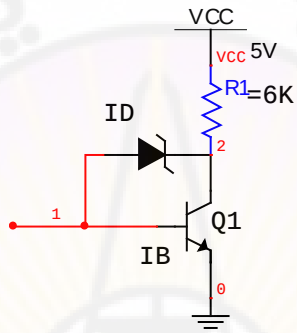
$$M = 1 + \frac{(1/2)[V_{CC}-V_{BE(sat)}] - (m/\beta)[V_{CC}-V_{CE(sat)}]}{(V_{BE(sat)}-V_{CE(sat)})} = 7.28$$

المسألة (5):

لدينا الدارة المبينة في الشكل :

و المطلوب حساب التيار I_D لوصلة المجمع حيث :

$V_{BE}=0.7v$، $V_{CE}= 0.3v$



الحل :

$$I_{IN}= I_B+ I_D \quad \Longrightarrow$$

$$I_{R1}= \frac{V_{cc} - V_{CE}}{R1} = \frac{5 - 0.3}{6} = 0.78 \text{ ma}$$

$$I_c = I_{R1} + I_D \quad \Longrightarrow \quad I_B= \frac{I_c}{\beta} = \frac{I_{R1} + I_D}{\beta}$$

$$I_{IN}= \frac{I_{R1}+I_D}{\beta} + I_D$$

$$1.44 = \frac{0.78 + I_D}{20} + I_D \quad \Longrightarrow \quad I_D = 1.33 \text{ mA}$$

ثنائي شوتكي يزيد من الاستطاعة المستهلكة لكن يسرع عمل الدارة .

****

المسألة (6):

في دارة ECTL المبينة بالشكل و المطلوب : بإهمال تيارات القواعد حدد هامش الضجيج (NML, NMH) و أوجد عامل تحميل الخرج حيث :

$V_D = 0.7$ v

$V_{CE} = 0.7$ v

$V_{OH} = -0.7$ v

$V_{OL} = \frac{-1.77 + 1.71}{2} = -1.74$ v

$V_{IH} = V_{B2} + 0.1 = -1.185$ v

$V_{IL} = V_{B2} - 0.1 = -1.385$ v

حيث يكون Q_{1A} في حالة ON و Q_{1B} في حالة OFF

****

المسألة (7):

الدارة المبينة بالشكل :

حيث :

$V_{BC(sat)} = V_{BE(sat)} = V_D = 0.8$ v

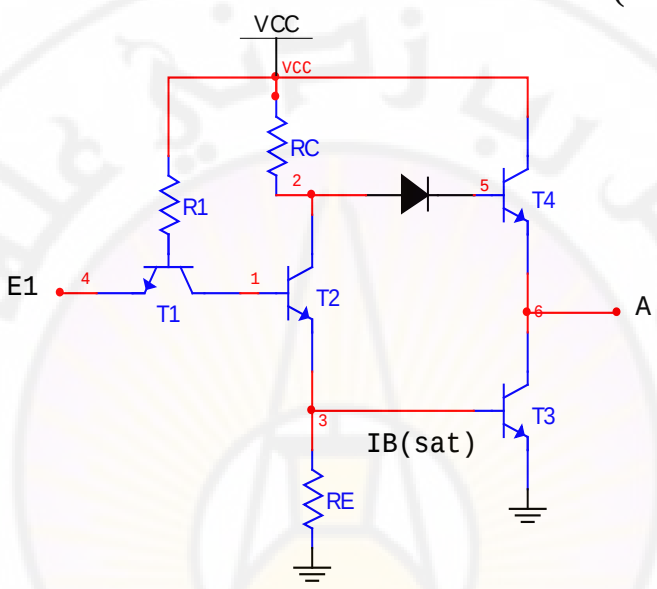
$V_{CC} = 12$ v

$\beta = 50$

$V_{CE(sat)} = 0.8\ v$

$m = 2$

$I_{B(sat)} = 0.5\ ma$



المطلوب:

1 ـ حساب R_1 , R_E , R_C

2 ـ حساب مستوى الجهد المنطقي في A.

3 ـ حساب متوسط الاستطاعة المستهلكة في البوابة الواحدة .

4 ـ إذا تغيرت V_{CC} و أصبحت 5v ما هي العناصر التي تتغير و هل تصبح الدارة أسرع أم أبطأ ؟

الحل:

الطلب الأول :

عندما يكون E1 و E2 في حالة "1" فإن T1و T2 في حالة ON و T4في حالة OFF

$$V_{CC} = R_1 \cdot I_{B(sat)2} + V_{BC(sat)1} + V_{BE(sat)2} + V_{BE(sat)3}$$

$$\Longrightarrow \quad R_1 = \frac{V_{cc} - 3V_{BE(sat)}}{I_{B(sat)2}} = \frac{12 - (3*0.8)}{5*10^{-3}}$$

في النمط العكسي $I_B = I_C$ يكون $\Longleftarrow$ تيار I_E تسريب عكسي

$$V_{CC} = I_{C(sat)2} \cdot R_C + V_{CE(sat)2} + V_{BE(sat)}$$

$$R_C = \frac{V_{cc} - V_{CE(sat)2} - V_{BE(sat)3}}{I_{C(sat)2}}$$

$$m = \frac{I_{B(sat)2} \cdot \beta}{I_{C(sat)2}} \Longrightarrow R_C = \frac{V_{cc} - V_{CE(sat)2} - V_{BE(sat)3}}{(\beta \, I_{B(sat)2} / m)}$$

$$R_C = \Omega\ 880$$

$$I_{B(sat)2} + I_{C(sat)2} = I_{B(sat)2} (4\ \beta/m)$$

$$\Longrightarrow \quad I_{B(sat)2} \cdot (1+(\beta/m)) = \frac{V_{BE(sat)2}}{R_E} + I_{B(sat)2}$$

$$I_{B(sat)} = I_{B(sat)2} = I_{B(sat)3}$$

$$R_E = \frac{V_{BE(sat)3}.(\beta/m)}{I_{B(sat)}}$$

$$R_E = 64\ \Omega$$

الطلب الثاني:

حساب V_A :

عندما يكون E1 = E2 فإن T1 , T2 في حالة OFF:

$$V_{CC} = R_C \cdot I_{B(sat)4} + V_D + V_{BE(sat)4} + V_A$$

$$V_A = V_{CC} - V_D - V_{BE(sat)4} - R_C \cdot I_{B(sat)4}$$

$$V_A = 9.96\ v \approx 10\ v = V_{A(1)}$$

$$V_{A(0)} = V_{CE(sat)3} = 0.2\ v$$

الطلب الثالث :

$$P_{AV} = 1\backslash 2(I_0 + I_H)\ V_{CC}$$

$$I_H = \frac{V_{cc} - V_{BE(sat)} - V_{CE(sat)}}{R_1} = 0.57\ mA$$

$$I_0 = \frac{V_{cc} - 3\ V_{BE(sat)}}{R_1} + \frac{V_{cc} - V_{CE(sat)2} - V_{BE(sat)3}}{R_C} = 13\ mA$$

Where :

3. $V_{BE(sat)} = V_{BC1} + V_{BE2} + V_{BE3}$ ⟹

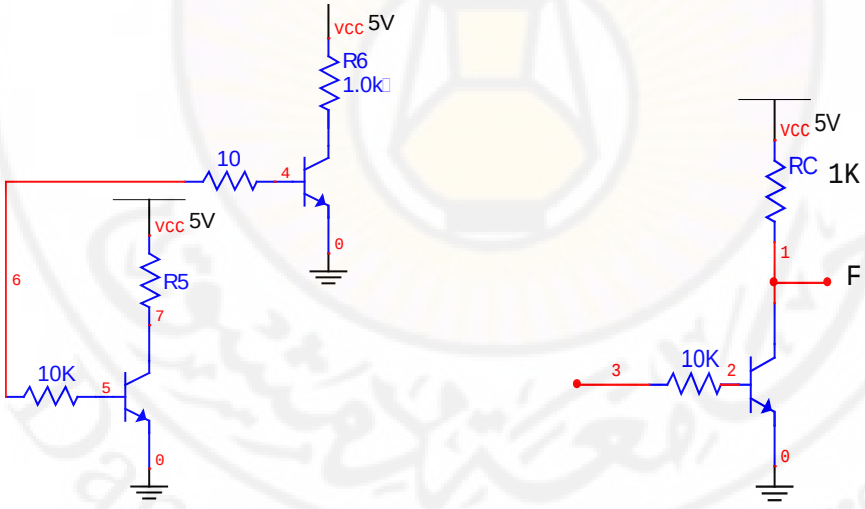
$$P_{AV} = \frac{0.57 + 13}{2} \times 12 = 81.42 \text{ mW}$$

الطلب الرابع :

إذا انخفض V_{CC}، المقاومات تصبح أصغر و بالتالي تصبح الدارة أسرع .

****

المسألة(8):



$\beta = 50$

$V_{BE(sat)} = 0.7$ v

$V_{CE(sat)} = 0.2$ v

احسب عامل فوق الإشباع عند N=10 و احسب V_{OH}و V_{OL}

عند F إذا انخفض Nإلى 5 .

الحل :

تيار المجمع في حالة الإشباع :

تيار القاعدة في حدود التشبع :

$$I_{B(sat)} = \frac{I_{C(sat)}}{\beta} = \frac{4.8}{50} = 0.096 \text{ mA}$$

** N=10:

تيار القاعدة الإجمالي هو :

$$I_B(T) = \frac{V_{cc} - V_{BE(sat)}}{R_C + (R_B/N)} = \frac{5 - 0.7}{1+(10/10)} = 2.15 \text{ mA}$$

$$I_B = \frac{I_B(T)}{10} = \frac{2.15}{10} = 0.215 \text{ mA}$$

$$m = \frac{0.215}{0.096} = 2.24 \approx 3$$

**N=5:

$$V_{OH} = V_{CC} - I_B(T).\ R_C \quad \Longrightarrow$$

$$I_B(T) = \frac{5 - 0.7}{1+(10/5)} = 1.43 \text{ mA}$$

$$V_{OH} = 5 - (1.43 \times 1) = 3.57 \text{ v}$$

$$V_{OL} = 0.2 \text{ v}$$

المسألة (9):

في الدارة المبينة لدينا القيم التالية:

$I_{C1}= I_{C2}= I_{C3} =20$ mA

$V_{BE} = 0.7$ v

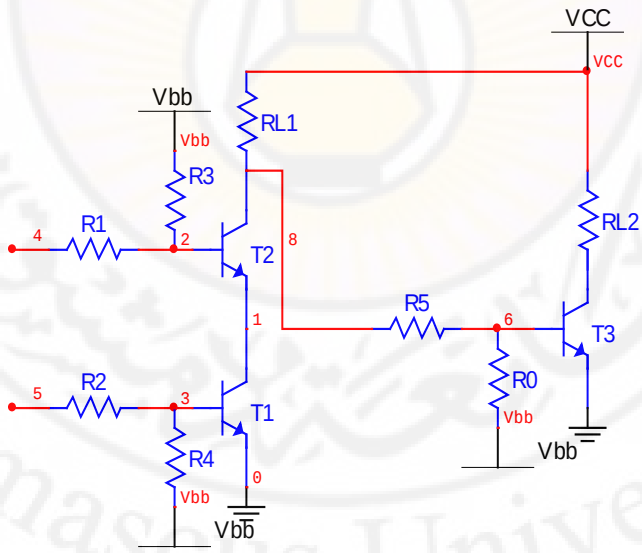
$V_{CC}=10$v ; $V_{bb} =-10$ v

$\beta =20$; $V_{CE(sat)}=0.3$ v

$V_{BE(off)}= -1$v ; $R_{L1}= R_{L2}$

$R_1= R_2$; $R_3=R_4$

جهد دخل البوابة 10v و سعة نبضة الخرج 10v و المطلوب تحديد العمل المنطقي للدارة ، و حساب قيم المقاومات :



الحل :

T_1 is OFF or $T_2$is OFF $\Longrightarrow$ $T_3$is ON

T_1 & T_2 ON $\Longrightarrow$ T_3 ON
T_1 & T_2 ON $\Longrightarrow$ T_3 OFF

و بالتالي البوابة AND

الطلب الثاني :

T1 & T2 OFF $\Rightarrow$ T3 OFF .

$$R_{L2} = \frac{Vcc - Vce(sat)}{Ic3} = \frac{10 - 0.3}{20} = 485 \ \Omega .$$

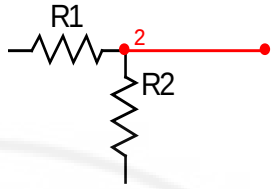
$$I_{B3} = \frac{Ic3}{\beta} = 1 \ \text{mA} .$$

$$I_5 = I_6 + I_{B3} .$$

$$\frac{Vcc - Vbe(sat)}{R5 + Rl1} = \frac{Vbe(sat) - Vbb}{R6} + I_{B3} .$$

$$\frac{10 - 0.7}{R5 + 485} = \frac{0.7 - (-10)}{R6} + I_{B3} \quad \ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots(1).$$

عندما يكون T_3 في حالة OFF فان T1, T2في حالة ON و بالتالي :



$I_6 = I_5 + I_{CBO}$.

حيث $I_{CBO} = 0$ لأنه غير معطى:

$$\Rightarrow \frac{Vbe(off)-Vbb}{R6} = \frac{2Vce(sat)-Vbe(OFF)}{R5} = \frac{-1-(-10)}{R6} = \frac{2(0.3)+1}{R5}$$

$$\Rightarrow \frac{9}{R6} = \frac{1.6}{R5} \text{.....(2).}$$

بحل المعادلتين (1) , (2) نجد

حلين ل R5 :

$R5 = 142\ \Omega$, $R5 = 6760\ \Omega$.

و هنا نختار المقاومات بحيث يكون استهلاك الاستطاعة أقل ما يمكن

R5 يجب أن تكون كبيرة حتى لا يتضرر T_3 أي $R5 = 6760\ \Omega$

$R6 = 5R5 \Rightarrow R6 = 38\ K\Omega$.

عندما يكون B في حالة high يكون T1 موصولا و منه :

$I_2 = I_4 + I_{B1}$.

$$\frac{Eb - Vbe(sat)}{R2} = \frac{Vbe(sat) - Vbb}{R4} + Ib1 \ .$$

$$\frac{10 - 0.7}{R2} = \frac{0.7 + 10}{R4} + 1 \ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots(1).$$

عندما يكون B في حالة Low فان T1 في حالة OFF (قطع) .

$I_4 = I_2 + I_{CBO}$.

$I_{CBO} = 0$.

$$\frac{Vbe(OFF) - Vbb}{R4} = \frac{Eb - Vbe(OFF)}{R2}$$

$$\frac{-1 + 10}{R4} = \frac{0 + 1}{R2} \quad \ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots(2)$$

من المعادلتين (2), (1) نجد :

$R2 = 8.14\ K\Omega = R1$.

$R4 = 73.2\ K\Omega = R3$.

****

المسألة (10) :

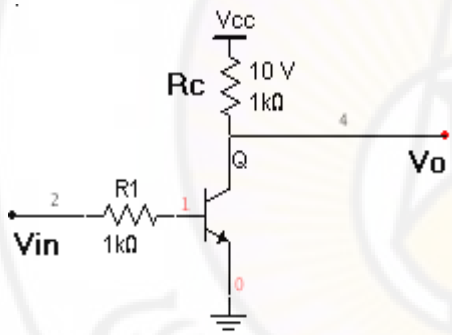
المعطيات : $(NM)_H$ = 0.4 V , $V_{Be(sat)}$ = 0.7 V , $V_{ce(sat)}$ = 0.1 V, β = 20 ,

إذا تغيرت R_c من 1K الى 2K ، أوجد تأثير ذلك على N .

الحل :

V_i = high $\Rightarrow$ V_o = $V_{ce(sat)}$ = 0.1 V .

I_{Rc} = I_{CS} = $\frac{10-0.1}{1} = 9.9$ mA .



V_B = $V_{Be(sat)}$ = 0.7 V .

$I_{Bs} = \frac{Vih - Vbe}{Rb}$

V_{iH} = V_B + I_{Bs} . R_B = 0.7 + 0.495 (10) = 5 .7 V .

V_{OH} = V_{iH} + $(NM)_H$ = 5.7 + 0.4 = 6.1 V .

$$I_{iH} = \frac{Voh - Vbe}{Rb} = \frac{6.1 - 0.7}{10} = 0.54 \ \text{mA} .$$

$$V_{oH} = V_{cc} - N . I_{iH} . Rc .$$

$$6.1 = 10 - 0.54\, N \ \Rightarrow \ N = 7.2 .$$

نأخذ $N = 7$ لأن N عدد صحيح .

إذا كانت $R_c = 2K$ عندها و باستخدام نفس العلاقات السابقة نجد :

$$I_{Rc} = \frac{10 - 0.1}{2} = 4.95 \ \text{mA} .$$

$$I_{Bs} = \frac{Ics}{\beta} = 0.248 \ \text{mA} .$$

$$V_{iH} = V_B + I_{BS} . R_B = 0.7 + 0.248\,(10) = 3.18 \ \text{V} .$$

$$V_{OH} = V_{iH} + (NM)_H = 3.18 + 0.4 = 3.58 \ \text{V} .$$

$$N = \frac{Vcc - Voh}{Iih.Rc} = 11.1 .$$

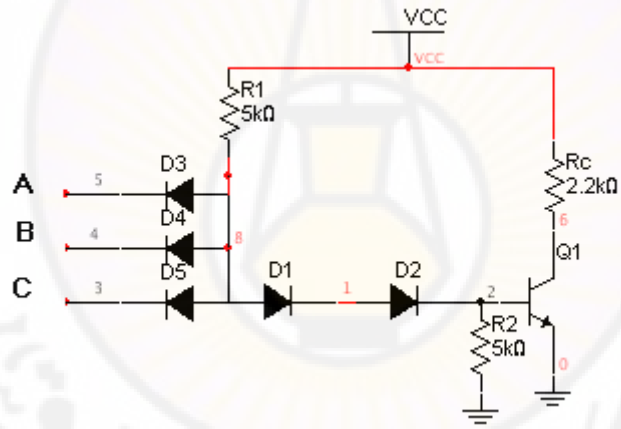
****

المسألة 11 :

$V_d = 0.7\ V$, $V\gamma = 0.6\ V$ for diode , $V_{be(sat)} = 0.8\ V$,
$V\gamma = 0.5\ V$ for transistor ,
$V_{Ce(sat)} = 0.2\ V$.

1- حلل عمل الدارة كدارة NAND ، و احسب $H_{fe(min)}$ حتى يكون الترانزيستور في حالة تشبع ؟؟؟

2- هل ستعمل الدارة بشكل مناسب إذا كان D2 غير مستخدم ، باعتبار الدارة غير محملة و تقاد من بوابات مماثلة ؟؟



الحل :

إذا كان أحد المداخل على الأقل "0" فالديود الخاص به سيوصل و V_p عندها يساوي :

$$Vp = 0.2 + 0.7$$

"0" = $V_{ce(sat)}$ = 0.2 V .

"1" = Vcc = 5 V .

و بالتالي D1 و D2 سيقطعان ، كذلك الترانزستور Q و سيرتفع Vo نحو Vcc الذي يكافئ "1" .

في حالة كون كل المداخل " 1" سيكون D في حالة قطع أما D1 و D2 ففي حالة توصيل و Q في حالة تشبع و نجد :

$V_P = 0.8 + 0.7 + 0.7 = 2.2$ V .

ملاحظة :

نستخدم القيم 0.6 أو 0.5 عند مناقشة الضجيج .

الجهد الهابط على كل ديود يساوي الى :

5 - 2.2 = 1.8 V

$$I_1 = \frac{Vcc - Vp}{R1} = \frac{5 - 2.2}{5} = 0.56 \text{ mA} .$$

$$I_2 = \frac{Vbe(sat)}{R2} = \frac{0.8}{5} = 0.16 \text{ mA} .$$

$$I_B = I_1 - I_2 = 0.56 - 0.16 = 0.4 \text{ mA} .$$

$$I_C = \frac{Vcc - Vce(sat)}{R} = \frac{5 - 0.2}{2.2} = 2.18 \text{ mA} .$$

$$H_{fe(min)} = \frac{Ic}{Ib} = \frac{2.182}{0.4} = 5.46 .$$

أقل من هذه القيمة ندخل في المنطقة الفعالة . اذا كان أحد المداخل على الأقل في حالة "0" فان $V_P=0.9\ V$

واذا تم استخدام D1 فقط فان :

$V_{Be} = 0.9 - 0.6 = 0.3\ V$.

$W_{here}\quad V_{\gamma (D1)} = 0.6\ V$.

و بما أن . $V_{\gamma (D1)} = 0.5\ V$ للترانزستور فان Q سيقطع ولكن هذه الحالة ليست التصميم الأفضل لأن أي جهد ضجيجي أكبر أو يساوي 0.2 عندها سيوصل Q و الأفضل استخدام ثلاثة ديودات بدلا من اثنين .

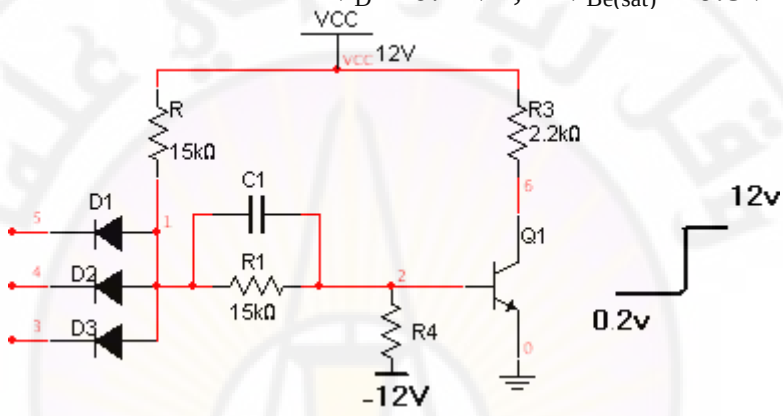
****

المسألة (12) :

في دارة NAND المبينة في الشكل . المطلوب :

دراسة هذه البوابة فيما إذا غذي الدخل من بوابة أخرى ، كذلك إيجاد القيمة الدنيا ل h_{fe} الملائمة لعمل هذه البوابة ، حيث :

$$V_D = 0.7\ V \quad , \quad V_{Be(sat)} = 0.8V$$



الحل :

بفرض تم تطبيق جهد منطقي L على أحد المداخل و هذا يكافئ $V_{CE(sat)}$.

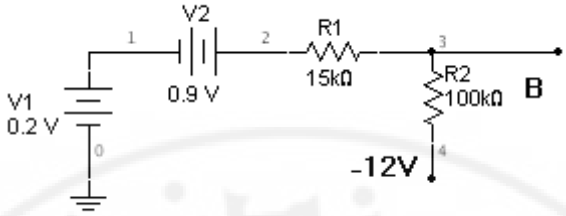
ملاحظة :

♦ في دارات DTL يكون $V(1) = V_{CC}$ و $V(0) = 0.2\ V$.

♦ المكثف له تأثير في الحالة العابرة فقط ، حيث يسرع عمل الدارة ، فهو يقصر المقاومة R1 .

حساب V_B :

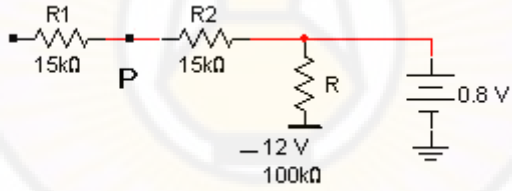
يتم حسابه من قانون التراكم :



$$V_B = 0.9 \times \frac{100}{100+15} - 12 \times \frac{15}{100+15} = 0.783 \text{ V} .$$

و هذه القيمة تسبب قطع Q و نحصل بالتالي في الخرج على "1" .

♦ بفرض الآن طبقنا H على المداخل و هذا يكافئ Vcc فان الثنائيات ستنحاز عكسيا و Q سيكون في حالة تشبع و الدارة المكافئة ستصبح كالتالي :



$$V_P = 12 \times \frac{15}{15+15} + 0.8 \times \frac{15}{15+15} = 6.4 \text{ V} .$$

و الجهد العكسي المطبق على الثنائيات هو :

$$12 - 6.4 = 5.6 \text{ V}$$

من هذه الدارة نوجد h_{fe} :

$$I_1 = \frac{12 - 0.8}{15+15} = 0.373 \text{ mA} .$$

$$I_2 = \frac{0.8+12}{100} = 0.128 \text{ mA} .$$

$$I_B = I_1 - I_2 = 0.24 \text{ mA} .$$

$$I_C = \frac{Vcc - Vce(sat)}{Rc} = \frac{12-0.2}{2.2} = 5.364 \text{ mA} .$$

$$H_{fe} = \frac{Ic(sat)}{Ib} = 21.9 \quad .$$

****

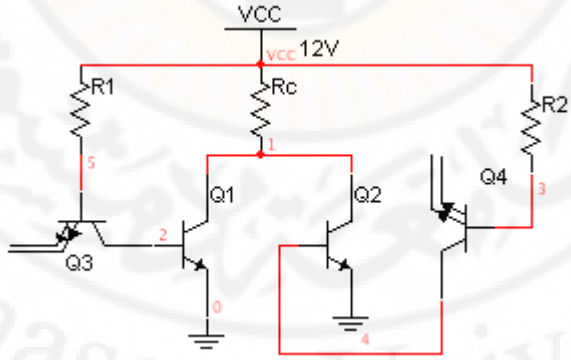
المسألة (13) :

احسب R_1 و R_2 و R_C من أجل عامل تحميل $N = 1$ ..؟ ما هي قيمة m

إذا أصبحت $N=2$.؟

أوجد التابع المنطقي في A . حيث :

$$V_{BE(sat)} = V_{BC(sat)} = 0.8 \text{ V} , \quad I_{B(sat)} = 0.5 \text{ mA} ,$$
$$V_{CE(sat)} = 0.2 \text{ V} .$$



الحل :

$$R_1 = R_2 = \frac{Vcc - Vbc(sat) - Vbe(sat)}{Ib(sat)} = 20.8 \text{ K}\Omega .$$

في النمط العكسي يكون : $I_B = I_C$ أما I_E فهو تيار عكسي

$$m = \beta \frac{Ib(sat)}{Ic(sat)} = \frac{\beta.Ib(sat)}{\frac{Vcc - Vce(sat)}{Rc}}$$

$$\Rightarrow \quad R_C = m \times \frac{Vcc - Vce(sat)}{\beta.Ib(sat)} = 944\ \Omega \ .$$

$$m = \frac{\beta.N.Ib(sat)}{\frac{Vcc - Vce(sat)}{Rc}} \quad \Rightarrow \quad m = 4 \ .$$

التابع المنطقي :

$$A = (\overline{E_1 E_2}) . (\overline{E_3 E_4}) = (\overline{E_1} + \overline{E_2}) . (\overline{E_3} + \overline{E_4}) =$$

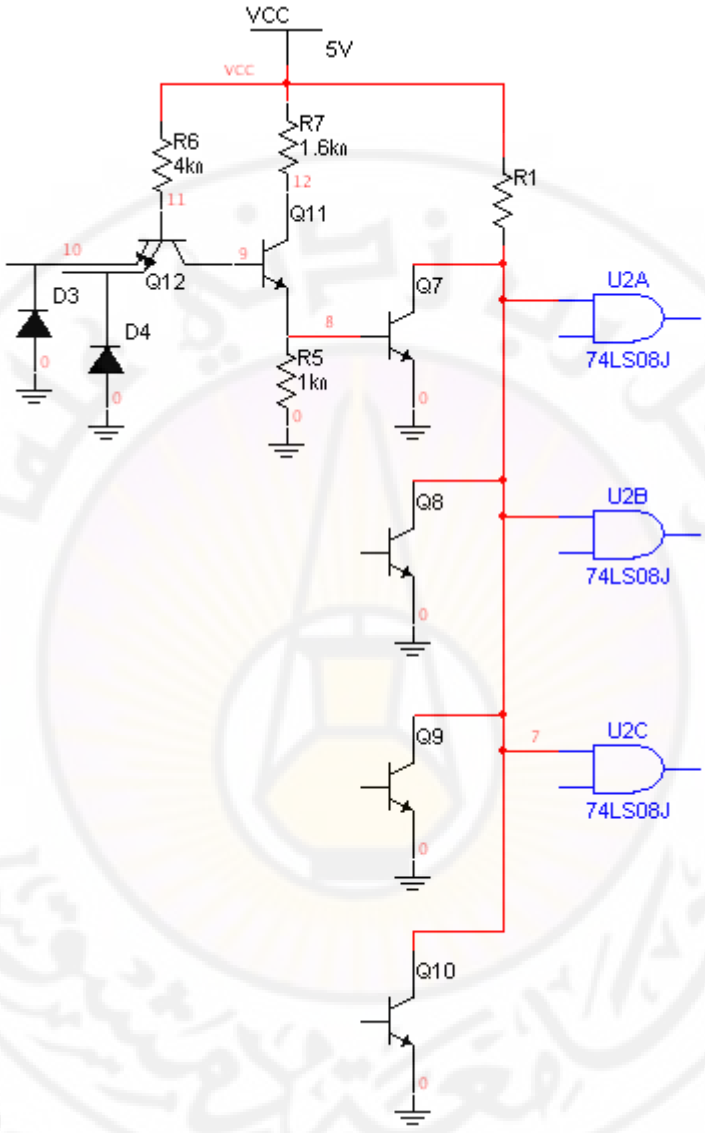
$$= \overline{E_1}\ \overline{E_3} + \overline{E_1}\ \overline{E_4} + \overline{E_2}\ \overline{E_4} + \overline{E_2}\ \overline{E_4} \ .$$

****

المسألة (14) :

حدد قيمة R_L باستخدام المعطيات التالية :

$V_{cc} = 5$ V , $V(I)_{min} = 2.4$ V , $I_{oH} = 0.25$ mA , $I_{iH} = 40\ \mu$A ,
$I_{oL(max)} = 16$ mA ,
$I_{iL} = -1.6$ mA ..



الحل :

$V_{RLmax} = V_{CC} - V(1) = 5\text{-}2.4 = 2.6$ V .

$I_{RL} = 5\ I_{iH} + 4\ I_{OH} = 1.2$ (mA) .

حيث I_{OH} هنا تيار OFF لبوابات القيادة و هو في حالة تيار تسريب و أيضا I_{iH} تيار تسريب

$$R_{Lmax} = \frac{V_{RL}}{I_{RL}} = 2.17 \ K\Omega \ .$$

$$V_{RLmin} = Vcc - V(0)_{max} = 4.6 \ V \ .$$

$$I_{RL} = 5I_{iL} + I_{OL} = 5\ (-1.6) + 16 = 8 \ mA \ .$$

هذه العلاقة بإهمال تيارات الترانزستورات في حالة OFF للبوابات القائدة

$$R_{Lmin} = \frac{V_{RL}}{I_{RL}} = 0.575 \ K\Omega \ .$$

$$R_{Lmin} < R_L < R_{Lmax}$$

بشكل قياسي :

I_{OH} : هو التيار الذي تعطيه البوابة إلى الحمل في حال كون خرجها "1" .

I_{OL} : هو التيار الذي تمتصه البوابة من الحمل في حال كون خرجها "0" .

I_{iH} : هو التيار الداخل للبوابة عندما تكون البوابة القائدة لها في حالة "1" .

I_{iL} : هو التيار الذي يخرج من دخل البوابة عندما تكون البوابة القائدة لها في حالة "0" .

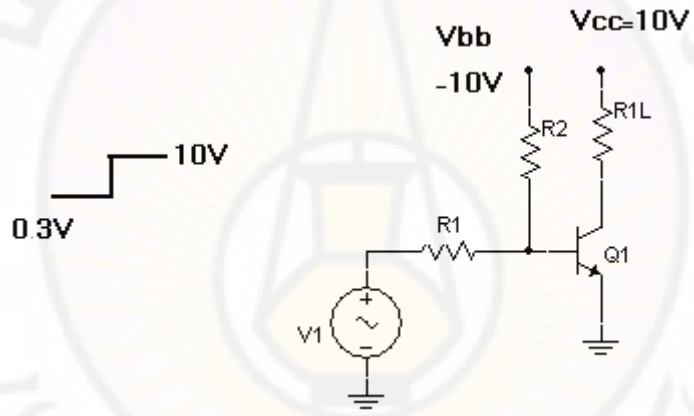
****

المسألة (15) :

في دارة الترانزستور العاكس المبين في الشكل ، المطلوب حساب قيم المقاومات R_L & R_1 & R_2 .

$I_C = 10\ mA$, $h_{fe(min)} = 20$, $V_{BE(off)} = -0.5\ V$, $I_{CBO} = 0$, $V_{CE(sat)} = 0.3\ V$ ..

الحل :



$$R_L = \frac{Vcc - Vce(sat)}{Ic} = \frac{10 - 0.3}{10} = 0.97\ K\Omega\ .$$

$$I_B = \frac{I_C}{h_{fe(min)}} = 0.5\ mA\ .$$

يصبح الترانزستور في حالة ON عندما : Ein = H

$\Rightarrow$ $I_1 = I_2 + I_B$

$$\frac{Ein - Vbe(sat)}{R_1} = \frac{Vbe(sat) + Vbb}{R_2} + I_B$$

$$\frac{10 - 0.7}{R_1} = \frac{0.7 + 10}{R_2} + 0.5 \quad \ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots(1).$$

عندما يكون Ein=L يقطع الترانزستور :

$I_2 = I_1 + I_{CBO} = I_1$.

$$\frac{Vbe(off) - Vbb}{R_2} = \frac{Ein - Vbe(off)}{R_1}$$

$$\frac{-0.5 - (-10)}{R_2} = \frac{0.3 - (-0.5)}{R_1}$$

$R_2 = 11.9\ R_1$ ……(2)

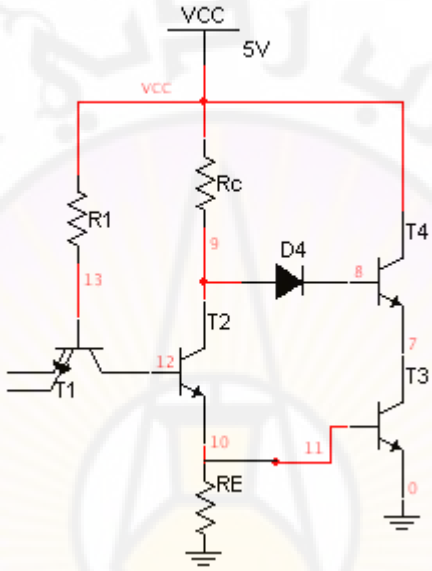
نعوض في (1) فنجد :

$R_1 = 16.8\ K\Omega$, $R_2 = 200\Omega$

****

المسألة (16) :

β = 50 , Vcc=12 v , $I_{B(sat)}$ = 0.5 mA , $V_{CE(Sat)}$ = 0.2v , m = 2 , $V_{BC(sat)1} = V_{BE(sat)} = V_d$ = 0.8 v .



المطلوب :

1 – حساب R_1 , R_c , R_E .

2 – حساب مستوى الجهد الهابط في A .

3 – حساب متوسط الاستطاعة المستهلكة في البوابة الواحدة .

4 – إذا تغير Vcc و أصبحت 5V ما هي العناصر التي تتغير ، و هل تصبح أسرع ؟

الحل :

E_1 , E_2 = '1' $\Rightarrow$ $T_{1(off)}$ & $T_{2(on)}$, $T_{3(on)}$

$Vcc = R_1 . I_{B(sat)2} + V_{BE(sat)2} + V_{BE(sat)3} = R_1 . I_{B(sat)2} + 3 . V_{BC(sat)}$

$$\Rightarrow R_1 = \frac{Vcc - 3.Vbc(sat)}{Ic(sat)2} = 19.2\ K\Omega\ .$$

و في النمط العكسي يكون $Ic \approx I_B$ و بالتالي :

$$Vcc = Ic(sat)2.Rc + Vce(sat) + Vbe(sat)3$$

$$\Rightarrow Rc = \frac{Vcc - Vce(sat)2 - Vbe(sat)}{Ic(sat)2}$$

$$m = \beta \frac{Ib(sat)2}{Ic(sat)2} \Rightarrow Ic(sat)2 = \frac{\beta.Ib(sat)2}{m}$$

$$Rc = 880\Omega$$

$$Ic(sat)2 = Ib(sat).\frac{\beta}{m}$$

$$Ie(sat)2 = Ib(sat) + Ic(sat)$$

$$Ie = Ib(sat).(1 + \frac{\beta}{m}) = \frac{Vbe(sat)1}{Re} + Ib(sat)1$$

$$Re = \frac{Vbe1}{Ie(sat) - Ib(sat)1} = \frac{Vbe(sat)}{Ib(sat).(1 + \frac{\beta}{m} - 1)} = \frac{Vbe(sat)}{Ib(sat)}.\frac{m}{\beta}$$

$$\Rightarrow Re = 64\Omega$$

$$E1, E2 = '0' \Rightarrow$$

$$Vcc = Rc.Ib(sat)4 + Vd + Vbe(sat)4 + VAH$$

$$\Rightarrow VAH = Vcc - Rc.Ib(sat)4 - Vd - Vbe(sat)4$$

$$VAH = 9.96V$$

إذا كان الدخل في الحالة Hعندها يكون T2 , T3في حالة ON بينما T4 في حالة, OFF و منه :

$$Val = Vce(sat) = 0.2$$

$$Pav = \frac{1}{2}(Il + Ih).vcc$$

$$Il = \frac{Vcc - Vbe(sat) - Vce(sat)}{R1} = 0.57mA$$

$$I0 = \frac{Vcc - 3.Vbe(sat)}{R1} + \frac{Vcc - Vce(sat) - Vbe(sat)}{Rc} = 13mA$$

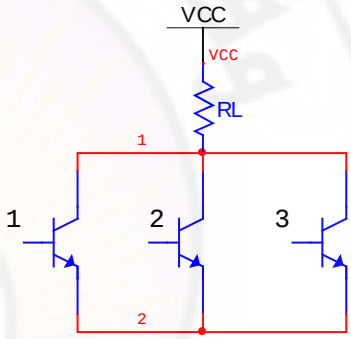
$$\Rightarrow Pav = \frac{0.57 + 13}{2}.12 = 81.42mW$$

****

مسائل غير محلولة

مسألة (1):

المطلوب تحديد أبعاد المقاومة و الترانزستور لدارة DCTL المبينة بالشكل إذا كانت لدينا المعلومات التالية :



$\rho s = 200$;

$s(max)=1000A/cm^2$; (الكثافة العظمى المسموحة لتيار الترانزستور)

كثافة الاستطاعة الضائعة (العظمى) الحرارية في المقاومة :

$\rho v(max)=8\ W/mm^2$

$Vcc=5.2v$, $R_L=2.4\ K\Omega$, $\delta = 5\ \mu m$ العرض الأدنى للوصلة

****

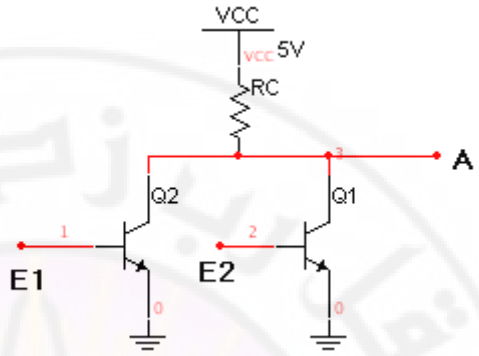
مسألة (2):

إذا كان لدينا الدارة التالية ولها :

$Vce(sat) =0.15(v)$

$Vbe(sat) =0.75(v)$

Vcc = 2(v)



المطلوب:

1- حساب جهد الخرج في النقطة A في الحالتين "1" و"0"

2- حساب عامل فوق الحمل (m) للترانزستور إذا كان عامل تحميل الخرج N=1 ;β=20

3- احسب متوسط الاستطاعة المستهلكة للمرحلة الواحدة إذا كانت $R_C=2k\Omega$

****

مسألة (3):

في الدارة المبينة بالشكل لها :

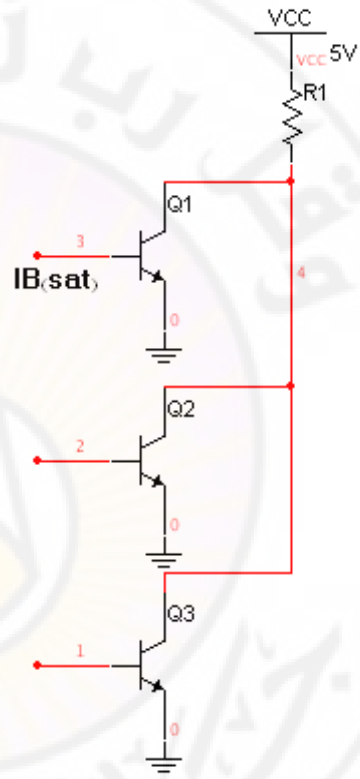
$I_{\overline{B}(sat)}$= 1mA ; $I_{\underline{B}(sat)}$=0.5 mA

$\overline{\beta} = 50$; $\underline{\beta} = 30$; $\underline{m}=3$

$V_{\overline{ce}}(sat) = 0.2$ v ; $V_{\underline{ce}}(sat) =0.1$ v

$\overline{Vcc}(sat)$= 10.1 v ; $\underline{Vcc}$= 9.9 v

$\overline{R_C}$= $\underline{R_C}$=1.1 kΩ



المطلوب :

1-احسب $\overline{RC}$;$\underline{RC}$ عندما لايسمح بتجاوز قيمة $\underline{m}$

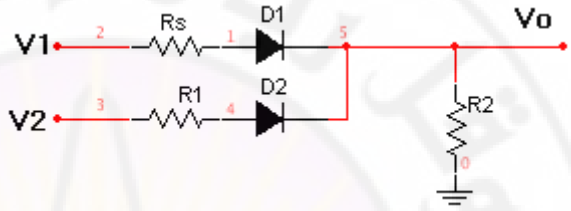
2- حساب عامل فوق الاشباع $\overline{m}$

****

مسألة (4):

في الدارة المبينة بالشكل لها :

المطلوب:



حساب جهد الخرج Vo في الحالات التالية :

a- $V_1 = V_2 = 0$

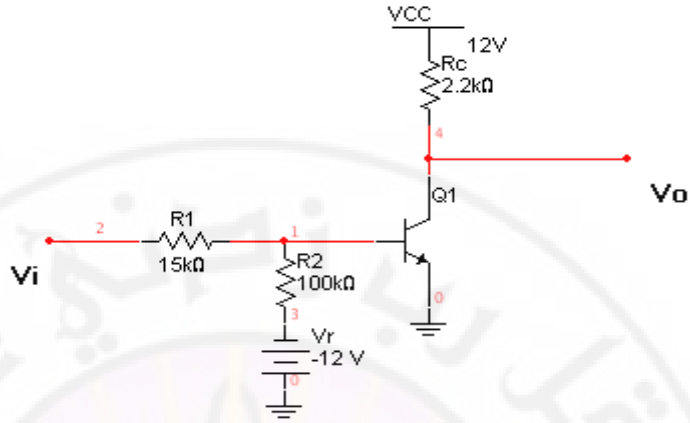
b- $V_1 = V$; $V_2 = 0$

c- $V_1 = V_2 = V$

**مع العلم أن $V > V_\gamma$ حيث V_γ جهد تمرير الثنائي .

****

مسألة (5):



بفرض $V_i = 0.2 - 12$ v

احسب مستويات الخرج إذا كان :

$h_{fe} = 30$

Vce(sat)=0.8 v

Vbe(sat)=0.2 v

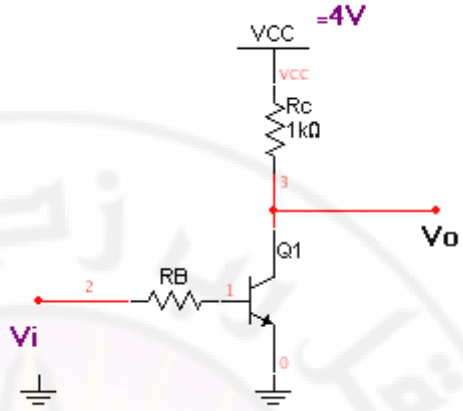
****

مسألة (6):

ادرس الدارة التالية و بين إذا كانت بحالة إشباع :

$R_B = 22\ k\Omega$; $h_{fe} = 30$

$V_i = 0 - 4$ v



****

مسألة (7):

$I_C = 10\ mA$;

$h_{fe(min)} = 20$;

$Vce(sat)=0.3\ v$;

$Vbe(off)= -0.5v$;

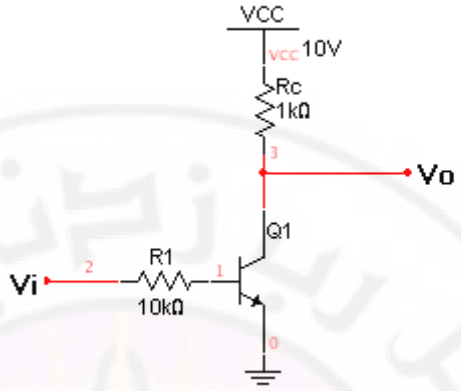
بفرض أن قيمة الدخل تتأرجح بين V (10− 0.3)

احسب R_1 ; R_2 ; R_L

****

مسألة (8):

1 +احسب عامل تحميل الخرج لدارة العاكس المبينة :



Fan- out =N

إذا كان $\beta = 20$

$V_{ce(sat)} = 0.1$ v

$V_{be(sat)} = 0.7$ v

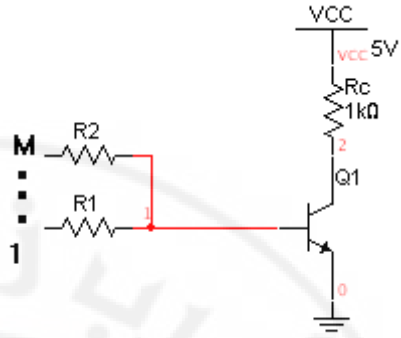
$NM_H = 0.4$ (حدود الضجيج)

2 إذا تغيرت R_C من : $1K\Omega - 2K\Omega$ احسب تأثير ذلك على N.

****

مسألة (9):

في دارة RTL المبينة لدينا :



$R = R_C$; $\beta = 20$

Vcc =10 v ; m = 2

Vce(sat) =0.1 v

Vbe(sat)=0.8 v

المطلوب :

حساب M عامل تحميل الدخل مع ضمان ل m علماً أن الدارة في حالة اللاحمل

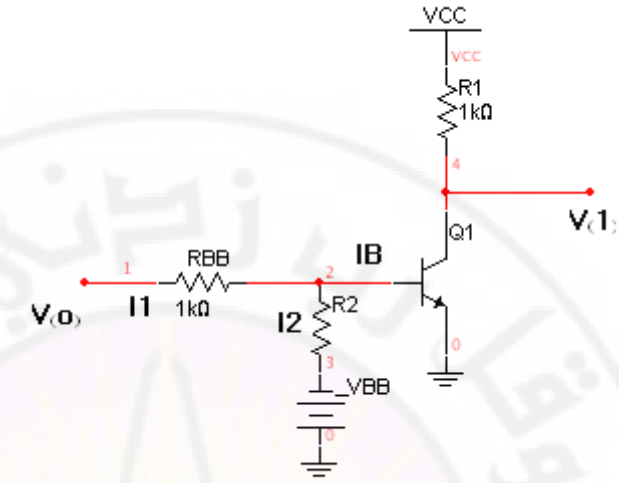
****

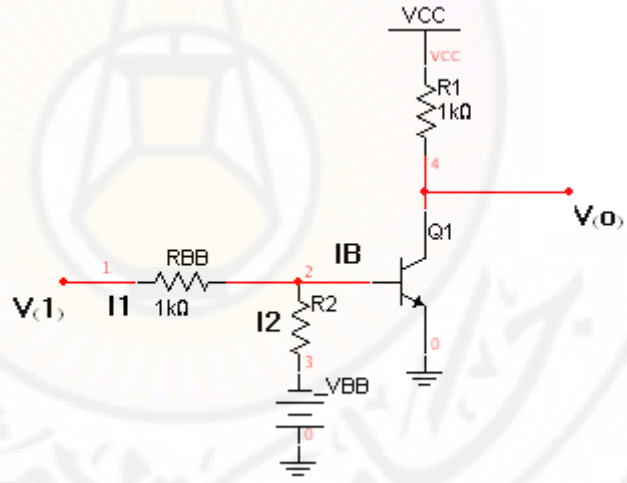
مسألة (10) :

المطلوب تصميم دارة ترانزستور تعمل كعاكس حيث $V_{BE(sat)} = 0.7v$, min=25

β , $Vcc=V_{BB}=10v$

احسب المقاومات اللازمة لتشغيل هذه الدارة كعاكس .

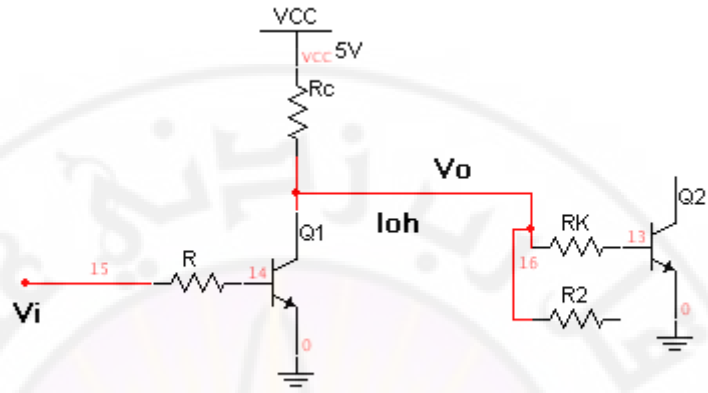




****

مسألة (11) :

المطلوب تحديد المراحل المماثلة التي يمكن ربطها على خرج الدارة أي عددها بحيث لا تنخفض V_{OH} جهد الخرج الأعظمي عن 5v



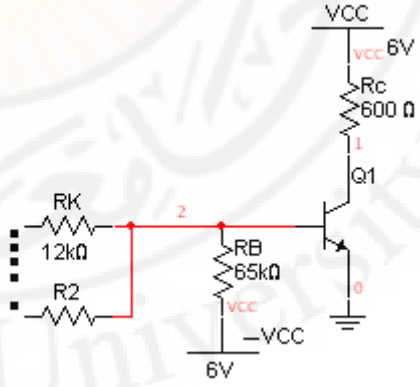
.

, Vcc=10v Ω ,Rk = 10 KΩ Rc=1K

****

مسألة (12):

اذا كان $\overline{m}$, $\underline{m}$ =14 , Vce(sat)=0v , Vbe(sat)=0.8v , β =2 , =100



احسب العدد الأعظمي للمداخل بحيث $\overline{m}$ العظمى و $\underline{m}$ الصغرى .

****

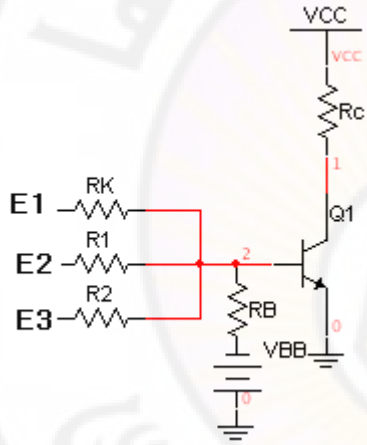
مسألة (13) :

في دارة ال RTL التالية :

$Vcc= - V_{BB} = 10v$.

V_{BE}"0" = -0.4v , $V_{BE}(sat)$ =0.8v , Vce(sat)= 0.2 v .

I_{CBO} = 0 , Ic(sat) = 10 mA , $\underline{m}$ = 2 , β = 40 .



M الدنيا : على أحد المداخل "1"منطقي .

M العليا : على كل المداخل "1" منطقي .

المطلوب :

1 – حساب قيمة Rc (بغض النظر عن مراحل التحميل) .

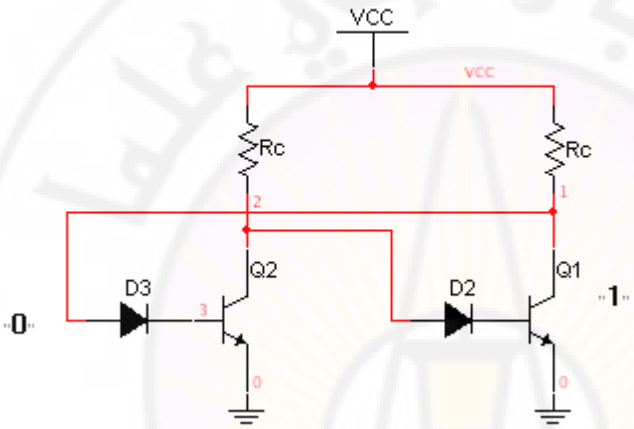
2 – حساب قيمة Rk عندما التيار عبر R3 أصغر بكثير من $I_{B(sat)}$ و المقاومة لمنطقة المجمع باعث للترانزستورات المشبعة تساوي الصفر .

3 – حساب R_B عندما Q قاطع .

مسألة (14) :

لدينا الدارة التالية حيث :

β=30 , m = 10 , Vce(sat) = 0.1 v , V_{Be}(sat) = 0.8v .



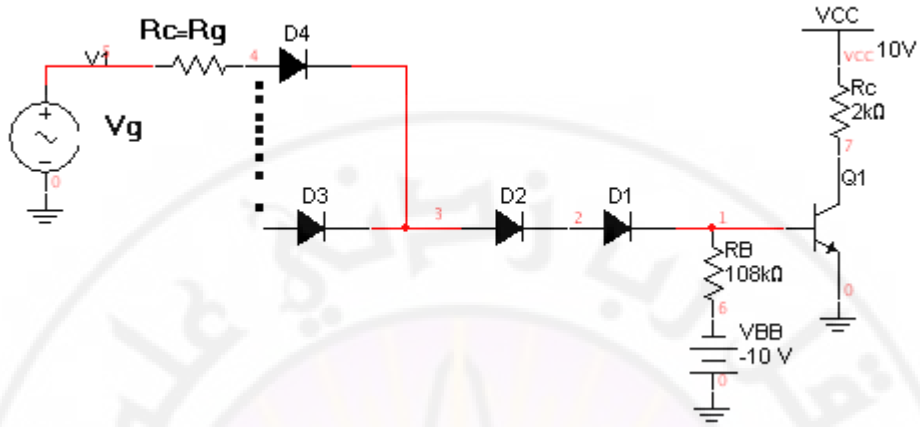
- ما هي قيمة Vcc .
- ما هي قيمة m من أجل Vcc=2v
- ما هي القيمة التي تنخفض اليها m اذا تم وضع ثنائيات على قواعد الترانزستورات بحيث أن Vγ=0.7v

****

مسألة (15) :

لدينا الدارة التالية DTL

$V_{BE(sat)}$ = 0.8 v



و المطلوب :

1- ما هي الحالة المنطقية للمداخل من أجل :

* الترانزستور بحالة الاشباع الأعظمي .

* الترانزستور بحالة الاشباع دنيا .

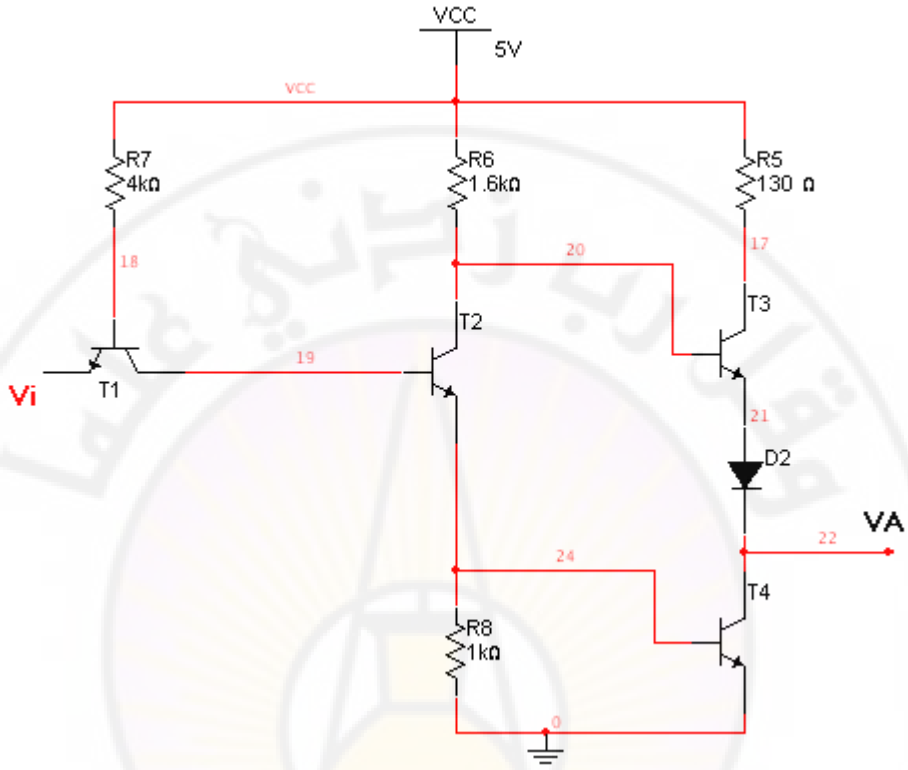
2- اذا كان جهد التمرير للثنائيات Vd = 0.8 v و تيار التسريب IR =100 $A\mu$ احسب العدد الأعظمي عندما يعمل الترانزستور من أجل Ib(sat) = 1mA كحد أدنى لحالة التشبع علما أنه يتم التحكم بالمداخل بواسطة دارة متماثلة .

****

مسألة (16) :

لدينا الدارة التالية :

Vce(sat) 2.3.4 = 0.15 v , V_{BE}(sat)1.2.4 = 0.6v , Vd = 0.6 v



1 ـ حساب استجرار التيار لهذه الدارة من المنبع Vcc و ذلك بالحالتين :

- جهد الدخل يساوي Vce(sat) .
- جهد الدخل يساوي (Vcc-Vbe(sat)-Vd) .

2 ـ حساب متوسط الاستطاعة المستهلكة Pav لهذه الدارة

الأجوبة :

I0 = 1.06 mA , I1 = 3.46 , Pav = 11.3 (mw).

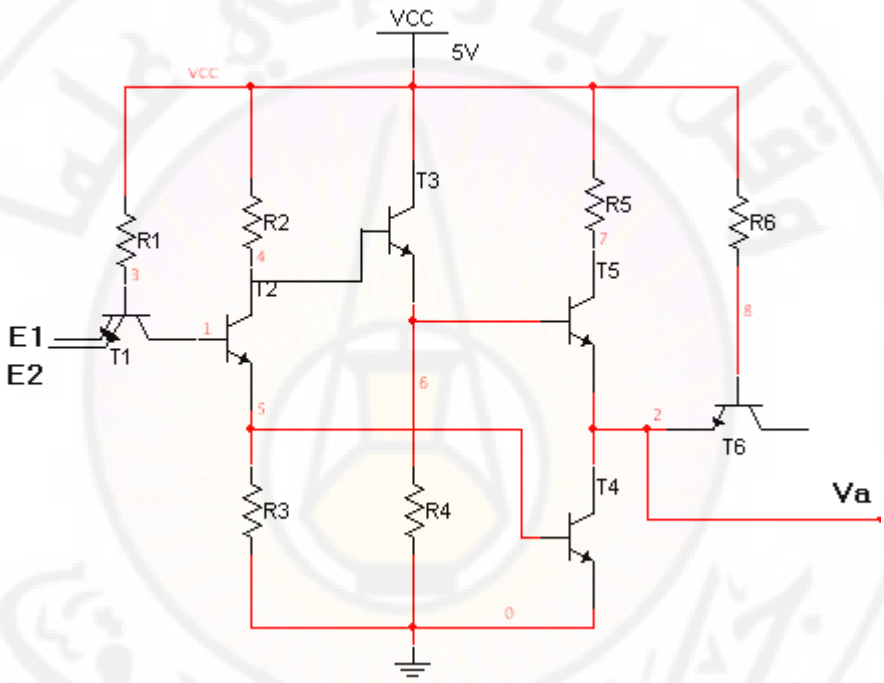
****

مسألة (17) :

لدينا الدارة التالية TTL

R3 = 400Ω , Vbc1 =0.7 v , Vbe(sat) = 0.75 v , Vcc = 5v , Vce(sat) 2.4 = 0.05 v

$\beta_2 = 20$, $\beta_4 = 10.8$, $\overline{m4} = 60$, $\underline{n} = 1$, $\underline{m4} = 2$.



المطلوب :

1 ـ حساب R1

2 ـ حساب عامل التحميل الأعظمي في الخرج $\underline{n} = \underline{m4}$.N $\overline{m4}$.

3 ـ حساب R2 عندما يكون I_{B3}<<Ic2(sat) ل T3 .

4 ـ حساب جهد القطع للقاعدة – باعث Vbe(0) للترانزستور T5 .

الأجوبة :

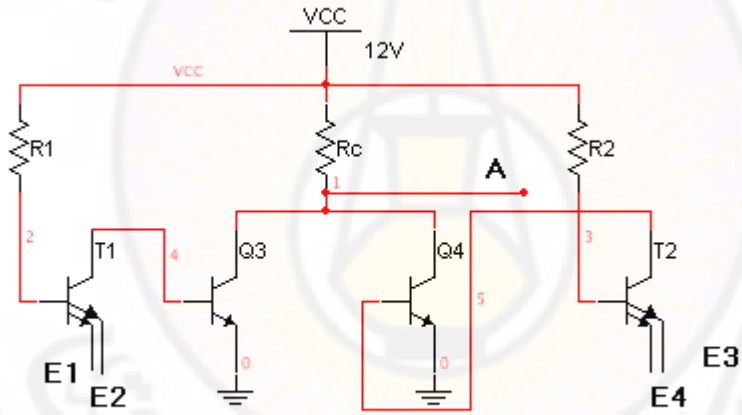
R2=592 Ω, R1 = 3.95 KΩ , Vbe(0) = 0v , $\overline{N}$ = 30

****

مسألة (18):

في الدارة المبينة

Ib(sat)=0.5 mA , Vbe(sat) = Vbc(sat)1.2 = 0.8 v , m=2 , Vce(sat) =0.2v , β =50



المطلوب :

1 ـ حساب R1,R2 .

2 ـ حساب Rc من أجل N=1 .

3 ـ ما هي قيم m إذا أصبحت N=2 .

4 ـ ما هو التابع المنطقي المتواجد على الخرج A

الأجوبة :

R1=R2 = 20.8 KΩ , Rc = 944 Ω , m=2 ,

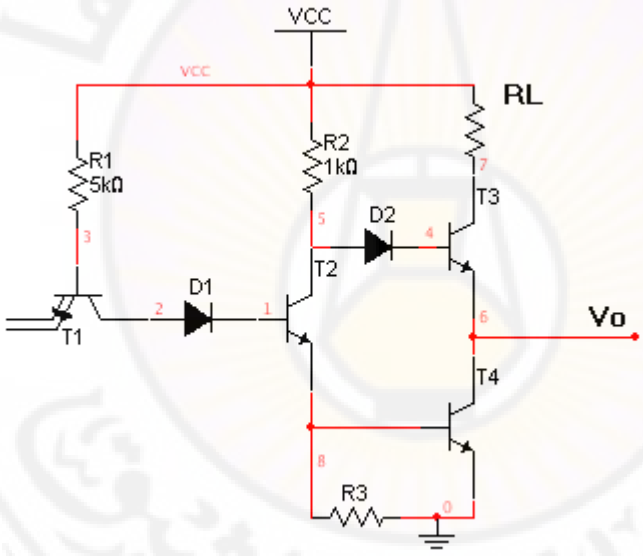
$\overline{A}$ = E1. E2 + E3 . E4

****

مسألة (19)

ما هي قيمة الجهد الدنيا Vcc بحيث أن T2 يقاد إلى حالة ما فوق التشبع لقيمة دنيا تساوي m=10 ,Vcc=4.6v

Vbe(sat)=Vbc(sat)=Vd=0.7 v , Vce(sat)=0.3 v ,. β =100 .



****

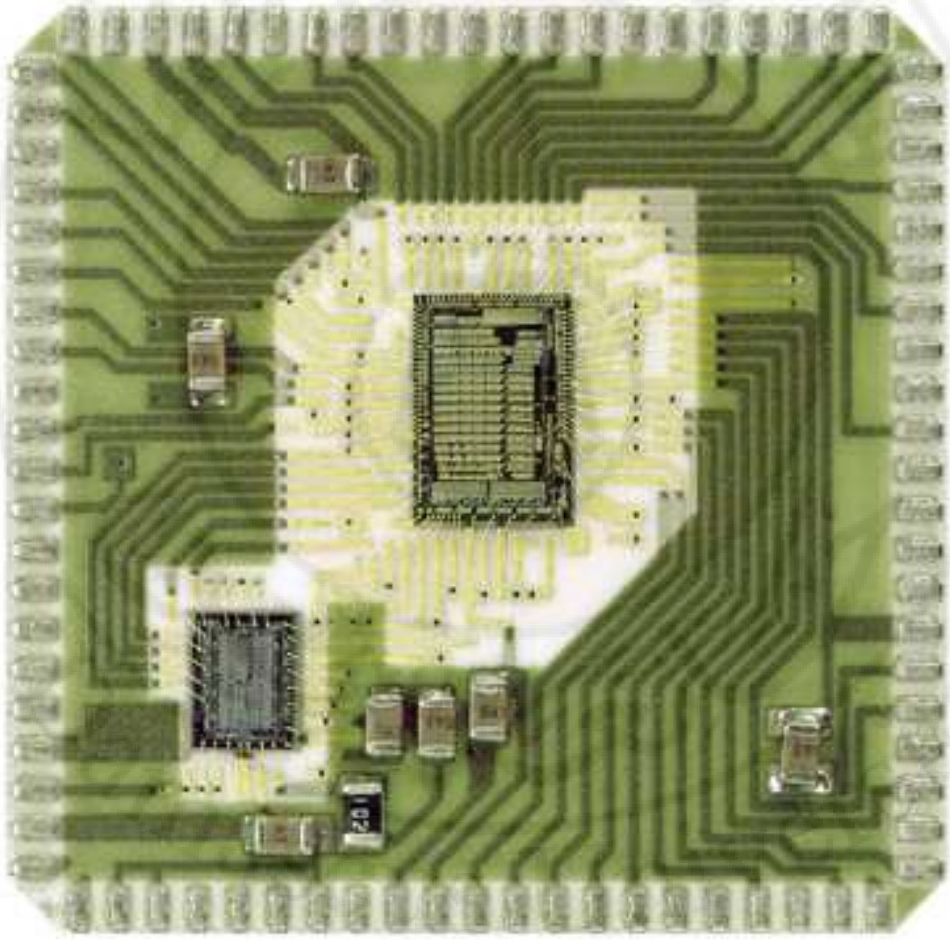
وقل رب زدني علما
Damascus University

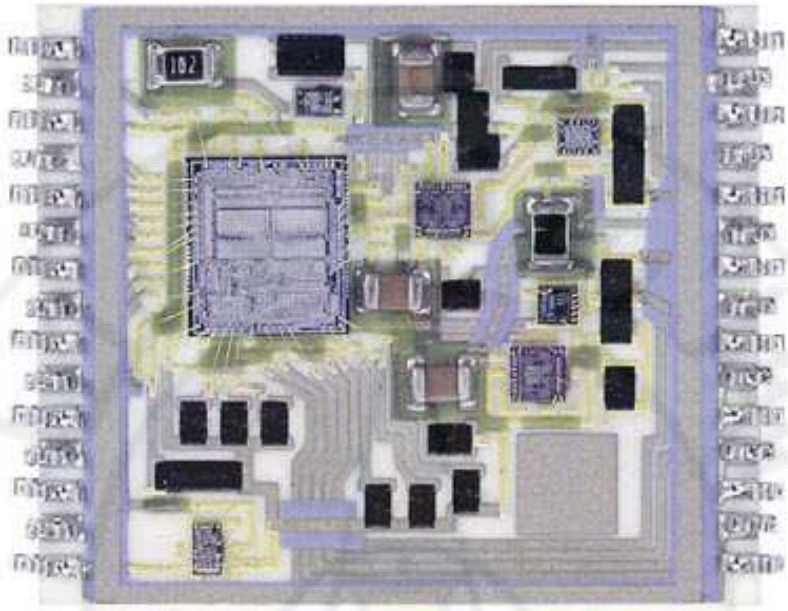
2-تكنولوجيا التغليف للدارات المتكاملة :

[Adopted from 2000 International Sensor Systems, Inc]

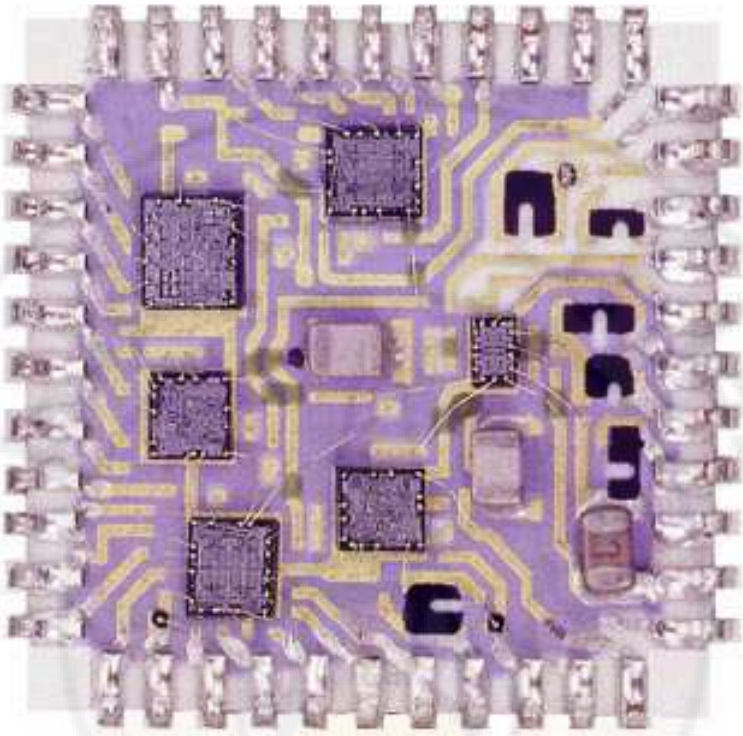
Multichip Module Technology

Multichip Module (MCM) ,



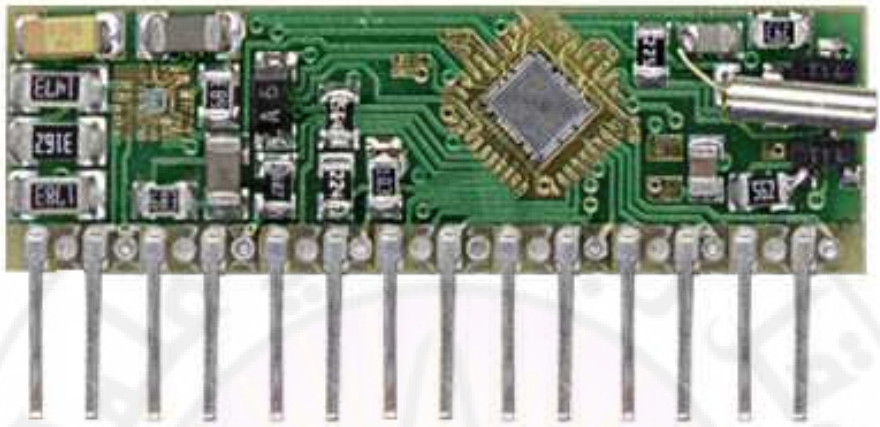


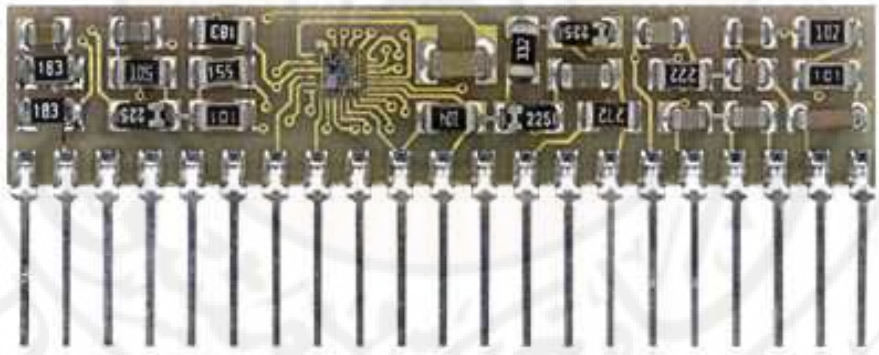
Damascus University



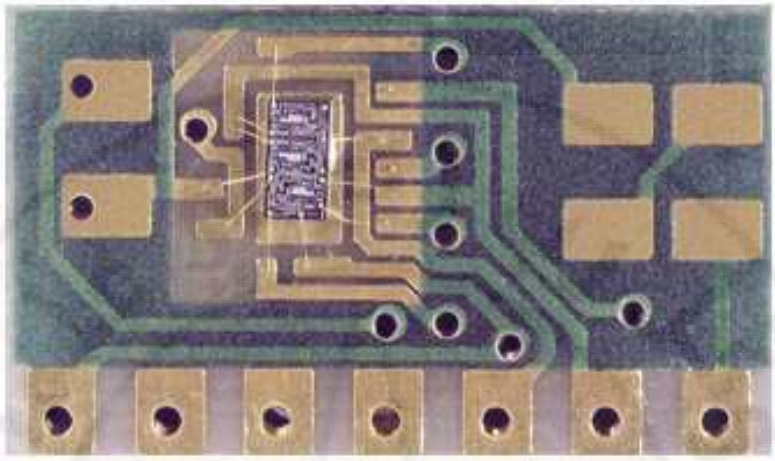
Chip-On-Board Technology

Chip-On-Board (COB) .

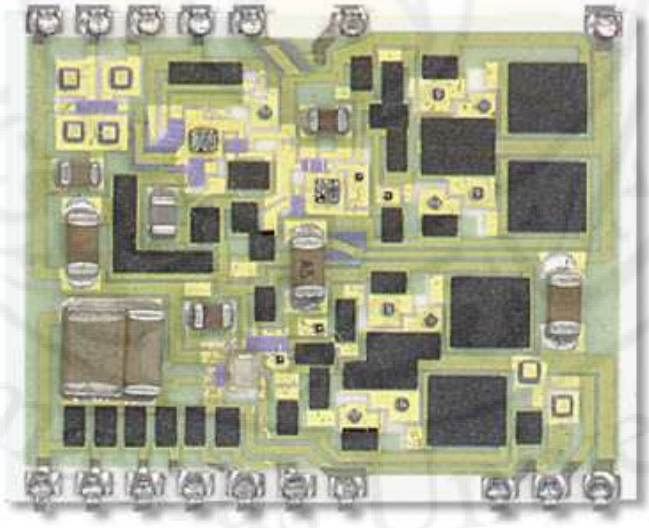


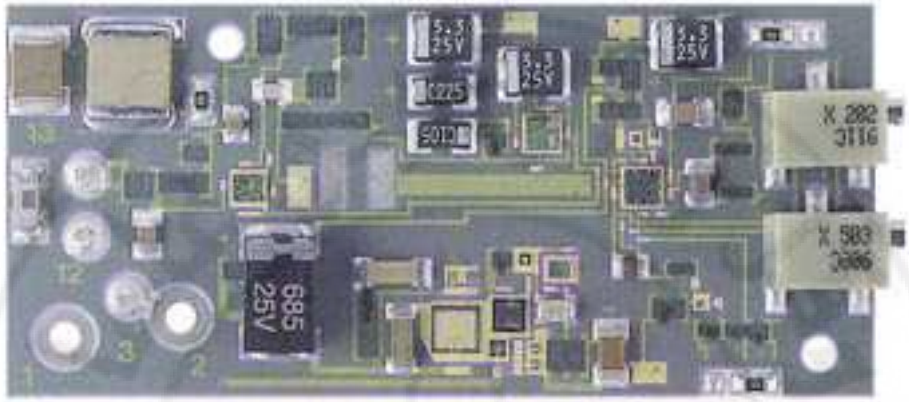


Damascus University

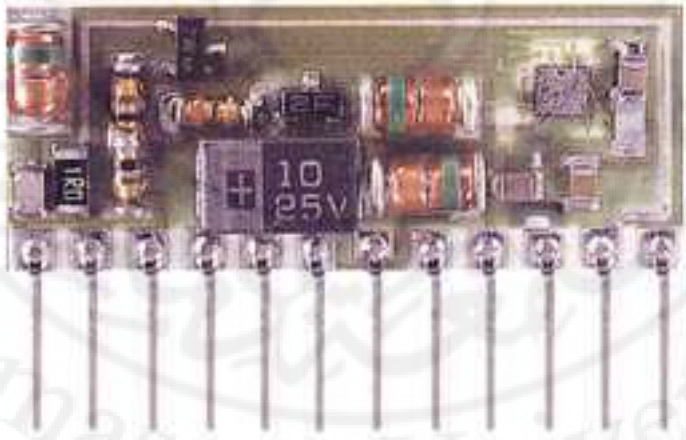


Thick film circuits





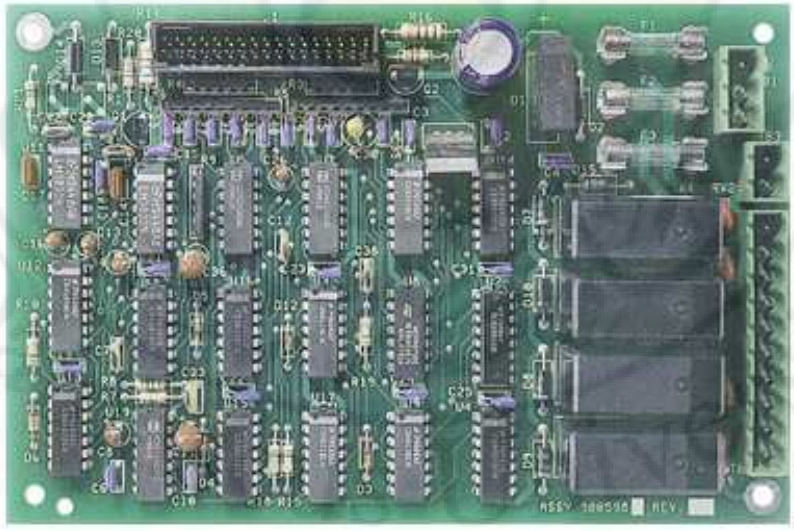
Hybrid Circuits

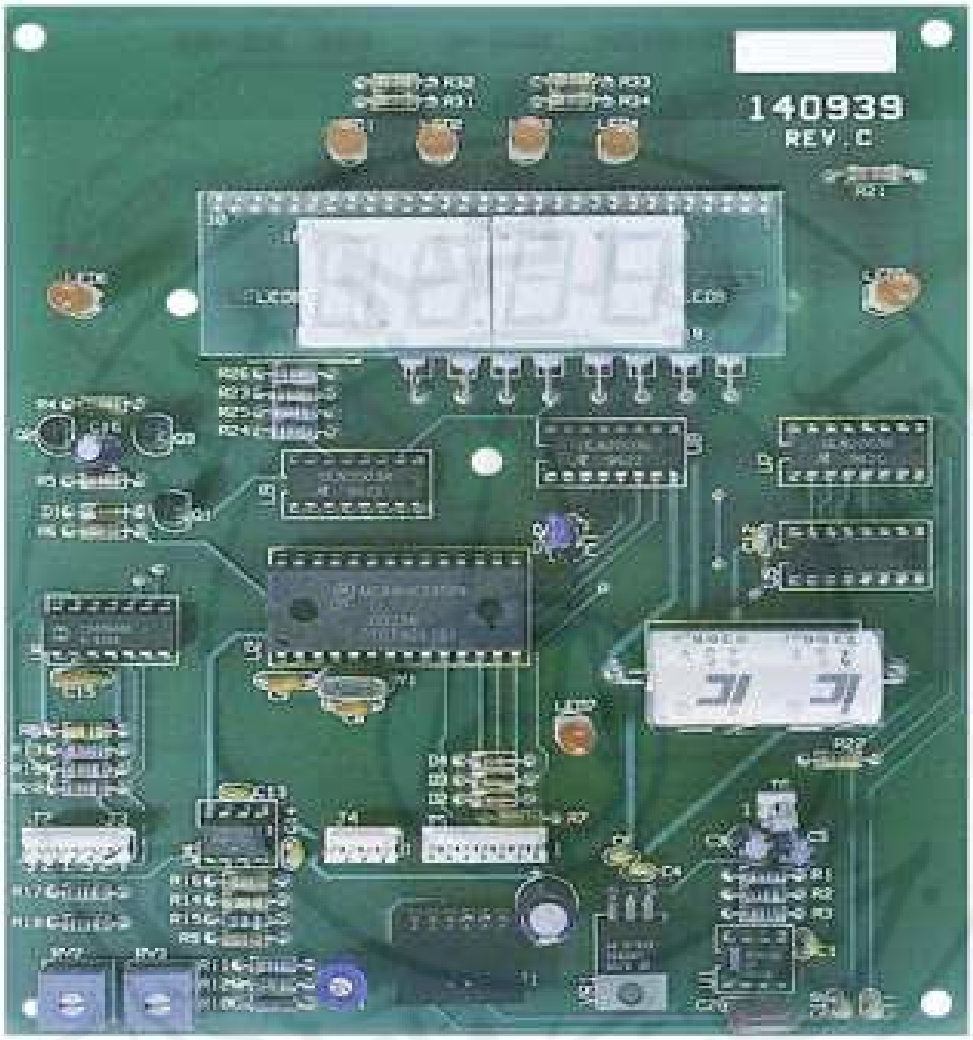


Damascus University

Through-Hole Technology







Damascus University

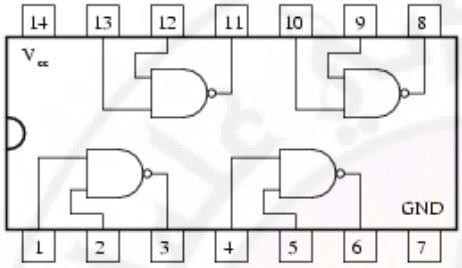
Surface mounted circuits.



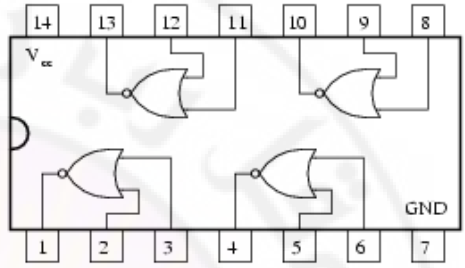


TTL "DIP" circuit packages are shown here for reference:

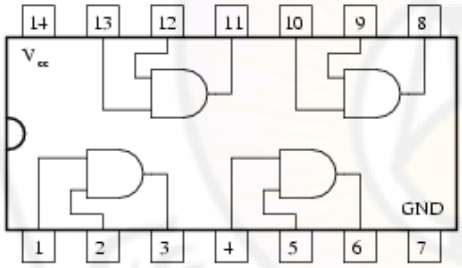
5400/7400
Quad NAND gate



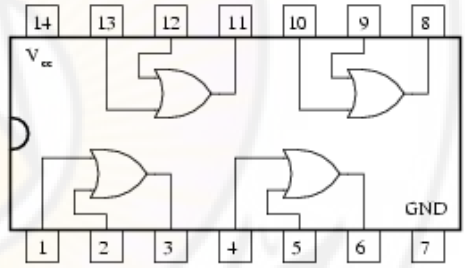
5402/7402
Quad NOR gate



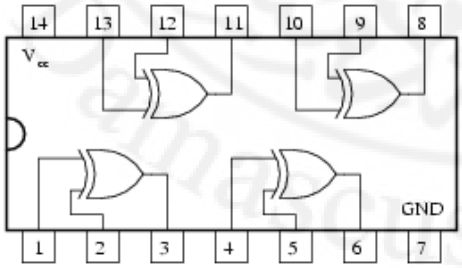
5408/7408
Quad AND gate



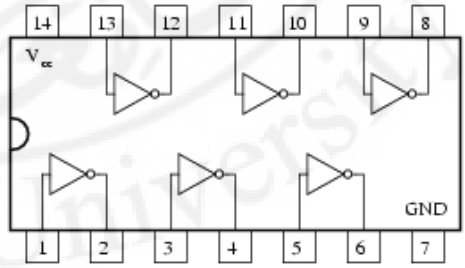
5432/7432
Quad OR gate



5486/7486
Quad XOR gate



5404/7404
Hex inverter



3 – أنظمة المايكرو إلكتروميكانيك MEMS

MEMS & NEMS

Introduction to Microelectromechanical Systems

& their Nanoelectromechanical Counterparts

Outline

What is MEMS? Or NEMS?

Who cares? (& why)

A few applications

How do you make these things?

Where's it going in future.

What is MEMS?

MEMS – Micro-ElectroMechanical Systems

micro – prefix meaning 1 millionth of a metric unit

micrometer = micron = 1 μm = 1 millionth of a meter

"typical" human hair ~ 100 μm

generically… MicroSystems Technology (MST)

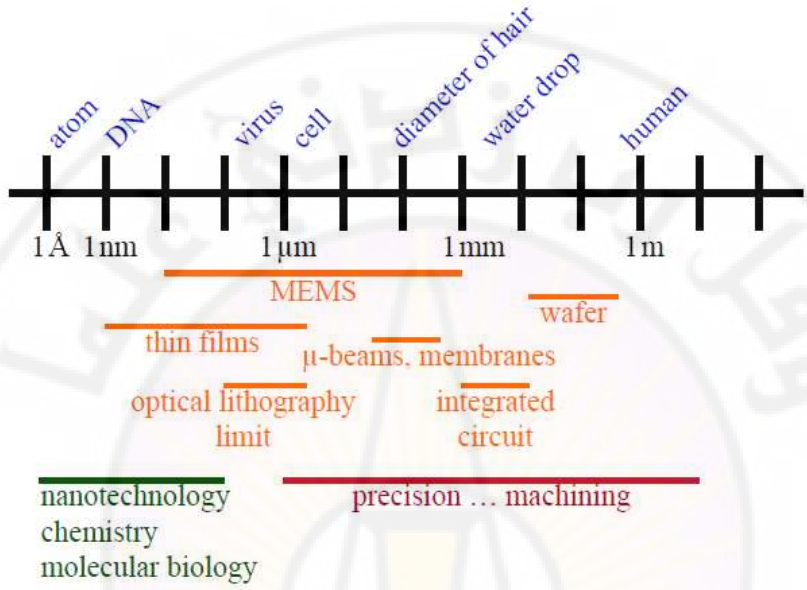
NEMS – Nano-ElectroMechanical Systems

nano – prefix meaning one-billionth of a metric unit

nanometer = nm = 1 billionth of a meter (~ 5–10 atoms)

Damascus University

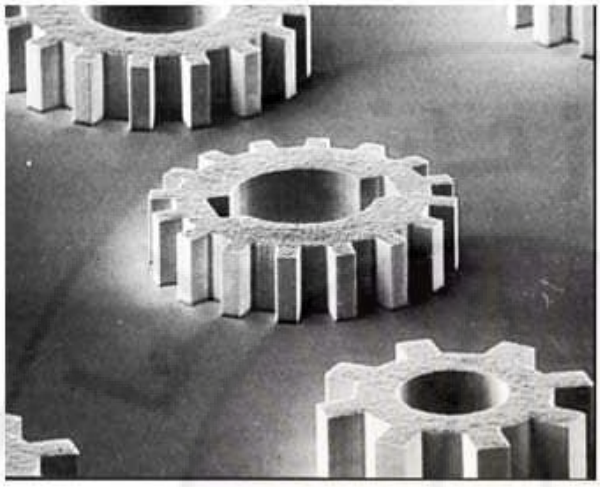
Scales and Dimensions



History of MEMS

1982 "Silicon as a Mechanical Material" (K. Petersen)
1983 Integrated pressure sensor (Honeywell)
1985 LIGA (W. Ehrfeld et al.)
1986 Silicon wafer bonding (M. Shimbo)
1988 Batch fabricated pressure sensors via wafer bonding (Nova Sensor)
1992 Bulk micromachining (SCREAM process, Cornell)
1993 Digital mirror display (Texas Instruments)
1994 Commercial surface micromachined accelerometer (Analog Devices)
1999 Optical network switch (Lucent)

Some examples of simple MEMS devices:

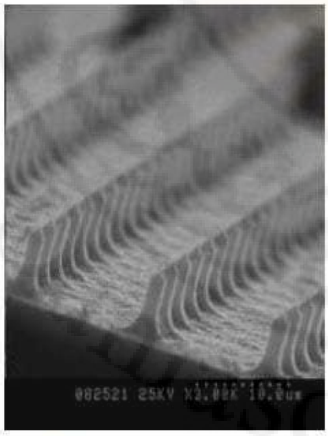


microgears



electrostatic micromotor

MEMS devices may be either passive in operation or active with moving and electrically energized articulated structures.

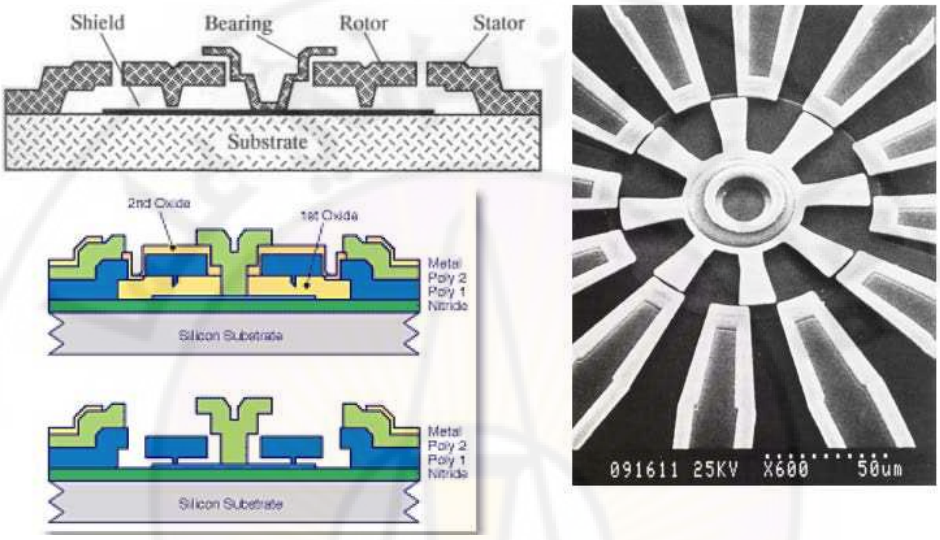


Cantilever array for parallel imaging, reading & writing, or fabrication.



Setting a size scale for MEMS devices.

Surface micromachining-electrostatic micromotor



MEMS Fabrication

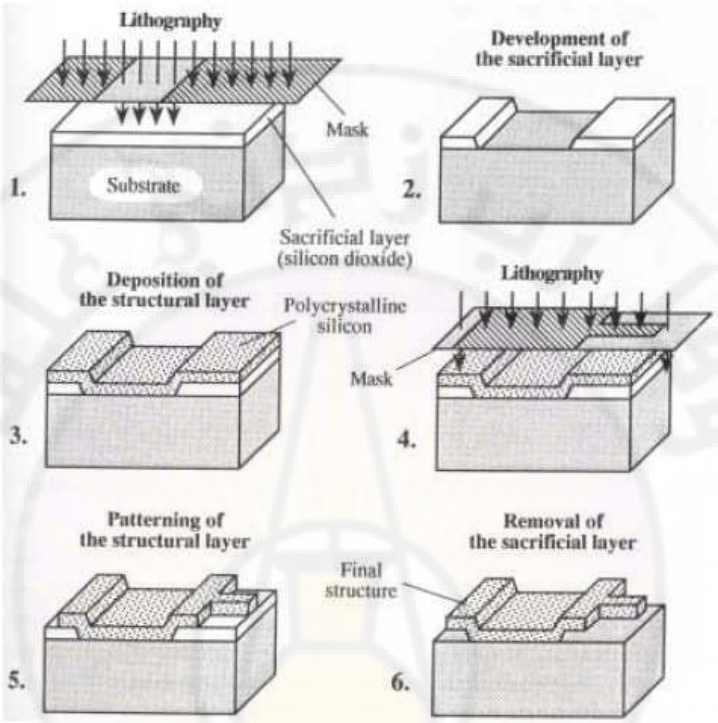
The classic definition of MEMS is any device that

a. is fabricated using extensions of microelectronic processing (film deposition, photolithography, etch, plus additional fab processes;

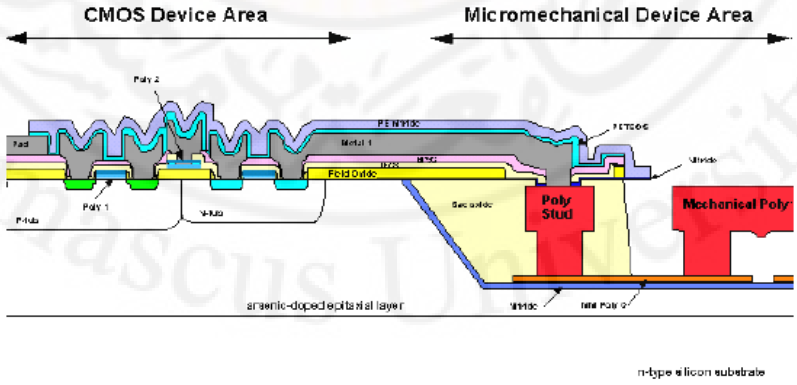
b. contains mechanically moving parts or permits fluid motion through its components;

c. may also contain microelectronic circuitry to control the device, sense an output, or reconfigure itself (including motion) under electronic control or feedback.

Surface micromachining-sacrificial layer method



System on a Chip (SOC) = MEMS + IC



MEMS application

Some existing (or near-term) applications of MEMS devices:

Automotive devices
- pressure sensors
- accelerometers
- fuel mixture and exhaust gas management

Medical technology
- minimal invasive therapy
- implantable or automated drug delivery
- implantable biosensors for monitoring bio-parameters

Consumer electronics
- DMD high definition displays
- tele-communications (RF switches, optical switches)

Damascus University

Application Areas for MEMS RF

APPLICATION AREA	FREQUENCY RANGE	UTILITY	REQUIRED CYCLES
Defense	5 – 94 GHz	Phase shifter for satellite based radars	20 billion
		Missile system radars	0.1 – 1 billion
		Long range radars	20 – 100 billion
Automotive	24,60, 77 GHz	Radars	1 – 2 billion
Satellite communications systems	12 – 35 GHz	Switching networks with 4x4 and 8x8 configurations and reconfigurable Butler matrices for antenna applications	0.1 million
		Switched filter banks	0.1 – 100 million
		Phase shifter for multi-beam	10 – 20 billion
Wireless communications systems	0.8 – 6 GHz	Switched filter banks for portable units	0.1 – 1 million
		Switched filter banks for base stations	0.1 – 10 billion
		General SP2T to SP4T switches	0.1 – 10 billion
		Transmit/receive switches	2 – 4 billion
		Antenna diversity SP2T switches	10 – 100 million
Instrumentation systems	0.01 – 50 GHz	High performance switches, programmable attenuators, phase shifters for Industrial test benches	20 – 40 billion

Some MEMS Applications



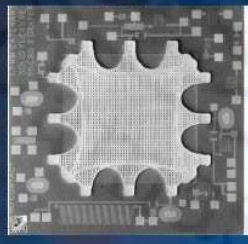
Ultrasound Transducer



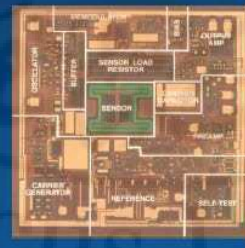
Gyroscope



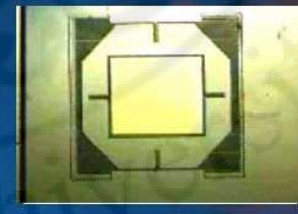
Optical Scanner



Microphone

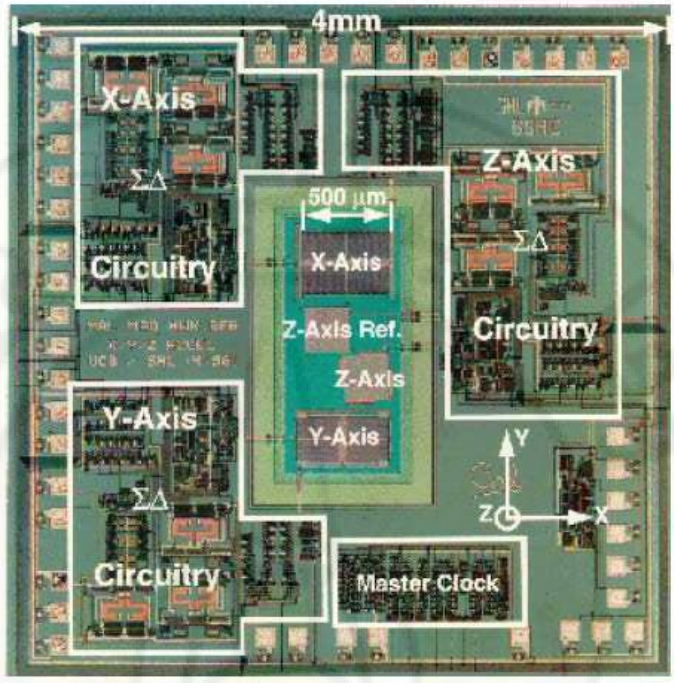


Accelerometer



2-Axis Micromirror

System on a Chip



Sandia 3-axis micro-accelerometer

Damascus University

Micromachining Materials

Substrates:

- Silicon
- GaAs
- Other elemental or compound semiconductors
- Metals (bulk and foils)
- Glasses
- Quartz
- Sapphire
- Ceramics
- Plastics, polymers and other organics

Damascus University

Micromachining Materials

Additive Materials:

- Silicon (amorphous, polycrystalline, epitaxial)
- Silicon compounds (oxides, nitrides, carbides, ...)
- Metals and metal compounds
- Glass
- Ceramics
- Polymers and other organics
- Biomaterials

Silicon Production

- Sand to MGS (Metallurgical Grade Silicon)
  - Purity 98%
  - $SiC + SiO_2 + heat \rightarrow Si + SiO + CO$
- MGS to EGS (Electronic Grade Silicon - Polycrystalline)
  - Impurity ~ 2 ppb
  - $Si + 3HCl \rightarrow SiHCl_3 + H_2 + heat$
  - $2SiHCl_3 + 2H_2 \rightarrow 2Si + 6HCl$
- EGS to SCS (Single Crystal Silicon)
  - Czochralski crystal growing
  - Solidification of atoms from liquid phase at crystal interface

Source: S. M. Sze, VLSI Technology 2nd ed.

Why Use Silicon?

- Take advantage of extensive experience from IC production
- Readily available in very pure form ("nine nines")
- Material properties are very well known
- Can integrate electronics
- Exceptional properties:
  - ***Very strong***
    Yield strength 7 10^9 N/m^2 vs. steel 4.2 10^9 N/m^2
  - ***Relatively light***
    Density 2.3 g/cm^3 vs. steel 7.9 g/cm^3
  - ***Semiconductor***
    Resistivity 0.5 mΩ-cm (doped) to 230 kΩ-cm (intrinsic)

Polysilicon Deposition:

Temperature = 610 °C	SiH4 = Si + 2H2
Pressure = 300 mTorr	
Gas = Silane (SiH4)	Flow = 90 sccm
Rate = 77 Å/min	

Low Temperature Silicon Oxide: (Not recommended, poor uniformity)

Temperature = 400 °C	SiH4 + O2 = SiO2 + 2H2
Pressure = 250 mTorr	
Silane (SiH4)	Flow = 40 sccm
Oxygen (O2)	Flow 48 sccm
Rate = 70 Å/min +/- 10 Å/min	

Silicon Nitride (Si3N4) (normal - stociometric):

Temperature = 790-800-810 °C Ramp from (door to pump)	
Pressure = 375 mTorr	3SiH2Cl2 + 4NH3 = Si3N4 + 9H2 + 3Cl2
Dichlorosilane (SiH2Cl2)	Flow = 60 sccm
Ammonia (NH3)	Flow = 150 sccm
Rate = 60 Å/min +/- 10 Å/min	



Epi	$SiCl_4 + 2H_2 \rightarrow Si + 4HCl$
Polysilicon	SiH_4 (gas) $\rightarrow$ Si (solid) + $2H_2$
Silicon Nitride	$SiCl_2 H_2 + NH_4 \rightarrow Si_3N_4 + HCl$
Low Temperature Oxide	$SiH_4 + O_2 \rightarrow SiO_2 + H_2$
Tungsten (Selective on Si not on SiO_2)	$WF_6 + 3H_2 \rightarrow W + 6HF$
TEOS (tetraethyl orthosilicate)	$Si(C_2H_5O)_4 \rightarrow SiO_2 + 4C_2H_4 + 2\ H_2O$
TiN (TDMAT)	reduction of $Ti[N(CH_2CH_3)_2]_4$
Copper CVD	reduction of ???

MEMS Market

Roger Grace Associates

Application Sector	2000	2004	CAGR(%)
IT/Peripheral	8,700	13,400	11.5
Medical/Biochemical	2,400	7,400	32.5
Industrial/Automation	1,190	1,850	11.6
Telecommunications	130	3,650	128.1
Automotive	1,260	2,350	16.9
Environmental Monitoring	520	1,750	35.4
Total	**14,200**	**30,400**	**21.0**

(in Millions of US $)

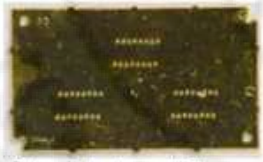
MEMS Market

Market Analysis *[J. Bryzek, 1998]*

- Applications include pressure sensors, inertial sensors, fluidics, data storage, displays, biochips, communication
- Total MEMS market
  1995: $1.4B (non-sensor $30M)
  2005: $6.7B (non-sensor $3.4B)
- Other authors: $13B by 2000
- Compare with IC market ($150B)
- "Enabling Technology"

Actual MEMS market share in 2004 :

44% microfluidic devices (inkjet printer heads) (44% of ~ $ 5B market)



inkjet printer head ink nozzles



IC to control the nozzles

20% optical MEMS devices
(display technology, optical communications)

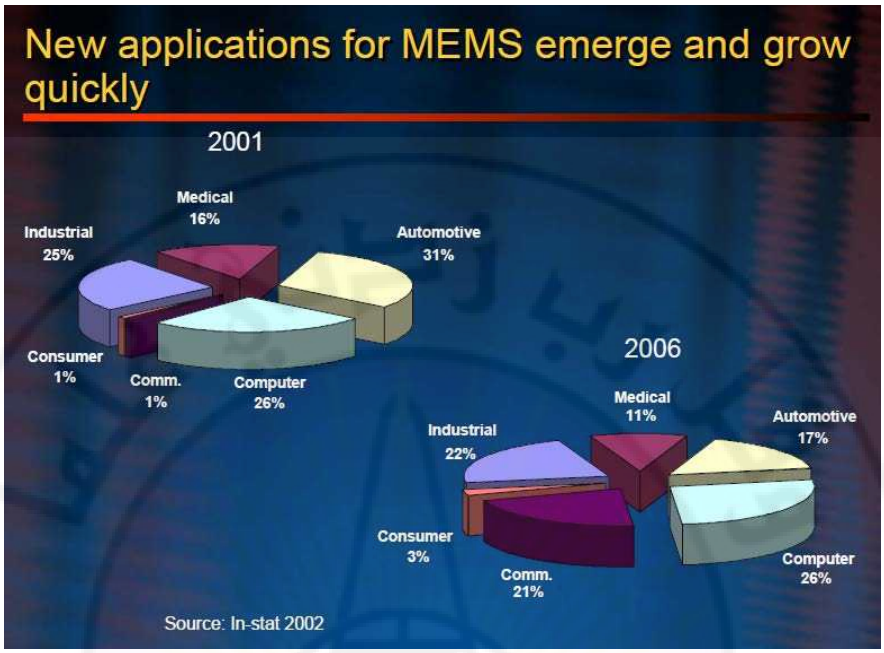


MEMS tilt-mirror optical switch

18% MEMS pressure sensors
(automobile applications)



integrated tire piezo-resistive pressure sensor & accelerometer



بعض الشركات ذات العلاقة بأنظمة الـ MEMS

Who is involved?

Top 10 Companies (by sales)

Texas Instruments ($883M), Hewlett-Packard, Bosch, Lexmark, Seiko-Epson, STMicroelectronics, Canon, Freescale, Analog Devices, & Denos ($170M).

Other Big Players

IBM, Lucent, Agere, Ford, Honeywell, Intel, Saab, ...

Smaller Players (partial list, out of 100's)

Aiwa	www.aiward.com	R&D MEMS thin film services
Cronos Integrated Microsystems	www.memsrus.com	optical/wireless MEMS telecom
Hana Microdisplay	www.hanaoh.com	MEMS microdisplays
InLight Communications Inc	www.inlightcommunications.com	MEMS optical switches
Microsensors Inc	www.microsensors.com	micromachined sensors
Onix Microsystems	www.onixmicrosystems.com	telecom optical switching
Optical Micro-Machining	www.onninc.com	MEMS all-optical switching
Silicon Sense Inc	www.siliconsense.com	MEMS, ASIC, CMOS foundry
Standard Microsystems Corp	www.smsc.com	MOS/VLSI MEMS

Damascus University

Abbreviations

List of Computing , IC, Semiconductor and IT Abbreviations

A:

Angstrom. Unit of length equal to one millionth of a centimeter, used especially to specify radiation wavelengths (10 000 Å equal 1 micron).

- **AA**

Atomic Absorption

- **AAF**

Advanced Architecture Flash

- **Abatement**

Term normally used to indicate treatment systems to reduce the emission into the atmosphere of atmospheric pollutants. Typical abatement systems are: Scrubbers, Cyclones, Bag filters, Electro filters, Activated Carbons Beds.

- **ABC**

Activity Based Costing A method based on activities to allocate overhead costs to products, customers, or orders.

- **ABS**

1) Antilock Braking System (sometimes Antiskid Braking System) Electromechanical system used in vehicles and aircraft to avoid wheel locking during braking. 2) Alkylbenzene sulphonate

- **A/C**

1) Air Conditioning 2) Audio Codec

- **AC**

Alternating Current Electrical current that reverses (or alternates) the current flows at regular intervals in magnitude and in direction.

- **Acceptor**

An impurity that can make a semi-conductor P-type by causing the absence of electrons in the conduction band, called "holes". These "holes" are carriers of positive charge. See donor.

- **ACD**

Automatic Call Distribution (Telecom)

- **Aceton**

An organic compound made of oxygen, carbon and hydrogen (chemical formula CH3COCH3). It is a colorless, very volatile, extremely flammable liquid miscible with water. It is used as a solvent and reagent. It is classified as a volatile organic compound (VOC).

Arsenic (As)

An N-type dopant often used to form the buried layer in a bipolar structure. Also used as an implant source in both bipolar and MOS processing. This element has both metallic and non-metallic properties

and hence is frequently referred to as a metalloid. Because of its metalloid properties arsenic can be in compounds both in the anionic and the cationic form. Arsenic is extremely poisonous to human beings and to other living beings.

- **Asbestos**

A family of heterogeneous silicate minerals which include chrysotile, amosite, crocidolite, tremolite, anthophyfillite and actinolite. The asbestos is fibrous, chemically inert, does not conduct heat and electricity, insoluble, and without odorThese properties made asbestos the perfect material for many applications such as insulating materials (panels, roofing, coating), sealing materials (as additive to rubber, and other sealing material), and friction materials (such as clutches and brakes). If broken, asbestos releases long and narrow fibers which, if inhaled, may cause lung cancer (asbestosis and mesothelioma). Ingestion of asbestos (primarily through drinking water transported in pipes made of asbestos) is also of concern. New uses of asbestos are currently banned by law in most industrialized countries, and existing uses are often being phased out.

- **ASCII**

American Standard Code for Information Interchange Standard code used in most computers to represent letters, numbers and other characters

- **1GL - First-Generation Programming Language**
- **2B1Q - 2 Binary 1 Quaternary**
- **2GL - Second-Generation Programming Language**
- **3GL - Third-Generation Programming Language**

- **4B5BLF - 4 Byte 5 Byte Local Fiber**
- **4GL - Fourth-Generation Programming Language**
- **5GL - Fifth-Generation Programming Language**
- **8B10BLF - 8 Byte 10 Byte Local Fiber**
- **AA - Anti-Aliasing**
- **AAA - Authentication Authorization, Accounting**

- **AABB - Axis Aligned Bounding Box**
- **AAC - Advanced Audio Coding (audio compression format defined by the MPEG-2 standard)**
- **AAL - ATM Adaptation Layer**
- **AALC - ATM Adaptation Layer Connection**
- **AARP - AppleTalk Address Resolution Protocol**
- **ABI - Application Binary Interface**
- **ABM - Asynchronous Balanced Mode**
- **ABR - Area Border Router**
- **ABR - Auto Baud - Rate Detect**
- **ABR - Available Bit Rate**
- **AC - Alternating Current**
- **AC - Acoustic Coupler**
- **ACID - Atomiticy Consistency Isolation Durability**
- **ACL - Access Control List**
- **ACL - Active Current Loop**
- **ACM - Association for Computing Machinery**
- **ACPI - Advanced Configuration and Power Interface**
- **ACD - Automatic Call Distributor**
- **ACF - Advanced Communications Function**
- **ACF NCP - Advanced Communications Function - Network Control Program**
- **ACK – AC Knowledgement**
- **ACR - Allowed Cell Rate**
- **ACR - Attenuation to Crosstalk Ratio**
- **AD - Active Directory**
- **AD - Administrative Domain**
- **ADC - Analog-To-Digital Converter**
- **ADC - Apple Display Connector (DVI variant)**
- **ADB - Apple Desktop Bus**
- **ADCCP - Advanced Data Communications Control Protocol/Procedures**
- **ADO - ActiveX Data Objects**
- **ADSL - Asymmetric Digital Subscriber Line (variant of DSL)**
- **AE - Adaptive Equalizer**
- **AES - Advanced Encryption Standard**
- **AF - Anisotropic Filtering**
- **AFP - Apple Filing Protocol**

- **AGP - Accelerated Graphics Port (sometimes used with a suffix indicating the port's bandwidth, like AGP4x)**
- **AH - Active Hub**
- **AI - Artificial Intelligence**
- **AIM - AOL Instant Messenger**
- **AIX - Advanced Interactive Executive**
- **Ajax - Asynchronous JavaScript and XML**
- **AL - Active Link**
- **AL - Access List**
- **ALGOL - Algorithmic Language**
- **ALSA - Advanced Linux Sound Architecture**
- **ALU - Arithmetic and Logical Unit**
- **AM - Active Matrix**
- **AM - Access Method**
- **AM - Active Monitor**
- **AMD - Advanced Micro Devices**
- **AMI - American Megatrends Inc. (BIOS manufacturer)**
- **AMR - Audio Modem Riser**
- **ANN - Artificial Neural Network**
- **ANSI - American National Standards Institute**
- **ANT - Another Neat Tool**
- **AoE - ATA over Ethernet**
- **AOL - America Online**
- **AOP - Aspect-Oriented Programming**
- **APCI - Application-Layer Protocol Control Information**
- **API - Application Programming Interface**
- **APIC - Advanced Programmable Interrupt Controller**
- **APIPA - Automatic Private IP Addressing**
- **APL - A Programming Language**
- **APS - Accunet Packet Service**
- **APR - Apache Portable Runtime**
- **ARM - Advanced RISC Machines**
- **ARP - Address Resolution Protocol**
- **ARPA - Address and Routing Parameter Area**
- **ARPA - Advanced Research Projects Agency (see also DARPA)**
- **ARPANET - Advanced Research Projects Agency Network**
- **AS - Access Server**
- **ASCII - American Standard Code for Information Interchange**

- **ASG - Abstract Semantic Graph**
- **ASIC - Application Specific Integrated Circuit**
- **ASMP (computing) - Asymmetric Multiprocessing**
- **ASN.1 - Abstract Syntax Notation 1**
- **ASP - Application Service Provider**
- **ASP (MS ASP) - Active Server Pages**
- **AST - Abstract Syntax Tree**
- **ASSP - Application Specific Standard Product**
- **AT - Advanced Technology**
- **AT - Access Time**
- **AT - Active Terminator**
- **ATA - Advanced Technology Attachment**
- **ATAG - Authoring Tool Accessibility Guidelines**
- **ATAPI - Advanced Technology Attachment Packet Interface**
- **ATG - Advanced Technology Group**
- **ATI - Array Technology Industry**
- **ATM - Asynchronous Transfer Mode**
- **AT&T - American Telephone & Telegraph**
- **AVC - Advanced Video Coding**
- **AVI - Audio Video Interleaved**
- **AWT - Abstract Windowing Toolkit**

B:

- **BiCMOS**

Bipolar-CMOS A technology where the advantage of bipolar (a transistor) noted for its speed. It contains an emitter, collector, and base and that of CMOS devices (low power consumption) fabricated on a single chip.

BIOS

1) BInary Operation System 2) Basic Input-Output System

Biosphere

Also called Ecosphere. It is the entire planetary ecosystem, including all living organisms and the parts of the Earth in which they live or that support them. It includes the atmosphere, the hydrosphere and the lithosphere. The biosphere was formed 4.6 billion years ago.

Bipolar

- **1) A type of transistor where a flow of both conduction electrons and holes determines the device characteristics. 2) A transistor noted for its speed that contains an emitter, collector and base**

Bonding

In semiconductor production, this is the connection of bonding pads on the surface of the die to the package frame. Bonding is normally done by welding tiny gold or aluminum wires. Not to be confused with die attach.

Bonding, Ball

A thermal compression bonding technique used only with gold wire. The wire end is melted to form a ball, which provides a larger area of contact than otherwise possible.

Bonding, Die

Attaching of the semiconductor die to the package substrates, with epoxy adhesives, gold eutectic or solder alloy. Also called die attach.

Bonding Pads

Comparatively large metallization areas usually placed around the perimeter of the integrated circuit die to provide the areas to which wires from internal termination of the leads of the package are connected.

Bonding Wedge

A form of thermal compression bonding used for microelectronic assembly, so named because the bond shapes the wire in a wedge shape.

Bonding Wires

Fine wires, usually aluminum or gold, connecting the metal bonding pads on an integrated circuit to the internal termination of the leads of the package.

Boron

The P-type dopant commonly used for the isolation and base diffusion in stand bipolar NPN-IC processing, and source/drain regions in PMOS transistors.

Boron Trichloride

- **A gaseous mixture of boron and chlorine. The mixture is used as a dopant source for P-type diffusions and as an etchant gas for etching aluminum and aluminum alloys**

Bumped Chip

A chip from a wafer that has been specifically processed with buffer metal(s) over the 1/0 pads, followed by an addition of solder or gold

"bumps" to provide re-flow or thermocompression bonding areas for copper beam-lead attachment.

Buried Layer

A low-resistivity, diffused region placed under the collector of a bipolar transistor to reduce its series resistance, commonly employed with an epitaxial structure.

Burn-in

Applying voltage to a semiconductor device at an elevated temperature for a given period of time to cause devices with marginal reliability to fail, eliminating potential field failures.

*** B2B - Business-to-Business**

- **B2C - Business-to-Consumer**
- **Bash - Bourne-again shell**
- **BASIC - Beginner's All-Purpose Symbolic Instruction Code**
- **BBP - Baseband Processor**
- **BBS - Bulletin Board System**
- **BCD - Binary Coded Decimal**
- **BEEP - Blocks Extensible Exchange Protocol**
- **BER - Bit Error Rate**
- **BFD - Binary File Descriptor**
- **BFS - Breadth-First Search**
- **BGP - Border Gateway Protocol**
- **BiDi - Bi-Directional**
- **bin - binary**
- **BINAC - Binary Automatic Computer**
- **BIND - Berkeley Internet Name Daemon**
- **BIOS - Basic Input Output System**
- **BJT - Bipolar Junction Transistor**
- **Blog - Web Log**
- **BMP - Basic Multilingual Plane**
- **BNC - Bayonet Neill-Concelman**

- **BOFH - Bastard Operator From Hell**
- **BOINC - Berkeley Open Infrastructure for Network Computing**
- **BOOTP - Bootstrap Protocol**
- **BPEL - Business Process Execution Language**
- **BPL - Broadband over Power Lines**
- **bps - bits per second**
- **BRR - Business Readiness Rating**
- **BSA - Business Software Alliance**
- **BSD - Berkeley Software Distribution (Unix variant)**
- **BSOD - Blue Screen of Death (MS Windows specific)**
- **BSS - Block Started by Symbol**
- **BT - BitTorrent**
- **BW – Bandwidth**

C:

- **CA - Certificate Authority**
- **CAD - Computer-Aided Design**
- **CAE - Computer-Aided Engineering**
- **CAID - Computer Aided Industrial Design**
- **CAI - Computer-Aided Instruction**
- **CAM - Computer-Aided Manufacturing**
- **CAPTCHA - Completely Automated Public Turing Test to tell Computers and Humans Apart**
- **CAQ - Computer Aided Quality**
- **CASE - Computer-Aided Software Engineering**
- **cc - C Compiler**
- **CD - Compact Disc**
- **CDE - Common Desktop Environment**
- **CDMA - Code Division Multiple Access**
- **CDP - Continuous Data Protection**
- **CD-R - CD-Recordable**
- **CD-ROM - CD Read-Only Memory**
- **CD-RW - CD-Rewritable**
- **CERT - Computer Emergency Response Team**
- **CFWS - Comment and/or Folding White Space**
- **CES - Consumer Electronics Show**

- **CF - Compact Flash**
- **CFD - Computational Fluid Dynamics**
- **CFG - Context-Free Grammar**
- **CFG - Control Flow Graph**
- **CG - Computer Graphics**
- **CGA - Color Graphics Array**
- **CGI - Common Gateway Interface**
- **CGI - Computer-Generated Imagery**
- **CGT - Computational Graph Theory**
- **CHAP - Challenge-Handshake Authentication Protocol**
- **CHS - Cylinder-Head-Sector**
- **CIFS - Common Internet Filesystem**
- **CIM - Common Information Model**
- **CISC - Complex Instruction Set Computer**
- **CJK - Chinese, Japanese, and Korean**
- **CJKV - Chinese, Japanese, Korean, and Vietnamese**
- **CLI - Command Line Interface**
- **CLR - Common Language Runtime**
- **CM - Configuration Management**
- **CM - Content Management**
- **CMOS - Complementary Metal-Oxide Semiconductor**
- **CMS - Content Management System**
- **CN - Canonical Name**
- **CN - Common Name**
- **CNC - Computer Numerical Control**
- **CNR - Communications and Networking Riser**
- **COBOL - Common Business-Oriented Language**
- **COM - Component Object Model**
- **CORBA - Common Object Request Broker Architecture**
- **COTS - Commercial Off-The-Shelf**
- **CPA - Cell Processor Architecture**
- **CPA - Control Panel Applet**
- **CPA - Converged Packet Access**
- **CPAN - Comprehensive Perl Archive Network**
- **CP/M - Control Program/Monitor**
- **cps - characters per second**
- **CPU - Central Processing Unit**
- **CR - Carriage Return**

- **CRAN - Comprehensive R Archive Network**
- **CRC - Cyclic Redundancy Check**
- **CRLF - Carriage Return Line Feed**
- **CRM - Customer Relationship Management**
- **CRT - Cathode Ray Tube**
- **CS - Cable Select**
- **CS - Computer Science**
- **CSE - Computer Science and Engineering**
- **CSRF - Cross-Site Request Forgery**
- **CSS - Cascading Style Sheets**
- **CSS - Content-Scrambling System**
- **CSS - Closed Source Software**
- **CSS - Cross-Site Scripting**
- **CSV - Comma-Separated Values**
- **CT - Computerized Tomography**
- **CTAN - Comprehensive TeX Archive Network**
- **CTCP - Client-To-Client Protocol**
- **CTI - Computer Telephony Integration**
- **CTS - Clear To Send**
- **CTSS - Compatible Time-Sharing System**
- **CUA - Common User Access**
- **CVS - Concurrent Versioning System**

D:

- **DAC - Digital-To-Analog Converter**
- **DAC - Discretionary Access Control**
- **DAO - Data Access Objects**
- **DAO - Disk At Once**
- **DAP - Directory Access Protocol**
- **DARPA - Defense Advanced Research Projects Agency**
- **DAT - Digital Audio Tape**
- **DB - Database**
- **DBA - Database Administrator**
- **DBCS - Double Byte Character Set**
- **DBMS - Database Management System**
- **DCC - Direct Client-to-Client**

- **DCCA - Debian Common Core Alliance**
- **DCL - Data Control Language**
- **DCMI - Dublin Core Metadata Initiative**
- **DCOM - Distributed Component Object Model**
- **DD - Double Density**
- **DDE - Dynamic Data Exchange**
- **DDL - Data Definition Language**
- **DDoS - Distributed Denial of Service**
- **DDR - Double Data Rate**
- **DEC - Digital Equipment Corporation**
- **DES - Data Encryption Standard**
- **dev - device**
- **DFA - Deterministic Finite Automaton**
- **DFD - Data Flow Diagram**
- **DFS - Depth-First Search**
- **DHCP - Dynamic Host Configuration Protocol**
- **DHTML - Dynamic HTML**
- **DIMM - Dual Inline Memory Module**
- **DIN - Deutsches Institut für Normung**
- **DIP - Dual In-line Package**
- **DIVX - Digital Video Express**
- **DKIM - Domain Keys Identified Mail**
- **DL - Download**
- **DLL - Dynamic Link Library**
- **DLP - Digital Light Processing**
- **DMA - Direct Memory Access**
- **DMCA - Digital Millennium Copyright Act**
- **DML - Data Manipulation Language**
- **DMR - Dennis M. Ritchie**
- **DN - Distinguished Name**
- **DND - Drag-and-Drop**
- **DNS - Domain Name System**
- **DOCSIS - Data Over Cable Service Interface Specification**
- **DOM - Document Object Model**
- **DoS - Denial of Service**
- **DOS - Disk Operating System**
- **DP - Dot Pitch**
- **DPI - Dots Per Inch**

- **DPMI - DOS Protected Mode Interface**
- **DPMS - Display Power Management Signaling**
- **DRAM - Dynamic Random Access Memory**
- **DRI - Direct Rendering Infrastructure**
- **DRM - Digital Rights Management**
- **DRM - Direct Rendering Manager**
- **DSDL - Document Schema Definition Languages**
- **DSDM - Dynamic Systems Development Method**
- **DSL - Digital Subscriber Line**
- **DSL - Domain-Specific Language**
- **DSLAM - Digital subscriber line access multiplexer**
- **DSN - Database Source Name (ODBC)**
- **DSN - Dataset Name? (OS/390)**
- **DSP - Digital Signal Processor**
- **DSSSL - Document Style Semantics and Specification Language**
- **DTD - Document Type Definition**
- **DTE - Data Terminal Equipment**
- **DTP - Desktop Publishing**
- **DTR - Data Terminal Ready**
- **DVD - Digital Versatile Disc**
- **DVD - Digital Video Disc**
- **DVD-R - DVD-Recordable**
- **DVD-ROM - DVD-Read Only Memory**
- **DVD-RW - DVD-Rewritable**
- **DVI - Digital Visual Interface**
- **DVR - Digital Video Recorder (see also PVR)**

E:

- **EAI - Enterprise Application Integration**
- **EAP - Extensible Authentication Protocol**
- **EBCDIC - Extended Binary Coded Decimal Interchange Code**
- **EBML - Extensible Binary Meta Language**
- **ECC - Elliptic Curve Cryptography**
- **ECMA - European Computer Manufacturers Association**
- **EDI - Electronic Data Interchange**
- **EDO - Extended Data Out**

- **EDSAC - Electronic Delay Storage Automatic Computer**
- **EDVAC - Electronic Discrete Variable Automatic Computer**
- **EEPROM - Electronically-Eraseable Programmable Read-Only Memory**
- **EFF - Electronic Frontier Foundation**
- **EFI - Extensible Firmware Interface**
- **EFM - Eight-to-Fourteen Modulation**
- **EGA - Enhanced Graphics Array**
- **EGP - Exterior Gateway Protocol**
- **eID - electronic ID card**
- **EIDE - Enhanced IDE**
- **EIGRP - Enhanced Interior Gateway Routing Protocol**
- **EISA - Extended Industry Standard Architecture**
- **ELF - Extremely Low Frequency**
- **ELF - Executable and Linkable Format**
- **ELM - Electronic Mail**
- **EMACS - Editor Macros**
- **EMS - Expanded Memory Specification**
- **ENIAC - Electronic Numerical Integrator And Computer**
- **EOF - End of File**
- **EOL - End of Life**
- **EOL - End of Line**
- **EOM - End of Message**
- **EPROM - Eraseable Programmable Read-Only Memory**
- **ERP - Enterprise Resource Planning**
- **ESCON - Enterprise Systems Connection**
- **ESD - Electrostatic Discharge**
- **ETL - Extract, Transform, Load**
- **ESR - Eric Steven Raymond**
- **EUC - Extended Unix Code**
- **EULA - End User License Agreement**

F:

- **FAP - FORTRAN Assembly Program**
- **FAT - File Allocation Table**
- **FAQ - Frequently Asked Questions**

- **FBDIMM - Fully Buffered Dual Inline Memory Module**
- **FCB - File Control Block**
- **FDD - Floppy Disk Drive**
- **FDDI - Fiber Distributed Data Interface**
- **FDMA - Frequency-Division Multiple Access**
- **FEC - Forward Error Correction**
- **FEMB - Front-End Motherboard**
- **FET - Field Effect Transistor**
- **FICON - Fiber Connectivity**
- **FIFO - First In First Out**
- **FHS - Filesystem Hierarchy Standard**
- **FLAC - Free Lossless Audio Codec**
- **FLOPS - FLoating-Point Operations Per Second**
- **FLOSS - Free/Libre/Open Source Software**
- **FOLDOC - Free On-line Dictionary of Computing**
- **FOSDEM - Free and Open source Software Developers' European Meeting**
- **FOSI - Formatted Output Specification Instance**
- **FOSS - Free and Open Source Software**
- **FPGA - Field Programmable Gate Array**
- **FPU - Floating Point Unit**
- **FS - File System**
- **FSB - Front Side Bus**
- **FSF - Free Software Foundation**
- **FSM - Finite State Machine**
- **FTTC - Fiber To The Curb**
- **FTTH - Fiber To The Home**
- **FTTP - Fiber To The Premises**
- **FTP - File Transfer Protocol**
- **FQDN - Fully Qualified Domain Name**
- **FUD - Fear Uncertainty Doubt**
- **FWS - Folding White Space**

G:

- **G11N - Globalization**
- **Gb - Gigabit**

- **GB - Gigabyte**
- **GCC - GNU Compiler Collection (formerly GNU C Compiler)**
- **GCJ - GNU Compiler for Java**
- **GCR - Group Code Recording**
- **GDB - GNU Debugger**
- **GDI - Graphics Device Interface**
- **GFDL - GNU Free Documentation License**
- **GIF - Graphics Interchange Format**
- **GIGO - Garbage In, Garbage Out**
- **GIMP - GNU Image Manipulation Program**
- **GIMPS - Great Internet Mersenne Prime Search**
- **GIS - Geographic Information System**
- **GLUT - OpenGL Utility Toolkit**
- **GNOME - GNU Network Object Model Environment**
- **GNU - GNU's Not Unix**
- **GPG - GNU Privacy Guard**
- **GPGPU - General-Purpose Computing on Graphics Processing Units**
- **GPIB - General-Purpose Instrumentation Bus**
- **GPL - General Public License**
- **GPL - General-Purpose Language**
- **GPRS - General Packet Radio Service**
- **GPT - GUID PartitionTable**
- **GPU - Graphics Processing Unit**
- **GRUB - Grand Unified Boot-Loader**
- **GSM - Global System for Mobile Communications**
- **GTK+ - GIMP Toolkit**
- **GUI - Graphical User Interface**
- **GUID - Globally Unique IDentifier**
- **GWT - Google Web Toolkit**

H :

- **HAL - Hardware Abstraction Layer**
- **HBA - Host Bus Adapter**
- **HCI - Human Computer Interaction**
- **HD - High Density**

- **HDD - Hard Disk Drive**
- **HD-DVD - High Definition DVD**
- **HDL - Hardware Description Language**
- **HF - High Frequency**
- **HID - Human Interface Device**
- **HIG - Human Interface Guidelines**
- **HIRD - Hurd of Interfaces Representing Depth**
- **HMA - High Memory Area**
- **HP - Hewlett-Packard**
- **HPC - High-Performance Computing**
- **HPFS - High Performance File System**
- **HT - Hyper Threading**
- **HTM - Hierarchical Temporal Memory**
- **HTML - Hypertext Markup Language**
- **HTTP - Hypertext Transport Protocol**
- **HTTPd - Hypertext Transport Protocol Daemon**
- **HURD - Hird of Unix-Replacing Daemons**
- **HVD - Holographic Versatile Disc**
- **Hz - Hertz**

I :

I²C

Inter Integrated Circuit

I²L

Integrated Injection Logic A bipolar structure characterized by an integrated PNP load device and inverted operation of an NPN logic transistor.

I²O

Intelligent I/O I/O subsystems for midrange computers.

I2

Suppliers name-Capacity planning software

i/o

Indoor/outdoor concentration ratio

I/O

Input/Output

IA

Instrumentation Amplifier

IAB

Internet Architecture Board

IAEA

International Atomic Energy Agency

IAP

1) In-Application Programmable 2) Indoor Air Pollution

IARC

International Agency for Research on Cancer

IC

Integrated Circuit A tiny device that can perform various electronic functions. IC's are made from semiconductor material and work according to semiconductor physics. The IC inventors (1958) are: Jack Kilby & Robert Noyce. Unlike discrete devices, integrated circuits integrate many functions

on a single physical chip. ICs may be classed as SSI (small scale integration), MSI (medium scale integration), LSI (large scale integration), VLSI (very large scale integration) or ULSI (ultra-large scale integration). ICs may contain anything from just a few transistors (plus the diodes, resistors, and capacitors necessary to complete the circuit) to millions of transistors on the same chip. For example, a 4 Mbit EPROM memory chip has 4 million "sandwiches" with two paired transistors each plus the additional transistors required for the control circuit. ICs can be manufactured with bipolar, MOS, CMOS, or mixed manufacturing technologies.

IC/OC

Input Capture/Output Compare

ICAP

Inductively Coupled Argon Plasma

ICBN

International Commission on the Biological Effects of Noise

IFF

Intermediate Frequency

IGCC

Integrated Gasification Combined Cycle

IG-FET

Insulated-Gate, Field-Effect Transistor

IGBT

Insulated Gate Bipolar Transistor

IGFET

Insulated Gate Field Effect Transistor

IGMP

Internet Group Management Protocol Standard for IP multicasting in the Internet. It is used to establish host memberships in particular multicast groups on a single network.91

IIICE

Integrated Instrumentation and InCircuit Emulation

IILE

Integrated Injection Logic

IiW

Titan Wolfram (Titan Tungsten) Metalic composition used for thin film resistors (in IC's)

ILS

Integrated Logistic Support Impurity Foreign chemical body in a material which modifies its electrical properties in a semiconductor, an impurity can play the role of a dopant or of contaminant

Implantation

Short for ion implantation. The use of a particle accelerator to "shoot impurities" into the pure silicon wafer. An alternative to diffusion, implantation is more controllable but costs more since wafers are processed individually.

Impurity

- **Any foreign or undesired material that gets incorporated into the semiconductor material or layers**

Ion

An atom or molecule that carries a net charge (either positive or negative) because of an imbalance between the number of protons and the number of electrons present. If the ion has more electrons than protons, it has a negative charge. If the converse is true, the ion has a positive charge. Ions with a positive charge are called cations; ions with a negative charge are called anions.

Ion Beam Milling

A process of physically removing unwanted (unprotected) material from a semiconductor surface by ion bombardment.

Ion Implantation

A means for adding dopants to a semiconductor material. Charged atoms (ions) are accelerated in an electric field into the semiconductor material. It is especially useful for thin doped areas. This process is much more precise than the diffusion method of doping.

Ionizing radiation

- **Electromagnetic radiation or atomic particles capable of displacing electrons from around atoms or molecules, thereby producing charged**

atoms or molecules or ions. The more common types of ionizing radiation are x-rays, gamma rays, alpha particles, and beta particles. Ionizing radiation are extremely harmful to all living beings. The ionosphere and stratosphere protect living beings from the ionizing radiation that arrives from the sun and other celestial bodies

ISDN

- **Integrated Services Digital Network A digital end-to-end telecommunications network that supports multiple services, but not limited to service and data**

ISL

Integrated Schottky Logic

ISN

Information Systems Network

ISO

1) International Standard Organization Greek word meaning "equal". ISO 9002, for example, is the International Standard which describes the specifications for the quality system in manufacturing. 2) International Standardization Organization ISP Internet Service Provider

ISO 14000

A series of standards emitted or being prepared by the International Standards Organization (ISO), covering a number of environmental topics. ISO 14001, which was emitted in 1996, lays down a model for an environmental management system that can be adopted by any organization and can be certified by an accredited certifying body. This

model is very similar to EMAS, emitted by the European Community in 1993.

Isolation diffusion

A method of achieving isolation by diffusing in such a manner that P-N junctions surround the areas to be isolated from one another.

Isopropanol (CH3CHOHCH3 ISN

Information Systems Network

ISO

1) International Standard Organization Greek word meaning "equal". ISO 9002, for example, is the International Standard which describes the specifications for the quality system in manufacturing. 2) International Standardization Organization ISP Internet Service Provider

ISO 14000

A series of standards emitted or being prepared by the International Standards Organization (ISO), covering a number of environmental topics. ISO 14001, which was emitted in 1996, lays down a model for an environmental management system that can be adopted by any organization and can be certified by an accredited certifying body. This model is very similar to EMAS, emitted by the European Community in 1993.

Isolation diffusion

A method of achieving isolation by diffusing in such a manner that P-N junctions surround the areas to be isolated from one another.

Isopropanol (CH3CHOHCH3

- **IANA - Internet Assigned Numbers Authority**
- **iBCS - Intel Binary Compatibility Standard**
- **IBM - International Business Machines**
- **IC - Integrated Circuit**
- **ICANN - Internet Corporation for Assigned Names and Numbers**
- **ICE - In-Circuit Emulator**
- **ICE - Intrusion Countermeasure Electronics**
- **ICMP - Internet Control Message Protocol**
- **ICP - Internet Cache Protocol**
- **ICT - Information and Communication Technology**
- **IDE - Integrated Development Environment**
- **IDE - Integrated Drive Electronics**
- **IDL - Interface Definition Language**
- **IE - Internet Explorer**
- **IEC - International Electro technical Commission**
- **IEEE - Institute of Electrical and Electronics Engineers**
- **IETF - Internet Engineering Task Force**
- **IFL - Integrated Facility for Linux**
- **IGMP - Internet Group Management Protocol**
- **IGRP - Interior Gateway Routing Protocol**
- **IHV - Independent Hardware Vendor**
- **IIOP - Internet Inter-Orb Protocol**
- **IIS - Internet Information Services**
- **IM - Instant Messaging**
- **IMAP - Internet Message Access Protocol**
- **IME - Input Method Editor**
- **I/O - Input/Output**
- **IP - Intellectual Property**
- **IP - Internet Protocol**
- **IPC - Inter-Process Communication**
- **IPL - Initial Program Load**
- **IPP - Internet Printing Protocol**
- **IPsec - Internet Protocol security**
- **IPX - Internetwork Packet Exchange**
- **IRC - Internet Relay Chat**
- **IrDA - Infrared Data Association**

- **IRQ - Interrupt Request**
- **IS - Information Systems**
- **ISA - Industry Standard Architechture**
- **ISAM - Indexed Sequential Access Method**
- **ISDN - Integrated Services Digital Network**
- **ISO - International Organization for Standardization**
- **ISP - Internet Service Provider**
- **ISPF - Interactive System Productivity Facility**
- **ISV - Independent Software Vendor**
- **IT - Information Technology**
- **ITU - International Telecommunication Union**

J:

- **J2CE - Java 2 Cryptographic Edition**
- **J2EE - Java 2 Enterprise Edition**
- **J2ME - Java 2 Micro Edition**
- **J2SE - Java 2 Standard Edition**
- **JAXP - Java API for XML Processing**
- **JBOD - Just a Bunch of Disks**
- **JCL - Job Control Language**
- **JDBC - Java Database Connectivity**
- **JDK - Java Development Kit**
- **JDS - Java Desktop System**
- **JFC - Java Foundation Classes**
- **JFET - Junction Field-Effect Transistor**
- **JFS - Journaling Filesystem**
- **JINI - Jini Is Not Initials**
- **JIT - Just-In-Time**
- **JNI - Java Native Interface**
- **JPEG - Joint Photographic Experts Group**
- **JRE - Java Runtime Environment**
- **JS - JavaScript**
- **JSON - JavaScript Object Notation**
- **JSP - Jackson Structured Programming**
- **JSP - JavaServer Pages**
- **JTAG - Joint Test Action Group**

- **JVM - Java Virtual Machine**
- **jwz - Jamie Zawinski**
- **JMX - Java Management Extentions**
- **JMS - Java Messaging Service**
- **JUG - Java Users Group**
- **JNDI - Java Naming and Directory Interface**
- **JAXB - Java XML Binding**
- **JAX-RPC - Java XML for Remote Procedure Calls**
- **JCP - Java Community Process**

K:

- **K&R - Kernighan and Ritchie**
- **KB - Keyboard**
- **Kb - Kilobit**
- **KB - Kilobyte**
- **KB - Knowledge Base**
- **KDE - K Desktop Environment**
- **kHz - Kilohertz**
- **KISS - Keep It Simple, Stupid**
- **KVM - Keyboard, Video, Mouse**

L:

- **L10N - Localization**
- **LAMP - Linux Apache MySQL (Perl, PHP, or Python)**
- **LAN - Local Area Network**
- **LBA - Logical Block Addressing**
- **LCD - Liquid Crystal Display**
- **LCOS - Liquid Crystal On Silicon**
- **LDAP - Lightweight Directory Access Protocol**
- **LE - Logical Extents**
- **LED - Light-Emitting Diode**
- **LF - Line Feed**
- **LF - Low Frequency**
- **LFS - Linux From Scratch**
- **lib - library**

- **LIF - Low Insertion Force**
- **LIFO - Last In First Out**
- **LILO - Linux Loader**
- **LKML - Linux Kernel Mailing List**
- **LM - LanManager**
- **LGPL - [GNU] Lesser General Public License**
- **LOC - Lines of Code**
- **LPI - Linux Professional Institute**
- **LSB - Least Significant Bit**
- **LSB - Linux Standard Base**
- **LSI - Large-Scale Integration**
- **LTR - Left-to-Right**
- **LUG - Linux User Group**
- **LUN - Logical Unit Number**
- **LV - Logical Volume**
- **LVM - Logical Volume Management**
- **LZW - Lempel-Ziv-Welch**

M:

- **MAC - Mandatory Access Control**
- **MAC - Media Access Control**
- **MAN - Metropolitan Area Network**
- **MANET - Mobile Ad-Hoc Network**
- **MAPI - Messaging Application Programming Interface**
- **Mb - Megabit**
- **MB - Megabyte**
- **MBCS - Multi Byte Character Set**
- **MBR - Master Boot Record**
- **MCA - Micro Channel Architecture**
- **MCSA - Microsoft Certified System Administrator**
- **MCSD - Microsoft Certified System Developer**
- **MCSE - Microsoft Certified System Engineer**
- **MDA - Mail Delivery Agent**
- **MDA - Model-Driven Architecture**
- **MDA - Monochrome Display Adapter**
- **MDI - Multiple Document Interface**

- **ME - [Windows] Millennium Edition**
- **MF - Medium Frequency**
- **MFC - Microsoft Foundation Classes**
- **MFM - Modified Frequency Modulation**
- **MGPT - Machine Generated Problem Tracking**
- **MHz - Megahertz**
- **MIDI - Musical Instrument Digital Interface**
- **MIMD - Multiple Instruction, Multiple Data**
- **MIPS - Million Instructions Per Second**
- **MIPS - Microprocessor without Interlocked Pipeline Stages**
- **MIS - Management Information Systems**
- **MISD - Multiple Instruction, Single Data**
- **MIT - Massachusetts Institute of Technology**
- **MIME - Multipurpose Internet Mail Extensions**
- **MMIO - Memory-Mapped I/O**
- **MMORPG - Massively Multiplayer Online Role-Playing Game**
- **MMU - Memory Management Unit**
- **MMX - Multi-Media Extensions**
- **MNG - Multiple-image Network Graphics**
- **MoBo - Motherboard**
- **MOO - MUD Object Oriented**
- **MOSFET - Metal-Oxide Semiconductor FET**
- **MOTD - Message Of The Day**
- **MPAA - Motion Picture Association of America**
- **MPEG - Motion Pictures (Coding) Experts Group**
- **MPL - Mozilla Public License**
- **MPU - Microprocessor Unit**
- **MS - Memory Stick**
- **MS - Microsoft**
- **MSB - Most Significant Bit**
- **MS-DOS - Microsoft DOS**
- **MT - Machine Translation**
- **MTA - Mail Transfer Agent**
- **MTU - Maximum Transmission nit**
- **MSA - Mail Submission Agent**
- **MSDN - Micrsoft Developer Network**
- **MSI -Medium-Scale Integration**
- **MUA - Mail User Agent**

- **MUD - Multi-User Dungeon**
- **MVC - Model-View-Controller**
- **MVP - Most Valuable Professional**
- **MVS - Multiple Virtual Storage**
- **MX - Mail exchange**

N:

- **NACK - Negative ACKnowedgement**
- **NAK - Negative AcKnowedgement Character**
- **NAS - Network-Attached Storage**
- **NAT - Network Address Translation**
- **NCP - NetWare Core Protocol**
- **NCQ - Native Command Queuing**
- **NCSA - National Center for Supercomputing Applications**
- **NDPS - Novell Distributed Print Services**
- **NDS - Novell Directory Services**
- **NEP - Network Equipment Provider**
- **NEXT - Near-End CrossTalk**
- **NFA - Nondeterministic Finite Automaton**
- **GNSCB - Next-Generation Secure Computing Base**
- **NFS - Network Filesystem**
- **NI - National Instruments**
- **NIC - Network Interface Card**
- **NIM - No Internal Message**
- **NIO - New I/O**
- **NIST - National Institute of Standards and Technology**
- **NLP - Natural Language Processing**
- **NLS - National Language Support**
- **NP - Non-Deterministic Polynomial-Time**
- **NPL - Netscape Public License**
- **NPU - Network Processing Unit**
- **NS - Netscape**
- **NSA - National Security Agency**
- **NSPR - Netscape Portable Runtime**
- **NMI - Non-Maskable Interrupt**
- **NNTP - Network News Transfer Protocol**
- **NOC - Network Operations Center**

- **NOP - No OPeration**
- **NOS - Network Operating System**
- **NSS - Novell Storage Service**
- **NSS - Network Security Services**
- **NSS - Name Service Switch**
- **NT (Windows) - New Technology**
- **NTFS - NT Filesystem**
- **NTLM - NT Lan Manager**
- **NTP - Network Time Protocol**
- **NUMA - Non-Uniform Memory Access**
- **NURBS - Nonuniform Rational B-Spline**
- **NVRAM - Non-Volatile Random Access Memory**

O:

- **OASIS - Organization for the Advancement of Structured Information Standards**
- **ODBC - Open Database Connectivity**
- **OEM - Original Equipment Manufacturer**
- **OFTC - Open and Free Technology Community**
- **OLAP - Online Analytical Processing**
- **OLE - Object Linking and Embedding**
- **OLED - Organic Light Emitting Diode**
- **OLTP - Online Transaction Processing**
- **OMG - Object Management Group**
- **OO - Object-Oriented**
- **OO - Open Office**
- **OOo - OpenOffice.org**
- **OOP - Object-Oriented Programming**
- **OPML - Outline Processor Markup Language**
- **ORB - Object Request Broker**
- **OS - Open Source**
- **OS - Operating System**
- **OSCON - O'Reilly Open Source Convention**
- **OSDN - Open Source Developer Network**
- **OSI - Open Source Initiative**
- **OSI - Open Systems Interconnection**

- **OSPF - Open Shortest Path First**
- **OSS - Open Sound System**
- **OSS - Open-Source Software**
- **OSS - Operational Support Systems**
- **OSTG - Open Source Technology Group (formerly OSDN)**
- **OUI - Organizationally Unique Identifier**

P:

- **P2P - Peer-To-Peer**
- **PAN - Personal Area Network**
- **PAP - Password Authentication Protocol**
- **PARC - Palo Alto Research Center**
- **PATA - Parallel ATA**
- **PC - Personal Computer**
- **PCB - Printed Circuit Board**
- **PCB - Process Control Block**
- **PCI - Peripheral Component Interconnect**
- **PCIe - PCI Express**
- **PCMCIA - Personal Computer Memory Card International Association**
- **PCM - Pulse-Code Modulation**
- **PCRE - Perl Compatible Regular Expressions**
- **PD - Public Domain**
- **PDA - Personal Digital Assistant**
- **PDF - Portable Document Format**
- **PDP - Programmed Data Processor**
- **PE - Physical Extents**
- **PERL - Practical Extraction and Reporting Language**
- **PGA - Pin Grid Array**
- **PGP - Pretty Good Privacy**
- **PHP - PHP: Hypertext Preprocessor**
- **PIC - Peripheral Interface Controller**
- **PID - Proportional-Integral-Derivative**
- **PID - Process ID**
- **PIM - Personal Information Manager**
- **PINE - Program for Internet News & Email**

- **PIO - Programmed Input/Output**
- **PKCS - Public Key Cryptography Standards**
- **PKI - Public Key Infrastructure**
- **PLC - Power Line Communication**
- **PLC - Programmable Logic Controller**
- **PLD - Programmable Logic Device**
- **PL/I - Programming Language One**
- **PL/M - Programming Language for Microcomputers**
- **PL/P - Programming Language for Prime**
- **PLT - Power Line Telecoms**
- **PMM - Personal Memory Manager**
- **PMM - POST Memory Manager**
- **PNG - Portable Network Graphics**
- **PnP - Plug-and-Play**
- **PoE - Power over Ethernet**
- **POP - Point of Presence**
- **POP3 - Post Office Protocol v3**
- **POSIX - Portable Operating System Interface**
- **POST - Power-On Self Test**
- **PPC - PowerPC**
- **PPI - Pixels Per Inch**
- **PPP - Point-to-Point Protocol**
- **PPPoA - PPP over ATM**
- **PPPoE - PPP over Ethernet**
- **PPTP - Point-to-Point Tunneling Protocol**
- **PS - PostScript**
- **PS/2 - Personal System/2**
- **PSU - Power Supply Unit**
- **PSVI - Post-Schema-Validation Infoset**
- **PV - Physical Volume**
- **PVG - Physical Volume Group**
- **PVR - Personal Video Recorder**
- **PXE - Pre Execution Environment**
- **PXI - PCI Extensions for Instrumentation**

Q :

- **QDR - Quad Data Rate**
- **QA - Quality Assurance**
- **QoS - Quality of Service**
- **QOTD - Quote of the Day**
- **Qt - Quasar Toolkit**

R:

- **RACF - Resource Access Control Facility**
- **RAD - Rapid Application Development**
- **RADIUS - Remote Authentication Dial In User Service**
- **RAID - Redundant Array of Inexpensive Disks**
- **RAIT - Redundant Array of Inexpensive Tapes**
- **RAM - Random Access Memory**
- **RARP - Reverse Address Resolution Protocol**
- **RC - Release Candidate**
- **RC - Run Commands**
- **RC - Runtime Configuration**
- **RCS - Revision Control System**
- **RDBMS - Relational Database Management System**
- **RDF - Resource Description Framework**
- **REFAL - REcursive Functions Algorithmic Language**
- **REST - Representational State Transfer**
- **regex - Regular Expression**
- **RF - Radio Frequency**
- **RFC - Request For Comments**
- **RFE - Request For Enhancement**
- **RFI - Radio Frequency Interference**
- **RFID - Radio Frequency Identification**
- **RGB - Red, Green, Blue**
- **RGBA - Red, Green, Blue, Alpha**
- **RHL - Red Hat Linux**
- **RHEL - Red Hat Enterprise Linux**
- **RIA - Rich Internet Application**
- **RIAA - Recording Industry Association of America**
- **RIP - Raster Image Processor**
- **RIP - Routing Information Protocol**

- **RISC - Reduced Instruction Set Computer**
- **RLE - Run-Length Encoding**
- **RLL - Run Length Limited**
- **RMI - Remote Method Invocation**
- **RMS - Richard Matthew Stallman**
- **ROM - Read Only Memory**
- **ROMB - Read-Out Motherboard**
- **RPC - Remote Procedure Call**
- **RPM - RPM Package Manager**
- **RSA - Rivest Shamir Adleman**
- **RSI - Repetitive Strain Injury**
- **RSS - Rich Site Summary, RDF Site Summary, or Really Simple Syndication**
- **RTC - Real-Time Clock**
- **RTL - Right-to-Left**
- **RTOS - Real Time Operating System**
- **RTS - Ready To Send**

S:

- **SAN - Storage Area Network**
- **SATA - Serial ATA**
- **SAX - Simple API for XML**
- **sbin - superuser binary**
- **SCADA - Supervisory Control And Data Acquisition**
- **SCID - Source Code in Database**
- **SCM - Software Configuration Management**
- **SCP - Secure Copy**
- **SCPI - Standard Commands for Programmable Instrumentation**
- **SCSI - Small Computer System Interface**
- **SD - Secure Digital**
- **SDDL - Security Descriptor Definition Language**
- **SDI - Single Document Interface**
- **SDIO - Secure Digital Input Output**
- **SDK - Software Development Kit**
- **SDL - Simple DirectMedia Layer**
- **SDN - Service Delivery Network**

- **SDR - Software-Defined Radio**
- **SDRAM - Synchronous Dynamic Random Access Memory**
- **SDSL - Symmetric DSL**
- **SEAL - Semantics-directed Environment Adaptation Language**
- **SEI - Software Engineering Institute**
- **SFTP - Secure FTP**
- **SFTP - Simple File Transfer Protocol**
- **SFTP - SSH File Transfer Protocol**
- **SGI - Silicon Graphics, Incorporated**
- **SGML - Standard Generalized Markup Language**
- **SHA - Secure Hash Algorithm**
- **SIGGRAPH - Special Interest Group on Graphics,**
- **SIMD - Single Instruction, Multiple Data**
- **SIMM - Single Inline Memory Module**
- **SIP - Session Initiation Protocol**
- **SIP - Supplementary Ideographic Plane**
- **SISD - Single Instruction, Single Data**
- **SLI - Scalable Link Interface**
- **SLIP - Serial Line Internet Protocol**
- **SLM - Service Level Management**
- **SLOC - Source Lines of Code**
- **SPMD - Single Program, Multiple Data**
- **SMA - SubMiniature version A**
- **SMB - Server Message Block**
- **SMBIOS - System Management BIOS**
- **SMC - SMC Networks (company)**
- **SMIL - Synchronized Multimedia Integration Language**
- **S/MIME - Secure/Multipurpose Internet Mail Extensions**
- **SMP - Supplementary Multilingual Plane**
- **SMP - Symmetric Multi-Processing**
- **SMS - Short Message Service**
- **SMT - Simultaneous Multithreading**
- **SMTP - Simple Mail Transfer Protocol**
- **SNA - Systems Network Architecture**
- **SNMP - Simple Network Management Protocol**
- **SOA - Service-Oriented Architecture**
- **SOAP - Simple Object Access Protocol**
- **SoC - System-on-a-Chip**

- **SO-DIMM - Small Outline DIMM**
- **SOI - Silicon On Insulator**
- **SP - Service Pack**
- **SPA - Single Page Application**
- **SPF - Sender Policy Framework**
- **SPI - Stateful Packet Inspection**
- **SPARC - Scalable Processor Architecture**
- **SQL - Structured Query Language**
- **SRAM - Static Random Access Memory**
- **SSD - Software Specification Document**
- **SSH - Secure Shell**
- **SSI - Server Side Includes**
- **SSI - Single-System Image**
- **SSI - Small-Scale Integration**
- **SSID - Service Set Identifier**
- **SSL - Secure Socket Layer**
- **SSP - Supplementary Special-purpose Plane**
- **su - superuser**
- **SUS - Single UNIX Specification**
- **SVG - Scalable Vector Graphics**
- **SVGA - Super Video Graphics Array**
- **SWT - Stardard Widget Toolkit**

T:

- **TAO - Track at Once**
- **TB - Terabyte**
- **Tcl - Tool Command Language**
- **TCP - Transmission Control Protocol**
- **TCP/IP - Transmission Control Protocol/Internet Protocol**
- **TCU - Telecommunication Control Unit**
- **TDMA - Time Division Multiple Access**
- **temp - temporary (variable, file, directory, etc.)**
- **TEOS - Trusted Email Open Standard**
- **TFT - Thin Film Transistor**
- **TI - Texas Instruments**
- **Tk -**

- **TLA - Three-Letter Acronym**
- **TLD - Top-Level Domain**
- **TLS - Thread-Local Storage**
- **TLS - Transport Layer Security**
- **tmp - temporary (variable, file, directory, etc.)**
- **TNC - Terminal Node Controller**
- **TNC - Threaded Neill-Concelman**
- **TSO - Time Sharing Option**
- **TSP - Traveling Salesman Problem**
- **TSR - Terminate and Stay Resident**
- **TTA - True Tap Audio**
- **TTL - Transistor-Transistor Logic**
- **TTL - Time To Live**
- **TTS - Text-to-Speech**
- **TTY - Teletype**
- **TUCOWS - The Ultimate Collection of Winsock Software**
- **TUG - TeX Users Group**

U:

- **UAAG - User Agent Accessibility Guidelines**
- **UART - Universal Asynchronous Receiver Transmitter**
- **UCS - Universal Character Set**
- **UDDI - Universal Description, Discovery, and Integration**
- **UDMA - Ultra DMA**
- **UDP - User Datagram Protocol**
- **UE - User Experience**
- **UEFI - Unified Extensible Firmware Interface**
- **UHF - Ultra High Frequency**
- **UI - User Interface**
- **UL - Upload**
- **ULA - Uncommitted Logic Array**
- **UMA - Upper Memory Area**
- **UMB - Upper Memory Block**
- **UML - Unified Modeling Language**
- **UML - User-Mode Linux**
- **UMPC - Ultra-Mobile Personal Computer**

- **UNC - Universal Naming Convention**
- **UPS - Uninterruptible Power Supply**
- **URI - Uniform Resource Identifier**
- **URL - Uniform Resource Locator**
- **URN - Uniform Resource Name**
- **USB - Universal Serial Bus**
- **usr - user**
- **USR - U.S. Robotics**
- **UTC - Coordinated Universal Time**
- **UTF - Unicode Transformation Format**
- **UUCP - Unix to Unix Copy**
- **UUID - Universally Unique Identifier**
- **UVC - Universal Virtual Computer**

V:

- **var - variable**
- **VAX - Virtual Address eXtension**
- **VCPI - Virtual Control Program Interface**
- **VR - Virtual Reality**
- **VRML - Virtual Reality Modeling Language**
- **VB - Visual Basic**
- **VBA - Visual Basic for Applications**
- **VBS - Visual Basic Script**
- **VESA - Video Electronics Standards Association**
- **VFAT - Virtual FAT**
- **VFS - Virtual File System**
- **VG - Volume Group**
- **VGA - Video Graphics Array**
- **VHF - Very High Frequency**
- **VLB - Vesa Local Bus**
- **VLF - Very Low Frequency**
- **VLSI - Very-Large-Scale Integration**
- **VM - Virtual Machine**
- **VM - Virtual Memory**
- **VOD - Video On Demand**
- **VoIP - Voice over IP**

- **VPN - Virtual Private Network**
- **VPU - Visual Processing Unit**
- **VSAM - Virtual Storage Access Method**
- **VSAT - Very Small Aperture Terminal**
- **VT - Video Terminal?**
- **VTAM - Virtual Telecommunications Access Method**

W:

- **W3C - World Wide Web Consortium**
- **WAFS - Wide Area File Services**
- **WAI - Web Accessibility Initiative**
- **WAIS - Wide Area Information Server**
- **WAN - Wide Area Network**
- **WAP - Wireless Access Point**
- **WAP - Wireless Application Protocol**
- **WAV - WAVEform audio format**
- **WBEM - Web-Based Enterprise Management**
- **WCAG - Web Content Accessibility Guidelines**
- **WCF - Windows Communication Foundation**
- **WDM - Wavelength Division Multiplexing**
- **WebDAV - WWW Distributed Authoring and Versioning**
- **WEP - Wired Equivalent Privacy**
- **Wi-Fi - Wireless Fidelity**
- **WiMAX - Worldwide Interoperability for Microwave Access**
- **WinFS - Windows Future Storage**
- **WINS- Windows Internet Naming Service**
- **WLAN - Wireless Local Area Network**
- **WMA - Windows Media Audio**
- **WOL - Wake-on-LAN**
- **WOM - Wake-on-Modem**
- **WOR - Wake-on-Ring**
- **WPA - Wi-Fi Protected Access**
- **WPAN - Wireless Personal Area Network**
- **WPF - Windows Presentation Foundation**
- **WSDL - Web Services Description Language**
- **WSFL - Web Services Flow Language**

- **WUSB - Wireless Universal Serial Bus**
- **WWAN - Wireless Wide Area Network**
- **WWID - World Wide Identifier**
- **WWN - World Wide Name**
- **WWW - World Wide Web**
- **WYSIWYG - What You See Is What You Get**
- **WZC - Wireless Zero Configuration**

X:

- **XAG - XML Accessibility Guidelines**
- **XAML - eXtensible Application Markup Language**
- **XDM - X Window Display Manager**
- **XDMCP - X Display Manager Control Protocol**
- **XCBL - XML Common Business Library**
- **XHTML - eXtensible Hypertext Markup Language**
- **XML - eXtensible Markup Language**
- **XMMS - X Multimedia System**
- **XMPP - eXtensible Messaging and Presence Protocol**
- **XMS - Extended Memory Specification**
- **XNS - Xerox Network Services**
- **XP - Cross-Platform**
- **XP - Extreme Programming**
- **XPCOM - Cross Platform Component Object Model**
- **XPI - Cross Platform Installer**
- **XPIDL - Cross Platform IDL**
- **XSD - XML Schema Definition**
- **XSL - eXtensible Stylesheet Language**
- **XSL-FO - eXtensible Stylesheet Language Formatting Objects**
- **XSLT - XSL Transformations**
- **XSS - Cross Site Scripting**
- **XTF - Extensible Tag Framework**
- **XUL - XML-based User-interface Language**

Y:

- **Y2K - Year Two Thousand**

- **YACC - Yet Another Compiler Compiler**
- **YAML - YAML Ain't Markup Language**
- **YAST - Yet Another Setup Tool**

Z:

- **ZCAV - Zone Constant Angular Velocity**
- **ZCS - Zero Code Suppression**
- **ZIF - Zero Insertion Force**
- **ZIFS - Zero Insertion Force Socket**
- **ZISC - Zero Instruction Set Computer**
- **ZOPE - Z Object Publishing Environment**

Damascus University

References

[1] R.Castro-lopez and others
Reuse –based Methodologies and Tools in the Design of Analog and Mixed – Signals integrated Circuits .
Springer Verlag 2007

-Integrated circuits.com www.digital[2]

[3] Monolithic Microwave Integrated Circuits
A. N. Downey, G. E. Ponchak, and R. R. Romanofsky

[4] Advanced VLSI Design
Lecture 1: Overview of VLSI Design Shaahin Hessabi
Department of Computer Eng. Sharif University of Technology

[5] VLSI- Design of Integrated Circuits Winter Term 2007/2008 Dr.-Ing. Thomas Hollstein Germanu tu.Darmstadt.de

[6] W. Maly, Atlas of IC Technologies, Menlo Park,

CA: Benjamin/Cummings, 1987

[7] A. S. Grove, Physics and Technology of

Semiconductor Devices, New York, NY:John Wiley &

Sons, Inc., 1967.

[8] G. E. Anner, Planar Processing Primer, New York, NY: Van Nostrand Rheinhold, 1990.

[9] T. E. Dillinger, VLSI Engineering, Englewood Cliffs, NJ: Prentice-Hall, Inc., 1988.

[10] S.M. Sze, VLSI Technology, New York, NY: McGraw-Hill, 1983

[11] Mead, C. and Conway, L. (1980). Introduction to VLSI Systems. Addison-Wesley.

[12] Hodges, D.A., Jackson H.G. and Saleh, R. (2003). Analysis and Design of Digital Integrated Circuits. McGraw-Hill.

[13] Jan M. Rabaey, Anantha Chandrakasan, and Borivoje Nikolic (1996- first edition). Digital Integrated Circuits, 2nd Edition.

[14] Marsh, S.P. Practical MMIC Design published by Artech House

[15] Baker, R. Jacob (2008). CMOS: Circuit Design, Layout, and Simulation, Revised Second Edition. Wiley-IEEE.

[16] John P. Uyemura: Fundamentals of MOS Digital Integrated Circuits, Addison Wesley, 1988

[17] John P. Uyemura: Circuit Design for CMOS VLSI, Kluwer Academic Publishers, 1992

[18] Neil Weste and Kamran Eshragihian: Principles of CMOS VLSI Design, Addison Wesley

[19] W. Maly: Atlas of IC Technologies: An Introduction to VLSI Processes,1987

[20] Advanced VLSI Design Lecture 1: Overview of VLSI Design
Shaahin HessabiDepartment of Computer Eng.Sharif University of TechnologyAdapted from lecture notes from Rutgers University

[21] Monolithic Microwave Integrated Circuits: Technology & Design, R. Goyal, Editor, Artech House, Norwood, MA, 1989.

[22] Jan M. Rabaey: Digital Integrated Circuits - A Design Perspective, Prentice Hall

Internet :

[1] http://www. Intel .com

[2] http://CMOSedu.com/ .

[3] www. Icknowledge.com

[4] www.fullman.com/semiconductors/semiconductors.htm

[5] www.mail.ab.psiweb.com/english/msilhston-e.htm

[6] http://www.ieeeghn.org/wiki/index.php/Robert_Noyce

[7] http://www.theinquirer.net/default.aspx?article

[8] http://bwrc.eecs.berkeley.edu/

[9] http://books.mcgraw-hill.com/techonline

VLSI internet journals :

[1] - IEEE Transactions on Electron Devices

[2] - IEEE Electron Device Letters

[3]- IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, IEEE web site for this journal

[4]- IEEE Journal of Solid-State Circuits

[5]- IEEE Transactions on Very Large Scale Integration (VLSI) Systems

[6]- IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing

[7]- IEEE Transactions on Semiconductor Manufacturing

[8]- Solid-State Electronics

[9]- Solid-State Technology

[10]- Journal of Technology Computer-Aided Design

Damascus University

تدقيق اللغة العربية تم من قبل

الاستاذ الدكتور عبد الرحمن عبد الرحيم

كلية الاداب بجامعة دمشق