



منشورات جامعة دمشق
كلية الهندسة المعلوماتية

الدارات الإلكترونية

الدكتورة أميمة الدكالك

١٤٣٣ - ١٤٣٢ هـ
٢٠١٢ - ٢٠١١ م

جامعة دمشق



مقدمة

يُعرف بعضهم الإلكترونيات بأنها علم وتقانات حركة الشحنات في الفراغ أو الفراغ أو أنصاف النواقل، أما الكهرباء فهي علم وتقانات حركة الشحنات في المصادن. ويأتي اسم الإلكترونيات من الإلكترون، الذي وضع اسمه العالم Lorentz في عام 1895. ولتعتبر دارات الأنابيب المفرغة Vacuum Tubes أولى الدارات الإلكترونية، وقد استعملت دارات الثنائي والثلاثي منها في التلفاز الأبيض والأسود وفي التطبيقات الراديوية والمخفية في بداية الثلاثينيات.

وفي الأربعينيات ظهر التلفاز الملون، وظهر أول الحواسيب الإلكترونية التي تعتمد الأنابيب المفرغة (بعد عدة محاولات لحواسيب ميكانيكية)، وكان يضم قرابة 18000 صمام (البوب مفرغ)، ويحتل غرفة مساحتها $10m \times 13m$ كما ظهرت في الوقت نفسه مضخمات العمليات والحواسيب التماثلية..

شيئاً فشيئاً، أصبحنا نعتبر الإلكترونيات اجتماع تقانات التحكم Control والحواسيب Computers والاتصالات Communication والمكونات الإلكترونية Components، أو ما يسمى بـ 4C's بالانكليزية.

وفي عام 1948 ظهر الترانزستور الثنائي القطبية، وبعد عشر سنوات ظهر الترانزستور ذو الأثر الحلقى، وظهرت أولى الدارات التكاملية، ثم أخذ تكامل هذه الدارات بالازدهار: من التكامل الصغير النطاق SSI في عام 1960 إلى التكامل الواسع النطاق VLSI في عام 1975. وعلى التوازي كان ظهور وتطور الطوائف المنطقية من TTL في عام 1961 مروراً بالطائفة ECL و الطائفة I^2L إلى طوائف MOS في عام 1980. وفي هذا العام أيضاً، بدأت الاتصالات الرقمية تغطي على الاتصالات التماثلية، وبدأت الدارات التكاملية الرقمية ومعالجات الإشارة الرقمية DSP's والمعالجات

فهرس الدارات الإلكترونية

الصغرى والحواسيب الصغرى تدخل في جميع تجهيزاتنا: الهاتف والتلفاز الرقمي والاتصالات الفضائية والحواسيب والشبكات، وغيرها الكثير.

إن كل ما نشهده اليوم من تطورات تقنية: الاتصالات المتطورة الحية، وإرسال الصور التلفزيونية من المركبات الفضائية، وأتمتة المكاتب، وشبكة الإنترنت والسريد الإلكتروني، والأنظمة الإلكترونية المعقدة في الطائرات والقطارات والسيارات الحديثة.. وغيرها الكثير، ما كان ليكون لولا الإلكترونيات وتطورها.

والكتاب الحالي محاولة متواضعة تنتقل بالطالب من المكونات الإلكترونية الأساسية: الدiod والترانزستور إلى المضخمات الترانزستورية ثم المضخم التضاهلي وتطبيقاته. ثم تنتقل بعدها إلى الإلكترونيات الرقمية: الاستجابة السريعة للمكونات الإلكترونية الأساسية، ثم الدارات المكاملة الرقمية ومختلف الطوائف المنطقية للذاكر الإلكترونية والمبدلات التماثلية الرقمية وبالعكس.

نأمل أن يعطي هذا الكتاب فكرة بسيطة عن الإلكترونيات اللازمة للمعلوماتيين، والله الموفق.

الفصل الأول: الديود والترانزستور

1-1-وصلة الثنائي P-N

- 1-1-1-الديود في دائرة مفتوحة 1
- 1-1-2-الديود في دائرة مغلقة (استقطاب الديود) 2
- 1-1-3-نموذج الديود 3
- 1-1-4-أنواع الديودات 4

1-2-الترانزستور الثنائي القطبية Bipolar Junction Transistor BJT

- 1-2-1-الأثر الترانزستوري Transistor effect 5
- 1-2-2-تشكيلات الترانزستور الثنائي القطبية. ومنحنياته المميزة 6
- 1-2-3-أنماط عمل الترانزستور 8
- 1-2-4-نموذج الترانزستور في حالة إشارات صغيرة ومتناوبة بترددات منخفضة .. 9
- 1-2-5-نموذج الترانزستور عند الترددات العالية 12
- 1-2-6-استقطاب الترانزستور وحساب نقطة العمل 13

1-3-الترانزستور ذو الأثر الحقلّي Field Effect Transistor FET

- 1-3-1-الترانزستور ذو الأثر الحقلّي الوحيد الوصلة JFET 15
- 1-3-2-الترانزستور ذو الأثر الحقلّي بالبوابة المعزولة MOSFET 17
- 1-3-3-نموذج الترانزستور ذي الأثر الحقلّي عند الترددات المنخفضة 20
- 1-3-4-نموذج الترانزستور ذي الأثر الحقلّي عند الترددات العالية 21

22-تمارين الفصل الأول

الفصل الثاني: المضخمات الترانزستورية

- 25..... 1-2- التحليل العام.....
- 2-2- تشكلات الترانزستور BET:
- 26..... 1-2-2- الباعث المشترك
- 27..... 2-2-2- القاعدة المشتركة
- 28..... 3-2-2- المجمع المشترك
- 29..... 4-2-2- الباعث المشترك مع ممانعة في الباعث
- 3-2- تشكلات الترانزستور FET:
- 30..... 1-3-2- المنبع المشترك
- 31..... 2-3-2- البوابة المشتركة
- 32..... 3-3-2- المصرف المشترك
- 33..... 4-2- المضخمات المتعددة الترانزستورات
- 36..... 5-2- الاستجابة الترددية للمضخمات وأثر ميلر
- 44..... تمارين الفصل الثاني

الفصل الثالث: مضخم العمليات وتطبيقاته

- 49..... 1-3- المضخم التفاضلي
- 2-3- التنفيذ العملي للمضخم التفاضلي
- 51..... 1-2-3- تضخيم النمط المشترك A_c
- 52..... 2-2-3- تضخيم النمط التفاضلي A_d
- 53..... 3-2-3- منبع التيار ومرايا التيار
- 55..... 3-3- المنحنيات المميزة للمضخم التفاضلي
- 4-3- تطبيقات مضخم العمليات
- 59..... 1-4-3- دارات أساسية

60	3-4-2- الحساب العددي.
65	3-4-3- المرشحات الفعالة.
67	3-4-4- تطبيقات غير خطية.
70	3-5- الخواص الحقيقية لمضخم العمليات.
74	تمارين الفصل الثالث.

الفصل الرابع: الاستجابة العابرة

79	4-1- نقل إشارة بأقل تشويه.
	4-2- الدبود كقاطع إلكتروني.
82	4-2-1- الإبتدال المباشر ON-OFF Switching
83	4-2-2- الإبتدال العكسي OFF-ON Switching
	4-3- الترانزستور الثنائي القطبية BJT كقاطع إلكتروني.
86	4-3-1- أزمنة الإبتدال للترانزستور BJT
90	4-4- الترانزستور ذو الأنز الحفلي FET كقاطع إلكتروني وأزمنة الإبتدال.

الفصل الخامس: الدارات الإلكترونية الرقمية

93	5-1- تصنيف الدارات المتكاملة.
	5-2- خواص الدارات المتكاملة الرقمية.
94	5-2-1- الخواص الساكنة.
96	5-2-2- الخواص الحركية.
	5-3- العائلات المنطقية
99	5-3-1- عائلة TTL
106	5-3-2- عائلة NMOS

- 107..... CMOS عائلة 3-3-5
- 109..... ECL عائلة 4-3-5
- 112..... I²L العائلة 5-3-5
- 4-5- الذواكر الإلكترونية وأنواعها
- 117..... RAM الذاكرة الحية 1-4-5
- 121..... ROM الذاكرة الميتة 2-4-5
- 122..... PROM الذاكرة القابلة للبرمجة 3-4-5
- 122..... EEPROM و EPROM الذاكرة القابلة للبرمجة وإعادة البرمجة 4-4-5

الفصل السادس: تحصيل الإشارات التماثلية من وإلى الحاسوب

- 129..... 1-6- دائرة أخذ العينات وحفظها Sample and Hold
- 130..... 2-6- المبدلات التماثلية/الرقمية
- 131..... 1-2-6- المبدل التماثلي/الرقمي بالعد
- 132..... 2-2-6- المبدل التماثلي/الرقمي ذو التقريبات المتتالية
- 132..... 3-2-6- المبدل التماثلي/الرقمي ذو المقارنات المتوازية
- 133..... 3-6- المبدلات الرقمية/التماثلية
- 136..... تمارين الفصل الخامس والسادس

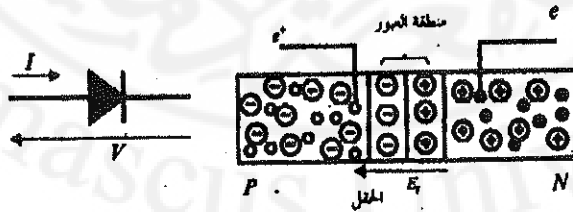
الفصل الأول: الديود والترانزستور

1-1 الديود (وصلة الثنائي P-N).

الديود أو الوصلة الثنائية P-N هي نتيجة الضمام مادتين نصف ناقلتين، الأولى من النوع P (نصف ناقل مشوب (مقطع) بمادة ثلاثية التكافؤ مثل الغاليوم Ga أو الإنديوم In، ومن ثم تحتوي "نقوباً" تكون أغلبية "حوامل الشحنات الحرة"، إضافة إلى شوارد سالبة، والثانية من النوع N (نصف ناقل مشوب بمادة خماسية التكافؤ مثل الفوسفور P أو الأرسوليد (الزرنيخ) As، ومن ثم تحتوي "إلكترونات" تكون أغلبية حوامل الشحنات الحرة، إضافة إلى شوارد موجبة).

1-1-1 الديود في دائرة مفتوحة

على مستوى الوصلة، إذا كان الديود في دائرة كهربائية مفتوحة، يحصل التناثر لحوامل الشحنات الكهربائية الحرة من كل منطقة (P أو N) إلى المنطقة المجاورة، واتحاد الإلكترونات والثقوب، وتكون منطقة عبور محالية من الشحنات الحرة، وينشأ حقل كهربائي داخلي E_i ، كما في الشكل 1-1. يوقف هذا الحقل عملية الانتثار، باستثناء بعض حوامل الشحنات التي لا تزال تتمتع بطاقة حركية يتولد من حركتها تيار التناثر، ولكنه من ناحية أخرى، يسرع حركة الأقلية من حوامل الشحنات (بعض الإلكترونات في المنطقة P وبعض الثقوب في المنطقة N) ويتولد من هذه الحركة الأخيرة تيار يسمى تيار الإشباع. وعند العوازن يكون مجموع هذين التيارين صفراً.



الشكل 1-1- الديود في دائرة مفتوحة.

1-1-2-1-2 الديود في دائرة مغلقة (استقطاب الديود)

أما إذا وضعنا الديود في دائرة مغلقة بحيث نطبق بين طرفيه فلطية V ، فيمر فيه تيار I معطى بالعلاقة:

$$I = I_s (\exp(\lambda q V / kT) - 1) = I_s (\exp(V/V_s) - 1)$$

حيث: λ ثابت يتعلق بنصف الناقل المستعمل، قيمته بين 0.5 و 1، وهو 0.5 للجرمانيوم و 1 للسيليسيوم.

V فرق الكمون المطبق على الديود.

I_s قيمة تيار الإشباع وهو من رتبة $10^{-9} A$.

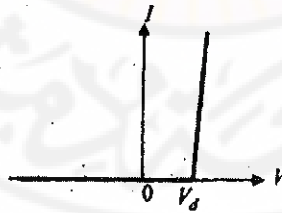
k ثابت بولتزمان، ويساوي $1.38 \cdot 10^{-23} J/K$.

T درجة الحرارة المطلقة ($^{\circ}C + 273$).

$q = 1.6 \cdot 10^{-19} C$ (القيمة المطلقة لشحنة الإلكترون)

$V_s = kT/q = 26 mV$ عند درجة حرارة 27 مئوية. وعند هذه الدرجة يكون I_s من رتبة $10^{-9} A$.

أما عن تأثير درجة الحرارة فإن تيار الإشباع يتضاعف كلما ارتفعت درجة الحرارة بمقدار سبع درجات، إضافة إلى أن $dV/dT = -2.2 mV / ^{\circ}C$. ويبين الشكل 2- المنحني المميز التقريبي للديود. وعلى هذا، يمكننا اعتبار الديود قاطعاً إلكترونياً يمرر التيار إذا كان V موجباً (أكبر من عتبة تساوي 0.6V للسيليسيوم و 0.2V للجرمانيوم)، ويقطعه إذا كان V سالباً.



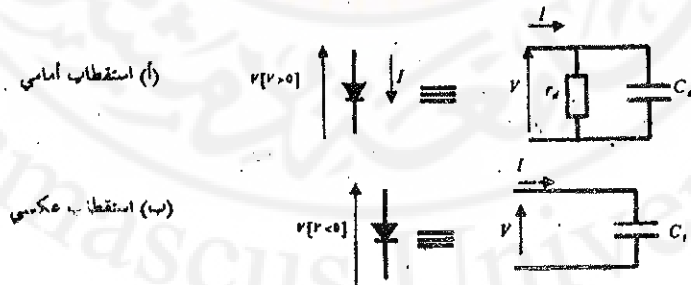
الشكل 2- المنحني المميز $I(V)$ التقريبي للديود.

وتحدد نقطة العمل في الدارة قيمة كل من I و V وهي القيم المستمرة لتسيار وفلظية الديود على التوالي.

3-1-1 نموذج الديود

في حالة إشارات عالية المطال، يمكن اعتبار المنحني المميز للديود مجموع قطعتين متعامدتين بحيث: $I=0$ عندما V أصغر من حد معين يسمى جهد العتبة V_e وهو، كما ذكرنا آنفاً، نحو $0.7V$ للسليسيوم و $0.2V$ للجرمانيوم، والقطعة $V=V_e$ حينما يمر تيار في الديود (لا يتجاوز فلظية الديود هذه القيمة).

أما إذا كانت الفلظية المطبقة على الديود تحوي مركبات متناوبة، فإنه عند نقطة العمل يمكن اعتبار الديود مكافئاً لممانعته الديناميكية في نقطة العمل $r_d = dV/dI$ إذا كانت ترددات المركبة المتناوبة منخفضة (لا تزيد على عشرات kHz) وعند الترددات العالية لكافئ الديود بالممانعة r_d السابقة مع مكثفة مبربوطة معها على التوازي. فإذا كان الديود مستقطباً أمامياً (استقطاب مباشر $V>0$) فإن هذه المكثفة تسمى مكثفة الاثثار C_d وهي من رتبة μF ، ولدينا $r_d C_d = \tau$ وتساوي قيمة ثابتة. وإذا كان مستقطباً عكسياً فتسمى هذه المكثفة مكثفة العبور C_i وهي المكثفة الكهربائية الناتجة في منطقة العبور الحالية من الشحنات الحرة (كما في حالة الدارة المفتوحة) والتي تكون عازل المكثفة بين الناقلين (المنطقة N والمنطقة P) وقيمة هذه المكثفة من رتبة pF ، وفي هذه الحالة r_d كبيرة جداً ويمكن اعتبارها دارة مفتوحة.



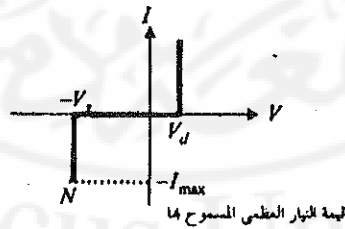
الشكل 3-3 الديود في حالة الإشارات المتناوبة العالية التردد

1-4 أنواع الديودات

يوجد نوع من الديودات يسمى ديود زينر Zener Diod ؛ عندما يُستقطب عكسياً، وعندما تتجاوز القيمة المطلقة لفلطيته Voltage عتبة تسميها فلطية زينر، تثبت للفلطية الديود على هذه القيمة، ويمر في الديود تيار هام. ويمكن اعتبار الديود عندها دائرة مغلقة تحتوي مولد فلطية هي فلطية زينر. وهذا التيار غير مدمر للديود. انظر الشكل -4- تتغير هذه الفلطية حسب الديود، ويمكن أن تتغير من بضعة فلفطات إلى بضعة مئات الفلفطات، ويعطيه المصنع من ضمن المعطيات التي يعطيها عن الديود. وهناك عدة ظواهر فيزيائية تؤدي إلى أثر زينر كثرس في فيزياء أنصاف النواقل.

توجد أنواع مختلفة أخرى من الديودات، نذكر منها الديودات المضيئة Light Emitting Diodes LED، التي تصدر ضوءاً عند مرور التيار فيها، وتستعمل كمؤشرات إلى وجود تيار في التجهيزات الكهربائية، وأخرى تنتج تياراً عندما تتعرض لإضاءة مثل ضوء الشمس، وتستعمل في توليد الطاقة الكهربائية للمركبات الفضائية على سبيل المثال. وديودات تسمى Varactors تستعمل في الاستقطاب العكسي كمكثفة تتغير بتغير الفلطية العكسية المطبقة عليها، وتستعمل هذه الديودات في دوائر التجاوب في الاتصالات للحصول على ترددات تجاوب معينة.

أخيراً نتكلم عن ديود شوتكي الذي هو وصلة معدن-نصف ناقل من النوع N. يمكن أن يكون المعدن ذهباً أو فضة أو بلاتينا. فائدة هذا الديود أن منطقة العبور فيه ضيقة جداً، وهذا يسمح باستعماله في الدارات الرقمية التي تعمل بسرعات عالية.

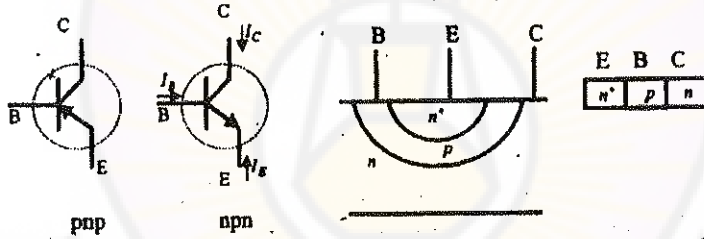


الشكل -4- المنحنى المميز للديود زينر

1-2 Bipolar Junction Transistor BJT القطبية الثنائي

وهو نتيجة الضمام وصلقي P-N ولذلك فهو إما من النوع npn أو من النوع pnp. والنوع الأول أكثر استعمالاً من النوع الثاني، لأن حوامل الشحنات الحرة فيه هي الإلكترونات، أما في الثاني فهي الثقوب. وحركة الإلكترونات μ_n أعلى من حركة الثقوب μ_p . على سبيل المثال $\mu_n/\mu_p = 2.6$ للسيليسيوم عند درجة الحرارة العادية 300°K (الحركية هي نسبة سرعة الحوامل إلى الحقل الكهربائي الذي تخضع له وبسبب حركتها).

نسمي المناطق الثلاث: باعث (E) Emitter وقاعدة (B) Base ومجمع (C) Collector. وهناك نهاية طرفية لكل من هذه المناطق. وبين الشكل التالي رمز كل من الترانزستورين في رسوم الدارات الإلكترونية، ونلاحظ وجود السهم بين النهايتين B, E بحيث يتجه دوماً من المنطقة من النوع P إلى N.



الشكل 5- بنية الترانزستور npn مع رمز الترانزستورات في الدارات الإلكترونية.

1-2-1 الأثر الترانزستوري Transistor effect

في حالة التشغيل العادي تكون الوصلة E-B منحازة أمامياً، والوصلة B-C منحازة عكسياً. في هذه الحالة، تتجه الحوامل المكونة للأغلبية majority carriers في الباعث نحو القاعدة وفي القاعدة تصبح أقلية minority carriers. ولما كانت الوصلة B-C منحازة عكسياً فإن حقلها الداخلي يسرع هذه الشحنات لتصل إلى المجمع. ومع أن دوري الباعث والمجمع متناظران ظاهرياً، فإننا حين التصنيع نجعل تطعيم الباعث

doping أعلى من تطعيم النجم، لتوليد أكبر عدد من حوامل الشحنات الحرة. من ناحية أخرى لجعل القاعدة رقيقة لتخفيض عدد حالات المحاد الإلكترونيات بسالقوقب في القاعدة، بحيث تصل أكبر نسبة من حوامل الشحنات الحرة المولدة في الباعث إلى النجم. بناء على هذا، يكون تيار النجم I_C أقل بقليل من تيار الباعث I_E وبخالله في الاتجاه (نعتبر التيارات جبرية، واتجاهها نحو داخل الترانزستور، انظر الشكل -5-) ويمكننا أن نكتب:

$$I_C = -\alpha I_E + I_{C0} \quad (1)$$

التيار I_{C0} هو التيار العكسي للوصلة B-C عندما $I_E = 0$. أما α فهي قريبة من الواحد ولكنها أصغر منه بقليل. يمكن أن تعطى α بالعلاقة التالية:

$$\alpha = 1 - (W/L_n)$$

حيث W نضن القاعدة و L_n امتداد (طول) النثار الحوامل الأغلبية في القاعدة ونساوي على سبيل المثال $10\mu m$ في حالة السيليكون.

إضافة إلى العلاقة (1) وباعتبار جميع التيارات تدخل الترانزستور فإن مجموعها صفر. أي:

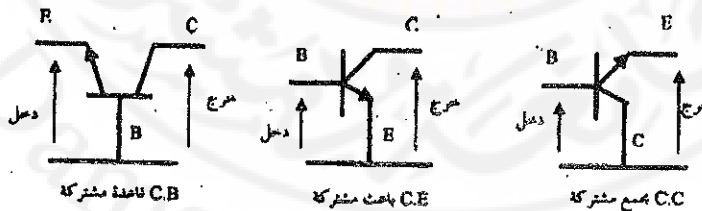
$$I_E + I_B + I_C = 0 \quad (2)$$

من هاتين العلاقتين يمكننا أن نكتب:

$$I_C = (\alpha/(1-\alpha)) I_B + (1/(1-\alpha)) I_{C0} = \beta I_B + (1+\beta) I_{C0} \quad (3)$$

1-2-2-تشكيلات الترانزستور الصائلي القطبية ومنحنياته المميزة

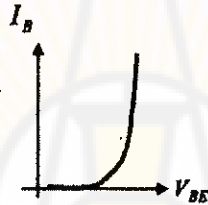
في حالة التشغيل العادي، يعمل الترانزستور مضخماً، ويمكن أن يستعمل بإحدى التشكيلات التالية: باعث مشترك، قاعدة مشتركة أو مجمع مشترك. انظر الشكل -6-.



الشكل -6- التشكيلات الأساسية لمضخمات الترانزستور BJT: CE, CB, CC

في تشكيلة الباعث المشترك CE تدخل الإشارة بين النهايتين B, E وتخرج بين النهايتين C, E أي إن الباعث مشترك بين الدخول والخروج، ومن هنا أتت تسمية الباعث المشترك. في تشكيلة القاعدة المشتركة، تشترك القاعدة بين الدخول والخروج، ويكون الدخول أيضاً عبر الباعث والخروج عبر المجمع. أما في تشكيلة المجمع المشترك فالدخول عبر القاعدة والخروج عبر الباعث والمجمع مشترك بين الدخول والخروج. تشكيلة الباعث المشترك من أهم هذه التشكيلات. وسندرس خواص الترانزستور ومنحنياتها في حالة هذه التشكيلة.

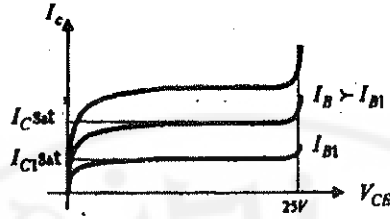
تتكون دائرة الدخول في هذه التشكيلة من الباعث والقاعدة، ولما كانت الوصلة B-E منحازة أمامياً لأن المنحني المميز لدائرة الدخول هو منحني تيار الدخول I_B كنابع للفلطية الدخول V_{BE} ، وهو منحني $I(V)$ للديود تقليدي كما في الشكل 7-.



الشكل 7- المنحني المميز لدائرة الدخول في التشكيلة CE.

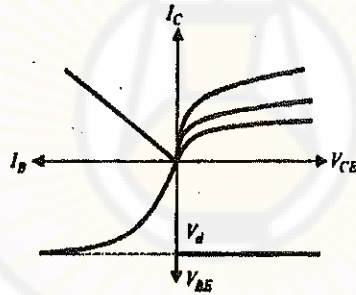
أما لدراسة خواص دائرة الخرج؛ فسنفترض بداية أن تيار القاعدة I_B ثابت وسندرس المنحني I_C كنابع للفلطية الخرج V_{CE} . بداية، عند قيم صغيرة للفلطية الخرج، يواجه التيار I_C المقاومة الأومية لقضيب الوصلة B-C وبذلك تكون التغيرات خطية. بعد حد معين يصل التيار I_C إلى حد الإشباع (تقريباً) تجتاز جميع حوامل الشحنات المولدة في الباعث القاعدة وتصل إلى المجمع. تثبيت I_C وبعد قيمة معينة للفلطية V_{CE} يعطيها المصنع (من رتبة 25V) ينهار الترانزستور ويزداد I_C كثيراً.

لذا زدنا قيمة التيار I_B (قيمة ثابتة أعلى من السابقة) نحصل على منحني مشابه يقع فوق المنحني السابق كما في الشكل 8-.



الشكل-8- المنحنيات المميزة لدائرة الخرج في التشكيلة CE.

ولدينا أيضاً علاقة I_B بالتيار I_C وهي تقريباً $I_C \approx \beta I_B$. وهي تعطي المنحنى الثالث من المنحنيات المميزة للترانزستور. وتعطي علاقة فلطية الدخل V_{BE} بفلطية الخرج V_{CE} المنحنى الرابع. وفي هذا المنحنى V_{CE} ثابتة تقريباً مهما كانت قيمة V_{BE} وتساوي فلطية العتبة للديود منحاز أمامياً. وبوضع جميع هذه المنحنيات في شكل واحد نحصل على المنحنيات المميزة للترانزستور كما يعطيها المصنع (انظر الشكل -9-)



الشكل-9- المنحنيات المميزة لترانزستور npn في التشكيلة باحث مشترك

1-2-3- أنماط عمل الترانزستور

يوجد أربعة أنماط modes لعمل الترانزستور هي التالية:
النمط العادي normal: وهو المذكور آنفاً وتكون فيه الوصلة E-B منحازة أمامياً، والوصلة B-C منحازة عكسياً.

النمط العكسي inverse: وتكون فيه الوصلة E-B منحازة عكسياً، والوصلة B-C منحازة أمامياً، وكاننا عكسنا دورَي الباعث والمجمع.

النمط المشبع saturated: وتكون فيه الوصلتان: الوصلة E-B والوصلة B-C منحازتين أمامياً.

النمط القاطع cut off: وتكون فيه الوصلتان: الوصلة E-B والوصلة B-C منحازتين عكسياً. عملياً لا يمر أي تيار يذكر في هذه الحالة.

يستعمل النمطان المشبع والقاطع كثيراً في الإشارات الرقمية، أما النمط العادي فيستعمل في دارات التضخيم التماثلية، والنمط العكوس قليل الاستعمال ويستعمل في بعض البوابات المنطقية.

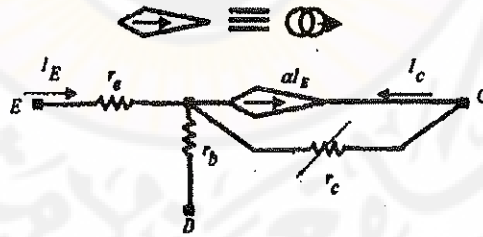
1-2-4- نمذجة الترانزستور في حالة إشارات صغيرة ومتناوبة بترددات منخفضة.

-نموذج على شكل T.

وفيه، يمثل الترانزستور كثلاث ممانعات كل منها ترتبط بإحدى نهايات الترانزستور r_e , r_b , r_c على شكل T، نضيف إلى هذا مولد تيار يمثل أثر الترانزستور، وهو يتجه من

الباعث باتجاه المجمع بحيث: $I_c = -\alpha I_E$.

انظر الشكل -10-



الشكل -10- نمذجة الترانزستور على شكل T.

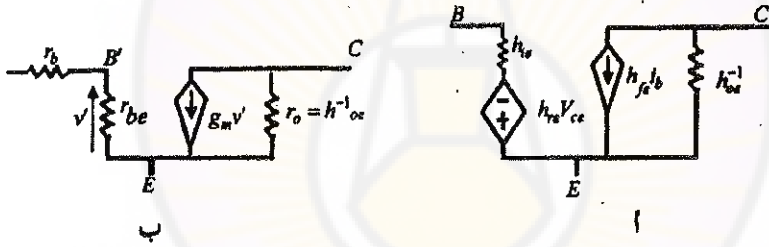
الممانعة r_e هي الممانعة الديناميكية للوصلة B-E المنحازة أمامياً أي:

$r_o = k T / \lambda q I_E$ وهي من رتبة 10Ω .

أما r_b فهي المقاومة الأومية للقاعدة وهي من رتبة 100Ω . أخيراً r_e هي مقاومة الوصلة B-C المتحازة عكسياً ومن رتبة $1M\Omega$.

- نموذج على شكل π .

وهذا النموذج أكثر استعمالاً من النموذج السابق، نعتبر فيه دائرة الدخل مؤلفة من مقاومة على التسلسل مع منبع فلطية ومنبع فلطية مضروب عن فلطية الخرج، أما دائرة الخرج فتتألف من ناقلية (عكس مقاومة) على التوازي مع منبع تيار مكبر عن تيار الدخل. انظر الشكل (a)-11- حالة تشكيلة الباعث المشترك.



الشكل-11- نموذج الترانزستور على شكل π

(منبع التيار المقود بتيار الدخل، ثم المقود بفلطية الدخل)

على سبيل المثال، في تشكيلة الباعث المشترك، وفي حالة التيارات المتناوبة ذات المطالات الصغيرة، نكتب فلطية الدخل المتناوب v_{be} وتيار الخرج المتناوب i_c كتابعين لتيار الدخل المتناوب i_b وفلطية الخرج المتناوب v_{ce} . أي يمكن أن نكتب ما يلي:

$$i_c = g(i_b, v_{ce})$$

$$v_{be} = f(i_b, v_{ce})$$

$$v_{be} = \frac{\partial v_{be}}{\partial i_b} i_b + \frac{\partial v_{be}}{\partial v_{ce}} v_{ce} = h_{11} i_b + h_{12} v_{ce} = h_{ie} i_b + h_{re} v_{ce}$$

$$i_c = \frac{\partial i_c}{\partial i_b} i_b + \frac{\partial i_c}{\partial v_{ce}} v_{ce} = h_{21} i_b + h_{22} v_{ce} = h_{fe} i_b + h_{oe} v_{ce}$$

أما الاشتقاق الجزئي فهو في نقطة العمل.

المعاملات h_{ij} تسمى معاملات هجينة hybrid coefficients وهذه المعاملات دلالاتها الفيزيائية:

$h_{11}=h_{ie}$ ممانعة الدخل لتشكيلة الباعث المشترك، وهي من رتبة $1k\Omega$

$h_{12}=h_{re}$ تضخيم الفلظية العكسي لتشكيلة الباعث المشترك، وهو قريب من الصفر

$h_{21}=h_{fe} = \beta$ تضخيم التيار المباشر لتشكيلة الباعث المشترك، وهو من رتبة 100

$h_{22}=h_{oe}$ ناقلية الخرج لتشكيلة الباعث المشترك، وهي من رتبة $10^{-6}\Omega^{-1}$

أما الربط بين النموذجين فيمكن أن تفسره العلاقات التالية:

$$h_{ie} = r_b + r_{be}$$

$$r_{be} = v_{be} / i_b = r_e h_{fe} = r_e \beta$$

$$v_{be} = v' = r_{be} i_b = r_e \beta i_b$$

$$\beta i_b = g_m v' \Rightarrow g_m = 1 / r_e$$

حيث $g_m v'$ هي منبع التيار المكافئ لـ $h_{fe} i_b$. انظر الشكل 11(b)

وفي كثير من الأحيان نسمي r_b الممانعة الأومية للقاعدة $r_{bb'}$ و r_{be} نسميها r_{be} وكان

القاعدة الحقيقية للترانزستور هي النقطة B' التي ترتبط بالقاعدة الظاهرية B عبر الممانعة

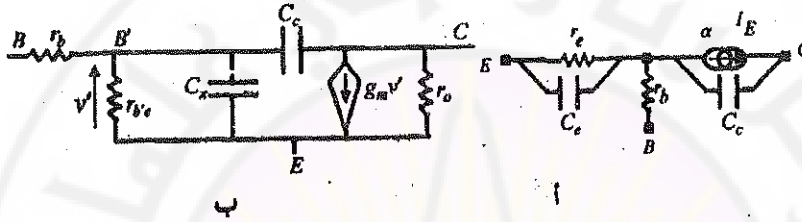
الأومية للقاعدة $r_{bb'}$ وترتبط بالمنبع عبر ممانعة وصلة الديود B-E وهي r_{be} لأن علاقة

$$i_c = \beta i_b = g_m v_{be}$$

1-2-5- نموذج الترانزستور في حالة الترددات العالية

- نموذج على شكل T.

نأخذ النموذج المعروف في حالة الترددات المنخفضة المبين بالشكل 10- ونضيف إليه المكثفتين C_e على التوازي مع r_e و C_c على التوازي مع منبع التيار αI_E . ونأخذ عادة النموذج المكافئ المبسط التالي (انظر الشكل 12-)



الشكل 12- نموذج الترانزستور عند الترددات العالية

(أ) على شكل T، (ب) على شكل π

وذلك لأنه عند الترددات العالية فعمل أثر المقاومة r_e أمام أثر المكثفة C_e التي هي مكثفة الوصلة B-C المنحازة عكسياً. C_e هي مكثفة الوصلة B-E المنحازة أمامياً وتسمى مكثفة الانتثار وعلاقتها بـ r_e كما يلي:

$$C_e r_e = 1/\omega_\alpha$$

حيث ω_α تردد قطع تضخيم التيار α وهي من رتبة $10^{10} \text{ rad s}^{-1}$.

- نموذج على شكل π .

وهنا أيضاً نأخذ النموذج الموافق لحالة الترددات المنخفضة المبين بالشكل 11(b) ونضيف إليه المكثفتين C_c بين القاعدة والمجمع و C_π بين القاعدة والباحث.

ويعطي المصنع تردداً يسمى تردد العبور f_T يرتبط بمائتين المكثفين بالعلاقة:

$$2\pi f_T = \omega_T = 1/(r_e (C_c + C_\pi)) \cong \beta \omega_\beta$$

كما يعطي C_c .

1-2-6 استقطاب الترانزستور وحساب نقطة العمل

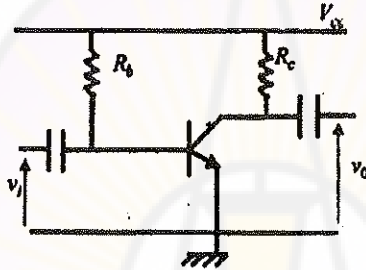
عند استعمال الترانزستور مضمخماً، يجب أن يعمل بالنمط العادي؛ أي أن تكون فلطيات التغذية بحيث تجعل وصلة الديود B-E متحازة أمامياً، ووصلة الديود B-C متحازة عكسياً. ويجب أيضاً ألا تتجاوز استطاعة التبديد العظمى $(P_D)_{max}$ حيث:

$$(P_D)_{max} \approx I_C V_{CE}$$

في نقطة العمل. مع أخذ درجة الحرارة بعين الاعتبار.

الاستقطاب الثابت

لنأخذ على سبيل المثال الدارة المبينة بالشكل -13-



الشكل -13-

ولنبحث عن نقطة العمل، أي عن القيم المستمرة لتيارات وفلطيات الترانزستور. للتخفيف من أثر التشويه نفضل أن تكون $V_{CE} = V_{CC}/2$ إذن نختار R_C بحيث تساوي $V_{CC}/2I_C$. ولدينا حكماً العلاقات التالية:

$$V_{CC} = V_{CE} + R_C I_C$$

$$V_{CC} = V_{BE} + R_B I_B$$

نحل المعادلة الأولى مستقيماً في المستوي (I_C, V_{CE}) والثانية مستقيماً في المستوي (I_B, V_{BE}) ، نقطع هذين المستقيمين مع المنحنيات المعززة لنحصل على القيم المطلوبة.

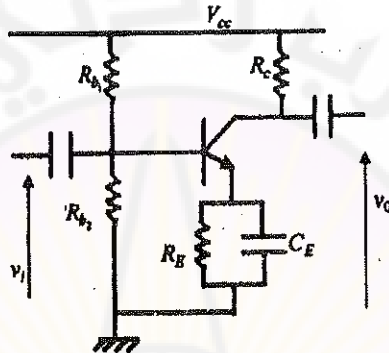
ولما كان $I_C = \beta I_B$ فإن $I_C = \beta I_B = V_{CC}/2 R_C \beta$ ويتعويض هذه القيمة في العلاقات السابقة لنجد:

$$R_B = (V_{CC} - V_{BE}) / I_B \approx (V_{CC} - 0.7V) / I_B \approx V_{CC} / I_B$$

ومن ثم نستنتج أيضاً قيمة R_B .

استقطاب مع وجود R_E (أكثر استقراراً)

إذا ازدادت درجة الحرارة، يزداد I_C ويزداد معه I_E وهذا بدوره يؤدي إلى إنقاص V_{BE} فينقص معه I_B ومن ثم I_C وكل ما تقدم يعني استقرار I_C مع تغير درجة الحرارة. لنأخذ المثال المبين بالشكل -14-



الشكل -14- استقطاب بوجود R_E .

ولنفترض أن $V_B = R_{b1} V_{CC} / (R_{b1} + R_{b2})$ وأن $R_b = R_{b1} || R_{b2}$

ولما كان I_B صغير بالنسبة إلى بقية التيارات أمكننا أن نعبر $I_C \cong -I_E$. ومن ثم يمكننا كتابة المعادلات التالية:

$$V_{BE} = V_B - I_B R_B - I_E R_E$$

$$V_{CC} = V_{CE} + I_C R_C - I_E R_E \cong V_{CE} + (R_C + R_E) I_C$$

لحل هذه المعادلات مع المنحنيات المميزة لنستخرج نقطة العمل. نلاحظ أن:

$$I_B = (V_B - V_{BE}) / (R_B + (1 + \beta) R_E)$$

معال:

$$V_{CC} = 20V, R_C = 5k\Omega, R_E = 1k\Omega, R_{b1} = 20k\Omega, R_{b2} = 3k\Omega,$$

$$V_{BE} = 0.7V, \beta = 100$$

من هذه المعطيات نستخرج أن:

$$V_B = 2.6V, R_B = 2.6k\Omega, I_B = 18.4\mu A, I_C = 100 I_B, V_{CE} = 11V$$

إن الترانزستورات الواردة في الأمثلة السابقة هي من النوع npn أما إذا أردنا استعمال ترانزستور من النوع pnp في النمط العادي فإن هذا يتطلب وضع تغذية مسالبة $-V_{CC}$ بدل V_{CC} لحفاظ على المحياز أمامي لوصلة الديود B-E والمحياز عكسي لوصلة الديود B-C.

المنحنيات المميزة لكل هذه الترانزستورات مشابهة تماما للمنحنيات المميزة للترانزستورات npn شرط أن نوضح إشارة ناقص أمام متحولات المحاور الأربعة $-I_B, -I_C, -V_{BE}, -V_{CE}$ ويجري حساب نقطة العمل على هذا الأساس. أما فيما يتعلق بنمذجة الترانزستور في حالة الإشارات المتناوبة فتستعمل النمذجة نفسها لكلا النوعين دون أي تفريق بينهما.

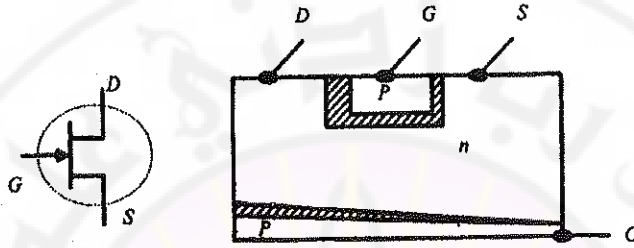
1-3- الترانزستور ذو الأثر الحقل Field Effect Transistor FET.

إن مبدأ عمل هذا العنصر الإلكتروني هو تعديل المقطع الناقل لقصيب نصف ناقل بتأثير الحقل الذي ينشأ في وصلة ديود متحازة عكسيا. ويوجد نوعان أساسيان من هذه الترانزستورات: الأول هو الترانزستور ذو الأثر الحقل الوحيد الوصلة Junction FET أو JFET. والثاني الترانزستور ذو الأثر الحقل بالبوابة المعزولة ويسمى MOSFET حيث MOS هي بدايات الكلمات (معدن، أكسيد، نصف ناقل: Metal Oxide Semiconductor)، ويسمى اختصارا بالترانزستور MOS.

1-3-1- الترانزستور ذو الأثر الحقل الوحيد الوصلة JFET

يبين الشكل 15- بنية هذا الترانزستور، نرسم إلى نهايات هذا الترانزستور بالرموز S, D, G حيث S هي المنبع Source، و G هي البوابة Gate، و D هي المصرف Drain. والقناة على الشكل تصل بين المنبع والمصرف. وصلة القناة-بوابة متحازة عكسيا، وشدة الحقل الكهربائي الداخلي، الناشئ فيها، يحدد عرض هذه القناة وشدة التيار المسار فيها. فإذا كانت هذه القناة نصف ناقلة من النوع n سمي الترانزستور ذا قناة n ولا فهو

ذو قناة p. بين الشكل 15- بنية الترانزستور JFET بقناة n، ورمزه الإلكتروني. في حالة الترانزستور JFET بقناة p. لعكس أنواع الأصاف التوائل المستعملة في البنية، ونعكس اتجاه السهم في الرمز الإلكتروني.



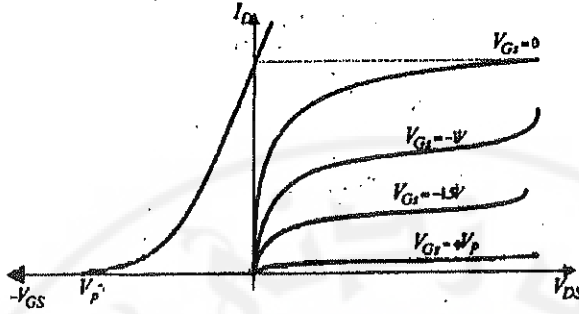
الشكل 15- بنية الترانزستور JFET ذي قناة n، ورمزه الإلكتروني.

أما عن آلية عمل هذا الترانزستور فهي كما يلي:

نفترض أن الترانزستور ذو قناة n وأن فرق الكمون بين البوابة والمنبع $V_{GS}=0$ ولبدأ من V_{DS} (فرق الكمون بين المنبع والمصرف) صغيرة ونرفع هذه القيمة تدريجياً. عندما تكون هذه القيمة صغيرة يعمل الترانزستور كممانعة أومية، وعندما تزيد V_{DS} يضيق المقطع الناقل، وعند حد معين تبلغ حركية حوامل الشحنات قيمة حدية وتصبح أبعاد القناة أصغر، ويسمى تيار المصرف I_D نحو قيمة حدية هي قيمة الإشباع. وعندما يزيد V_{DS} عن حد معين يحصل انحدار للترانزستور.

فإذا كانت $-2V < V_{GS} < 0V$ ، فعندها تزداد الممانعة الأومية للقناة بازدياد القيمة المطلقة لـ V_{GS} وعندما تصبح $V_{GS} = -2V$ تغلق القناة تماماً وينعدم التيار المار فيها. نسمي قيمة هذه الفلظية للظلية الانقراض V_p Pinch off Voltage، هنا $V_p = -2V$.

يبين الشكل 16- المنحنيات المميزة لهذا الترانزستور. يجري رسم منحني الربع الثاني $I_D(-V_{GS})$ بالاعتماد على منحنيات الربع الأول، حيث نرسم قيمة تيار الإشباع I_D لكل قيمة موافقة لـ V_{GS} .



الشكل 16- المنحنيات المميزة للترانزستور JFET بقناة n.

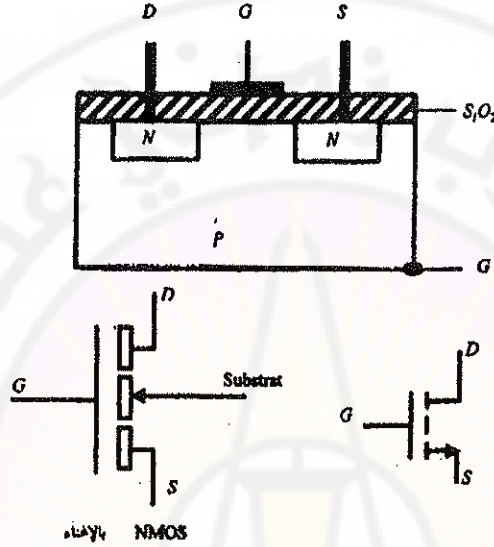
تساوي قيمة تيار الإشباع: $I_D = I_{DSS}(1 - V_{GS}/V_p)^2$ حيث I_{DSS} تيار ثابت مسن رتبة mA. تيار البوابة $I_0 \approx 0$.

1-3-2- الترانزستور ذو الأثر الحقلّي بالبوابة المعزولة MOSFET

يبين الشكل 17- بنية هذا الترانزستور (بقناة n هنا)، ونلاحظ أن البوابة معزولة عن نصف الناقل بمادة أكسيد عازلة هي أكسيد السيليوم SiO_2 . ونرى أنه لصنع هذا الترانزستور، نضع على ركازة substrate من السيليوم من النوع p منطقتين من النوع n بنسبة تطعيم عالية doping نوصل إحداها إلى المنبع والثانية إلى المصرف (عندما نريد ترانزستور موس MOS بقناة p فإننا نعكس أنواع النواقل المستعملة في المناطق المختلفة). يعتمد نقل التيار بين المنبع والمصرف على وجود قناة بينهما من نوعهما.

يمكن أن تنشأ هذه القناة من شروط عمل محسّنة معينة، فنسمي الترانزستور موس المحسّن Enhancement MOS، ويسمى بالفرنسية موس بالإغناء à enrichissement لأن شروط العمل تهيئ القناة بحوامل الشحنات)، أو موس بقناة محرّضة à canal induit . كما يمكن أن تكون القناة موجودة أصلاً أثناء التصنيع، وقد تؤدي شروط العمل إلى تضروب القناة من حوامل الشحنات لذلك نسمي هذا الترانزستور موس بالإفكار

Depletion MOS (ويحمل التسمية نفسها بالفرنسية *dépletion* à)، أو تسميه بنفسية *à canal diffusé*.



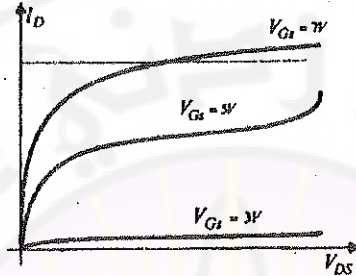
الشكل 17- بنية ترانزستور MOS قناة n بالإغناء. ورمزه الإلكتروني.

في حالة الترانزستور MOSFET بالإغناء بقناة p. لعكس أنواع أنصاف النواقل المستعملة في البنية، ولعكس اتجاه السهم في الرمز الإلكتروني.

—الترانزستور NMOS بالإغناء (أو بقناة ذاتية)

تربط الوكازة بالمنبع. حين يكون $V_{GS} < 0V$ تنشحن البوابة سلبيا والوكازة إيجابيا. لجعل $V_{DS} > 0V$ فتتجاز الوصلة مصرف-وكازة عكسيا، وفي هذه الحال، يكون الترانزستور قاطعا و $I_D = 0A$.

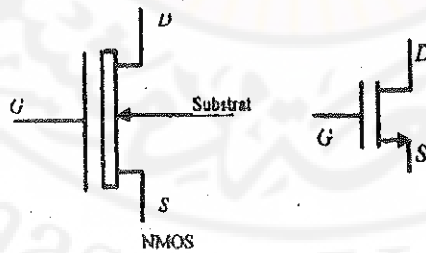
أما حين تكون $V_{GS} > 0V$ فينشحن لهوسا المكثفة المكونة من البوابة والركازة والأكسيد العازل بينهما (تشحن البوابة إيجابيا والركازة سلبا). ولكون الركازة مطعمة تطعمها سفيها، فإنه يحصل عكس في الناقلية وتظهر قناة ذاتية غنية بالحوامل الحرة ويمر تيار بين المنبع والمصرف. وكلما كان V_{GS} أكبر، كان التيار I_D أشد. انظر الشكل -18-.



الشكل -18- المنحني المميز لخرج الترانزستور NMOS بالإغناء.

-الترانزستور NMOS بالإفقار (أو بقناة منشورة)

تربط الركازة بالمنبع أيضا. حين يكون $V_{GS} > 0V$ تشحن البوابة إيجابيا فتجذب (بفعل مكثفي) الإلكترونات من القناة المنشورة فيزداد عدد حوامل الشحنات الحرة. أما حين تكون $V_{GS} < 0V$ فإن البوابة تشحن سلبا وتدفع (بفعل مكثفي) الإلكترونات من القناة المنشورة، فتظهر منطقة مقفرة من حوامل الشحنات الحرة، ويزداد عرض هذه المنطقة بازياد القيمة المطلقة للجهود V_{GS} . وحين تصبح $V_{GS} = -V_P$ تغطي منطقة الإفقار علسي كامل القناة، ويصبح الترانزستور قاطعا. وهنا أيضا، كلما كان V_{GS} أكبر (جبريا) كان التيار I_D أشد. انظر الشكل -19-.



الشكل -19- المنحني المميز لخرج الترانزستور NMOS بالإفقار مع رمزه الإلكتروني.

في حالة الترانزستور MOSFET بالإقفار بقناة p. لعكس أنواع أنصاف النواقل المستعملة في البنية، ولنعكس اتجاه السهم في الرمز الإلكتروني.

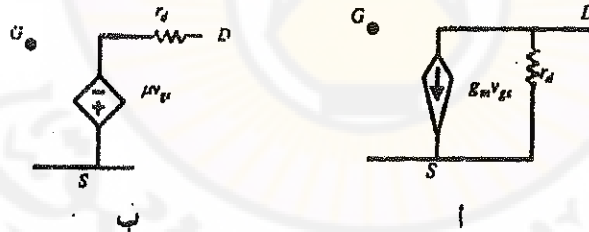
ملاحظات:

- في الترانزستورات JFET يكون I_G من رتبة μA ($10^{-6} A$) وممانعة الدخل من رتبة $10^6 \Omega$.

- في الترانزستورات MOSFET يكون I_G من رتبة pA ($10^{-12} A$) وممانعة الدخل من رتبة $10^{15} \Omega$. وتكون علاقة تيار الإشباع I_D بالفلطية V_{GS} كما يلي:
 $I_D = K (V_{GS} - V_P)^2$ حيث K ثابت.

1-3-3 نموذج الترانزستور ذي الأثر الحقلّي عند الترددات المنخفضة

مهما يكن نوع الترانزستور ذي الأثر الحقلّي (بوصلة وحيدة أم ببوابة معزولة)، ومهما يكن نوع تطعيم القناة (n أو p) فإنه يمكن نمذجته بأحد الشكلين الكهربائيين المبينين في الشكل -20-، في حالة الإشارات المتناوبة ذات الترددات المنخفضة (انظر الشكل -20-) وهما متكافئان تماماً كما تظهر العلاقات التالية:



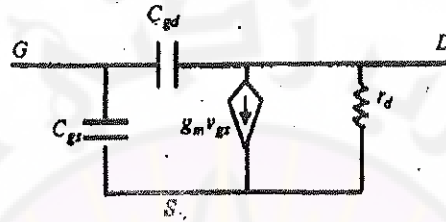
الشكل -20- نموذج الترانزستورات FET عند الترددات المنخفضة

(أ) بمنبع تيار، (ب) بمنبع فلطية.

$$\begin{aligned} i_d &= g_m v_{gs} + v_{ds}/r_d \\ \Rightarrow v_{ds} &= r_d i_d + r_d g_m v_{gs} \\ \Rightarrow v_{ds} &= r_d i_d + \mu v_{gs} \end{aligned}$$

1-3-4 نموذج الترانزستور ذي الأثر الحقلّي عند الترددات العالية

يعتمد المخطط الكهربائي في الشكل -20- نفسه، ونضيف إليه مكثفتين "طفيليتين": C_{gs} بين البوابة والمنبع، و C_{gd} بين البوابة والمصرف. ويعطي المصنع سعة هاتين المكثفتين أو معطيات إلكترونية تساعد على حسابهما. انظر الشكل -21-



الشكل -21- نموذج الترانزستور ذي الأثر الحقلّي عند الترددات العالية.

ملاحظات:

-تعتمد الترانزستورات FET على ناقلية الحوامل الأخرى فقط، أما الترانزستورات BJT فتعتمد على كلا النوعين من حوامل الشحنات: الأخرى والأخرى، من هنا تأتي تسمية "ثنائي القطب" للترانزستور BJT.

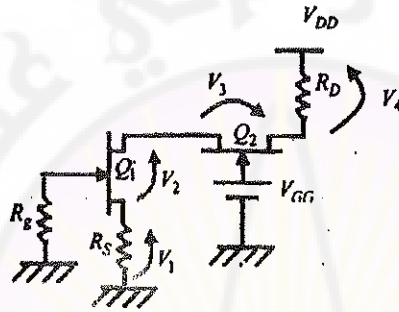
-الترانزستورات FET أسهل تصميماً وتحمل مساحة أقل (عالية الكفاءة) ويمكن استعمالها في الدارات التكاملية كممانعة حل (ممانعة أومية فقط)، وممانعة دخلها عالية جداً. كما يمكن استعمالها كقواطع إلكترونية، وفي النواكر الإلكترونية.

-عرض حزمة التمير للترانزستورات FET ضيقة إذا ما قورنت بعرض حزمة تمير الترانزستورات BJT، لذلك فإن سرعة التعديل بين المستويات المنطقية في الترانزستورات FET أقل منها في الترانزستورات BJT. ولهذا فإننا نفضل الترانزستورات BJT في الدارات الإلكترونية الرقمية العالية السرعة.

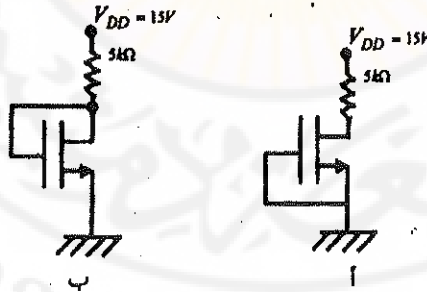
4- نفترض أنه في دائرة الكاسكود Cascode المبينة بالشكل المرافق لدينا: $V_{DD}=16V$ وهي موزعة بالتساوي بين الفلطات V_1, V_2, V_3, V_4 أي: $V_1=V_2=V_3=V_4$. كما نفترض أن لدينا لترانزستورين N-JFET المستعملين في الدائرة: $V_P=-8V$ و $I_{DSS}=4mA$ والمطلوب:

1- احسب قيمة تيار الاستقطاب المار بالترانزستورين. (احسب V_{GS1})

2- احسب قيمة R_D و R_S .



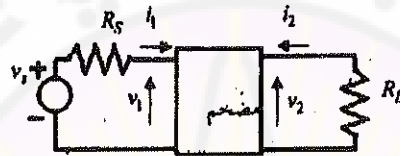
5- لدينا الترانزستور NMOS بالإغناء الذي له المتوسطات التالية: $K_n=3 \times 10^{-4} A/V^2$ و $V_P=2V$. نضعه في الدائرتين (أ) و (ب) على التالي. والمطلوب حساب كل من V_{DS} و I_D في كل من الحالتين (بذكر أن $I_D=K_n(V_{GS}-V_P)^2$ عندما يمر تيار في الترانزستور).



الفصل الثاني : المضخمات الترانزستورية

2-1 التحليل العام :

نفترض أن أي مضخم ترانزستوري هو رباعي أقطاب : الثان منهما للدخول والثان للخرج. في دخل المضخم نربط مولد إشارة له ممانعة R_S أما الخرج فهو مربوط بممانعة حمل R_L (الظر الشكل -1)



الشكل -1- المخطط العام للمضخم الترانزستوري

نعرف أربعة مقادير مميزة للمضخم :

$$R_i = \frac{v_1}{i_1} \quad \text{ممانعة الدخل} :$$

$$R_o = \frac{v_2}{i_2} = -\frac{v_2}{i_o} \big|_{v_2=0}, R_i = \infty \quad \text{ممانعة الخرج} :$$

$$A_i = -\frac{i_2}{i_1} = \frac{i_o}{i_1} \quad \text{تضخيم التيار} :$$

$$A_v = \frac{v_2}{v_1} \quad \text{تضخيم الفلطية} :$$

$$A_{v_s} = \frac{v_2}{v_s} = A_v \frac{v_1}{v_s} \quad \text{كما نعرف أيضا تضخيم الفلطية بالنسبة لفلطية منبع الإشارة} :$$

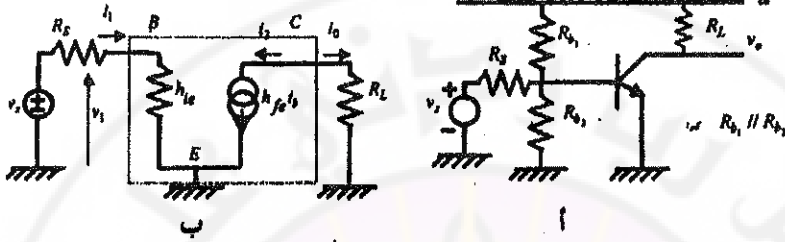
في المضخم الترانزستوري يكون لدينا ترانزستور بأحد تشكيلاته :

في حالة الترانزستور BJT: باعث مشترك - قاعدة مشتركة - مجمع مشترك

في حالة الترانزستور FET: منبع مشترك - بوابة مشتركة - مصرف مشترك

2-2- تشكلات الترانزستور BJT:

2-2-1 الباعث المشترك



الشكل 2-2- مضخم الباعث المشترك ومخططة الإلكترون في حالة الإشارات الصغيرة والترددات المنخفضة

في هذه التشكيلة، تكون إشارة الدخل على القاعدة، وإشارة الخرج على المجموع والباعث مشترك بين الدخل والخرج. تيار الدخل $i_1 = i_b$ ، تيار الخرج $i_2 = i_c = -i_o$ ، فلطية الدخل $v_1 = v_{be} = h_{ie} i_b$ أما فلطية الخرج فهي $v_2 = v_{ce} = R_L i_o$. وبذلك يمكننا حساب مكافآت الدخل والخرج وتضخيم التيار والفلطة كما يلي:

$$R_o = v_2 / i_2 |_{v_1 = 0, R_L = \infty} = v_2 / 0 = \infty \text{ :ممانعة الخرج}$$

$$R_o = 1 / h_{oe} \text{ :إلا فإن}$$

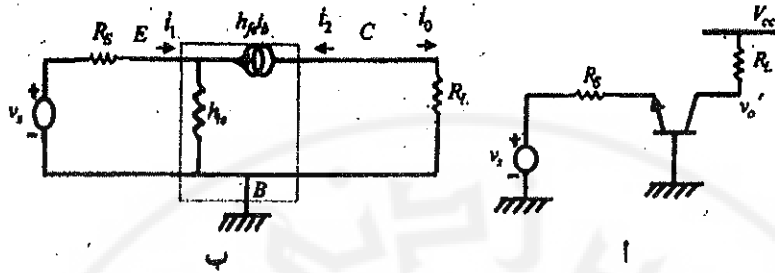
$$R'_o = R_o // R_L \text{ ونعرف}$$

$$R_i = v_1 / i_1 = h_{ie} i_b / i_1 = h_{ie} \text{ :ممانعة الدخل}$$

$$A_i = i_o / i_1 = -i_c / i_b = -h_{fe} = -\beta \text{ :أما تضخيم التيار}$$

$$A_v = v_2 / v_1 = (R_L i_o) / (R_i i_b) = -R_L h_{fe} / h_{ie} \text{ :وتضخيم الفلطة}$$

2-2-2 القاعدة المشتركة



الشكل 2-3- مضخم القاعدة المشتركة ومخططه الإلكتروني في حالة الإشارات الصغيرة والترددات المنخفضة

في هذه التشكيلة، تكون إشارة الدخل على الباعث، وإشارة الخرج على المجموع والقاعدة مشتركة بين الدخل والخرج. تيار الدخل $i_1 = i_e$ ، تيار الخرج $i_o = i_c = i_e$ ، وللمطية الدخل $v_1 = v_{eb} = -h_{fe} i_b$ أما للمطية الخرج فهي $v_2 = v_{cb} = R_L i_c$. وبذلك يمكننا حساب ممانعات الدخل والخرج وتضخيم التيار والمطية كما يلي:

$$\text{ممانعة الخرج: } R_o = v_2 / i_2 |_{v_s=0} = R_L = \infty = v_2 / 0 = \infty \text{ لأن } R_o = v_2 / i_2 |_{v_s=0} = R_L = \infty$$

$$\text{والا فإن: } R_o = 1 / h_{oe}$$

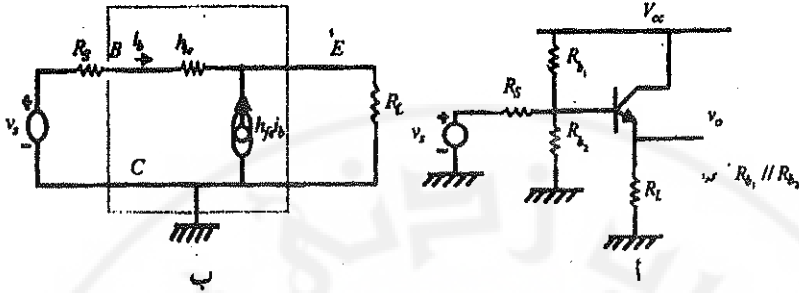
$$\text{ممانعة الدخل: } R_i = v_1 / i_1 = -h_{fe} i_b / i_e = -h_{fe} i_b / (1 + h_{fe}) i_b = h_{fe} / (1 + h_{fe})$$

$$\text{أما تضخيم التيار: } A_i = i_o / i_1 = -h_{fe} i_b / (1 + h_{fe}) i_b = -h_{fe} / (1 + h_{fe}) \approx -1$$

$$\text{وتضخيم المطية: } A_v = v_2 / v_1 = (-R_L i_c) / (-h_{fe} i_b) = R_L h_{fe} / h_{fe}$$

وهو قليل الاستعمال.

2-2-3 المجمع المشترك



الشكل 4-4- مضخم المجمع المشترك ومخططة الإلكتروني في حالة الإشارات الصغيرة والترددات المنخفضة

في هذه التشكيلة، تكون إشارة الدخل على القاعدة، وإشارة الخرج على الباعث والمجمع مشترك بين الدخل والخرج. تيار الدخل $i_1 = i_b$ ، تيار الخرج $i_2 = i_c = -i_e$ ، فلطية الدخل $v_1 = v_2 + v_{be} = R_L i_o + h_{ie} i_b$ أما فلطية الخرج فهي $v_2 = v_{ce} = R_L i_o$. وبذلك يمكننا حساب ممانعات الدخل والخرج وتضخيم التيار والفلطية كما يلي:

ممانعة الخرج: نلاحظ أن هذه هي التشكيلة الوحيدة التي يبقى فيها أثر لممانعات عندما $R_L = \infty$ و $v_s = 0$. لذلك فإنه ضمن هذه الشروط نطبق فلطية مخرجة $v_2 = V$ ونحسب التيار الناتج I ليكون $R_o = V/I$.

$$R_o = v_2 / i_2 |_{v_s = 0, R_L = \infty} = -(h_{ie} + R_s) i_b / i_c = (h_{ie} + R_s) / (1 + h_{fe})$$

هذا إذا كان أثر h_{oe} مهملاً، وإلا فإن القيمة هي الخسوبة على التوازي مع $1/h_{oe}$. وهي صغيرة نسبياً.

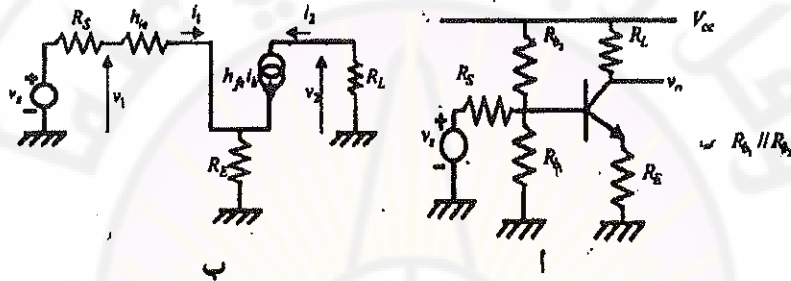
ممانعة الدخل: $R_i = v_1 / i_1 = v_2 + h_{ie} i_b / i_b = (R_L i_o + h_{ie}) i_b / i_b = R_L (1 + h_{fe}) + h_{ie}$. وهي كبيرة نسبياً.

أما تضخيم التيار : $A_i = i_o / i_1 = -i_c / i_b = (1 + h_{fe})$

وتضخيم الفلطة:

$A_v = v_2/v_1 = (R_L(1+h_{fe})i_b)/(R_L i_b) = R_L(1+h_{fe})/(R_L(1+h_{fe})+h_{ie}) \approx 1$
ولأن تضخيم الفلطة فيه قريب من الواحد، وممانعة دخله عالية وممانعة مخرجه صغيرة، فإنه يستعمل كمضخم عزل. أي يمكن أن نضعه بين جهازين (أو دارتين) فلا يؤثر أي منهما على الآخر، لأن هذا المضخم يعزل بينهما.

2-2-4 الباعث المشترك مع ممانعة في الباعث



الشكل 5- مضخم الباعث المشترك مع ممانعة في الباعث، ومخططة الإلكترون في حالة الإشارات الصغيرة والترددات المنخفضة

في هذه التشكيلة، تكون إشارة الدخل على القاعدة، وإشارة المخرج على المجموع، وهناك ممانعة بين الباعث والأرضي المشترك بين الدخل والمخرج. تيار الدخل $i_1 = i_b$ ، تيار المخرج $i_2 = i_c$ ، فلطة الدخل تساوي:

$$v_1 = v_{be} + R_E(-i_c) = h_{ie} i_b + R_E(1+h_{fe}) i_b$$

أما فلطة المخرج فهي $v_2 = v_{ce} = R_L i_c$. وبذلك يمكننا حساب ممانعات الدخل والمخرج وتضخيم التيار والفلطة كما يلي:

ممانعة المخرج: $R_o = \infty$ للأسباب نفسها في حالة الباعث المشترك العادي.

$$R_i = v_1/i_1 = h_{ie} + R_E(1+h_{fe})$$

$$A_i = i_2/i_1 = -i_c/i_b = -h_{fe} = -\beta$$

وتضخيم الفلطة:

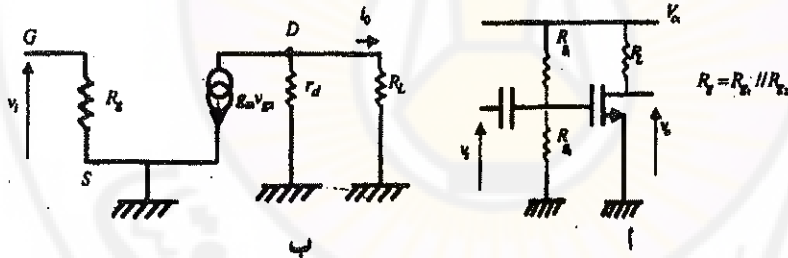
$$A_v = v_o / v_i = (R_L i_o) / (R_i i_b) = -R_L h_{fe} / (h_{ie} + R_E (1 + h_{fe})) \approx -R_L / R_E$$

وهذا يمكننا التحكم في تضخيم الفلطة بواسطة قيم الممانعات فقط. وهذه العشكيلة أكثر استقرارا من تشكيلة الباعث المشترك التقليدية لأنه لا علاقة بمحددات الترانزستور بتضخيم الفلطة.

3-2 تشكيلات الترانزستور FET:

رأينا في الفصل السابق نمذجة الترانزستورات FET في حالة الترددات المنخفضة. ورأينا أن تيار البوابة صغير جدا ويمكن اعتباره معدوما، وأنه يمكن اعتبار دائرة الخرج منبع تيار $g_m v_{gs}$ ممانعته r_d أو منبع فلطة μv_{gs} ممانعته r_d أيضا حيث $g_m \mu = g_m r_d$ من رتبة $10^{-3} \Omega^{-1}$ أما r_d فهي من رتبة $10^4 \Omega$.

2-3-1 المنبع المشترك



الشكل 6- مضخم المنبع المشترك ومخططة الإلكترون في حالة الإشارات الصغيرة والترددات المنخفضة

في هذه العشكيلة، تكون إشارة الدخل على البوابة، وإشارة الخرج على المصرف، والمنبع مشترك بين الدخل والخرج. ومع أن تيار البوابة معدوم، فإن فلطة الدخل v_{gs} هو الذي يتحكم في تيار الترانزستور. إذن تيار الدخل $i_b = i_g = 0A$ ، ومن ثم ممانعة الدخل $R_i = \infty \Omega$. وتبقى ممانعة الدارة الخارجية $R_o = R_d || R_L$ هي المنظورة من البوابة. ولما

كان تيار الدخل معدوماً فإن تضخيم التيار لانهائي ولا معنى له. مماثلة الخرج هي وضوحاً r_d ويبقى تضخيم الفلظية هو أهم محددات هذا المضخم ويمكن حسابه كما يلي:

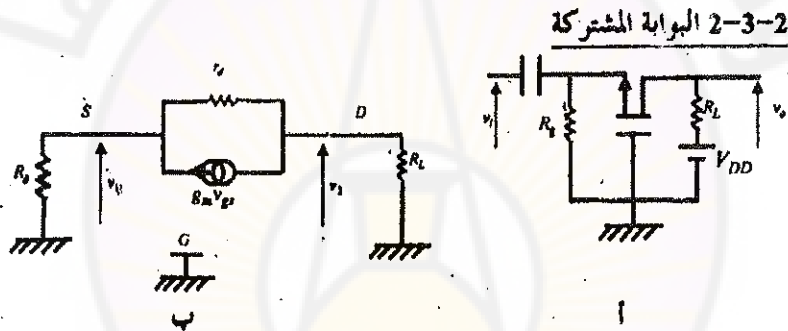
نلاحظ أولاً أن تيار الخرج i_o هو $-i_d$ ، ولكن i_d هو مجموع تيارين:

$$g_m v_{gs} = g_m v_i \text{ والتيار المار في } r_d \text{ الذي يساوي } v_o / r_d \text{ ومن ثم فإن:}$$

$$v_{ds} = v_o = R_L i_o = -R_L i_d = -R_L (g_m v_i + v_o / r_d)$$

وبتقسيم الطرفين على v_i نحصل على قيمة A_v :

$$A_v(1 + R_L / r_d) = -R_L g_m \Rightarrow A_v = -g_m (R_L || r_d)$$



الشكل 7- مضخم البوابة المشتركة ومخططة الإلكتروني في حالة الإشارات الصغيرة والترددات المنخفضة

في هذه التشكيلة، تكون إشارة الدخل على المنبع، وإشارة الخرج على المصرف، والبوابة مشتركة بين الدخل والخرج.

$$v_1 = v_i = -v_{gs} \text{ فلظية الدخل}$$

$$v_2 = v_o = v_i + v_{ds} \text{ وفلظية الخرج}$$

تيار الدخل $i_1 = i_d$ وتيار الخرج $i_o = -i_d$ ولما كان تيار البوابة معدوماً ومجموع التيارات صفراً فإن $i_d = -i_o$ وتضخيم التيار $A_i = 1$.

أما فيما يتعلق بمحددات المضخم الأخرى فإننا نذكر بالعلاقة المحسوبة في الفقرة السابقة المتعلقة بـ i_d وهي:

$$i_d = g_m v_{gs} + v_{ds} / r_d$$

ولكن $i_d = -v_o / R_L$ وبتعويض v_{gs} و v_{ds} بقيمها بدلالة v_i و v_o . نحصل على العلاقة التالية:

$$-v_o / R_L = -g_m v_i + (v_o - v_i) / r_d$$

لستطيع حساب $A_v = v_o / v_i$ من هذه العلاقة فنجد أن:

$$A_v = (g_m r_d + 1) R_L / (r_d + R_L) \approx g_m r_d R_L / r_d = g_m R_L$$

وذلك لأن $g_m r_d \gg 1$ و $r_d \gg R_L$ في أغلب الأحيان.

من جهة أخرى ومن العلاقة $v_i = v_o - v_{ds}$ يمكننا أن نكتب:

$$v_i = R_L (-i_d) + r_d (g_m v_{gs} - i_d)$$

$$R_i = v_i / i_i = (R_L + r_d) i_i / (1 + \mu) i_i \approx (R_L + r_d) / \mu \approx 1 / g_m$$

بقي حساب ممانعة الخرج. لذلك نأخذ منبع v_s ونجعل $R_L = \infty$ ونطبق القطعية V في

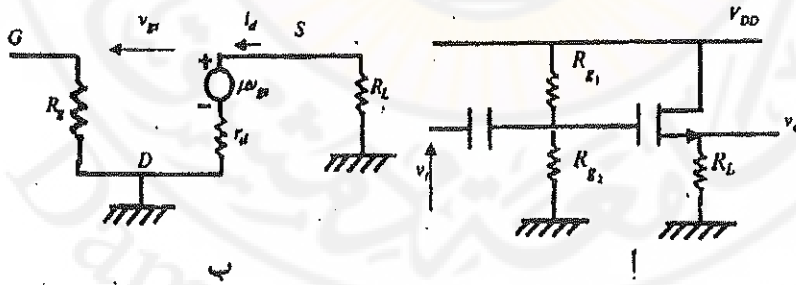
الخرج، نحسب التيار الناتج I فتكون ممانعة الخرج $R_o = V / I$.

في هذه الحالة يمر هذا التيار في الممانعة R_g ويكون $R_g I = -v_{gs}$ ويكون

$$V = v_i + v_{ds} = R_g I + r_d (I - g_m v_{gs}) = (R_g + r_d + R_g r_d g_m) I$$

$$R_o = V / I = r_d + R_g (1 + \mu)$$

3-3-2 المصرف المشترك



الشكل -8- مضخم المصرف المشترك ومخططة الإلكتروني في حالة الإشارات الصغيرة والترددات المنخفضة

في هذه التشكيلة، تكون إشارة الدخل على البوابة، وإشارة الخرج على المنبع، والمصرف مشترك بين الدخل والخرج.

وكما في حالة المنبع المشترك، $i_1 = 0$ ومن ثم $R_i = \infty$ و A_v لا معنى لها. وحساب A_v نلاحظ من الشكل السابق أن:

$$v_o = \mu v_{gs} + r_d i_d$$

ولكن، $v_o - v_{gs} = v_i$ و $i_d = (-v_o / R_L)$ إذن:

$$A_v = \frac{v_o}{v_i} = \frac{\mu R_L}{(\mu + 1)R_L + r_d} \approx \frac{g_m R_L}{1 + g_m R_L} \approx 1$$

أما لحساب R_o ، فإننا، كالمعتاد، نحذف المنبع v_s ونجعل $R_L = \infty$ ونطبق الفلطية V في

الخرج، لحسب التيار الناتج I فتكون ممانعة الخرج $R_o = V/I$

$$V = v_o = \mu v_{gs} + r_d i_d = -v_{gs} \Rightarrow V(1 + \mu) = r_d I$$

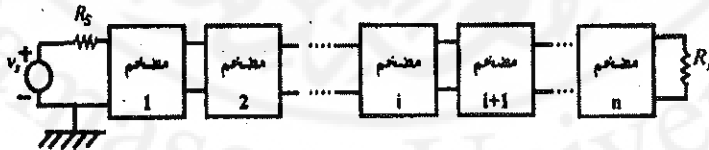
$$R_o = \frac{V}{I} = \frac{r_d}{\mu + 1} \approx \frac{r_d}{\mu} = \frac{1}{g_m}$$

نلاحظ أن خواص هذا المضخم قريبة جداً من خواص مضخم الجمع المشترك، لذلك يمكن استعماله أيضاً مضخماً عازلاً.

2-4 المضخمات المتعددة الترانزستورات

نفترض أن لدينا مجموعة مضخمات ترانزستورية، مربوطة على التوالي، بحيث فلطية الخرج للمضخم هي فلطية الدخل للمضخم الذي يليه (انظر الشكل 9-س). أي:

$$[v_o]_i = [v_i]_{i+1}$$



الشكل 9-س- ربط عدة مضخمات ترانزستورية

ينتج مباشرة أن تضخيم الفلطية للمضخم المكافئ للمجموع هو جداء تضخيم الفلطية لهذه المضخمات أي:

$$A_v = \prod_{j=1}^n [A_v]_j$$

تأثير المضخم j في المضخم $j+1$: يرى المضخم $j+1$ المضخم j كمنبع إشارة للبطية هي

لفطية الخرج للمضخم j وممانعته الداخلية هي ممانعة مخرج المضخم j . أي:

$$[R_o]_j = [R_i]_{j+1}$$

تأثير المضخم $j+1$ في المضخم j : يرى المضخم j ممانعة دخل المضخم $j+1$ كممانعة حمل للمضخم j . أي:

$$[R_i]_{j+1} = [R_o]_j$$

أما ممانعة الدخل للمضخم المكافئ فهي ممانعة دخل المرحلة الأولى أي $[R_i] = [R_i]_1$

وأما ممانعة الخرج للمضخم المكافئ فهي ممانعة مخرج المرحلة الأخيرة أي $[R_o] = [R_o]_n$

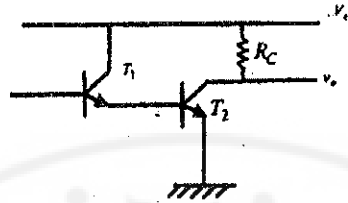
نبدأ بالحساب من المضخم الأخير ونعود تدريجياً بالتسلسل المتناقص، وفي كل مرة نأخذ ممانعة دخل المرحلة كممانعة حمل للمرحلة التي تسبقها، وهذا مما يؤثر في حساب محددات مضخم هذه المرحلة، إلى أن نصل إلى مضخم المرحلة الأولى.

والجدير بالذكر أنه لا توجد علاقة مباشرة بين تضخيم التيار للمضخم المكافئ وتضخيم التيار للمضخمات المرحلية، وإنما تدخل عناصر أخرى في حساب تضخيم التيار المكافئ.

هناك بعض التشكيلات الخاصة لمضخمات بترانزستورين نذكر منها:

• مضخم دارلنغتون Darlington

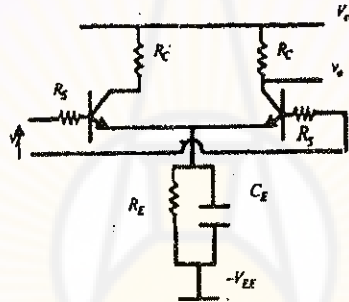
وهو تشكيلة CC-CE كما هو مبين بالشكل 10- يتمتع هذا المضخم بممانعة دخل عالية إذ إن ممانعة دخل الترانزستور T_1 تزيد على ممانعة دخل الترانزستور T_2 مكبرة β مرة لأن هذا الأخير موجود في باعث T_1 .



الشكل 10- مضخم دارلنغتون

• مضخم البواعث المترابطة

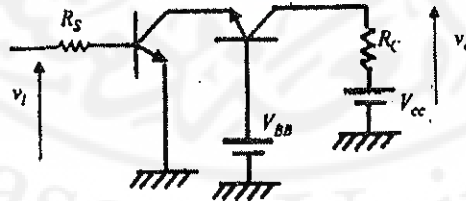
وهو العنصر الأساسي في المضخم التفاضلي الذي ستدرسه في الفصل القادم. وهو مضخم من النوع CC-CB كما أنه عنصر أساسي في الدارات الرقمية السريعة من الطائفة ECL التي سنراها أيضاً في فصل لاحق. انظر الشكل 11-



الشكل 11- مضخم البواعث المترابطة.

• مضخم cascode

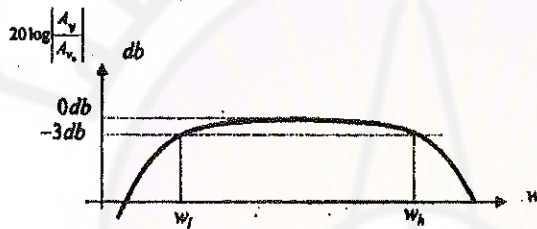
وهو مضخم من النوع CE-CB وله خواص هامة في دارات التوليف Tuning في دارات الاتصالات عند الترددات العالية. انظر الشكل 12-



الشكل 12- مضخم كاسكود.

2-5 الاستجابة الترددية للمضخمات

عندما ندخل إشارة جيبية إلى مضخم ترانزستوري، فإن الخرج عموماً هو إشارة جيبية لها التردد نفسه، ومطابقاً هو مطال إشارة الدخل مضروباً بتضخيم الفلظية للمضخم. أما حينما ندخل إشارة غير جيبية إلى المضخم، فإن الخرج ليس بالضرورة صورة أمينة لإشارة الدخل، وإنما هو في بعض الأحيان صورة مشوهة لإشارة الدخل. والسبب في ذلك، أن المركبات الترددية المختلفة لإشارة الدخل تُضخم بنسب مختلفة، فينجم تشويه للإشارة. فإذا أخذنا $A_v(j\omega)$ حيث $\omega = 2\pi f$ نرى أن له الشكل التالي:



الشكل -13- الاستجابة الترددية لمضخم ترانزستوري

فالمضخمات عند الترددات المنخفضة تتصرف كمرشحات تمرير عالٍ بتردد قطع f_L مثلاً. وعند الترددات العالية تتصرف كمرشحات تمرير منخفض لها تردد قطع f_H مثلاً. وما بين هذين الترددين حزمة تمرير المضخم؛ حيث نعتبر محدوداته مستقرة وتضخمه ثابتاً A_{v0} .

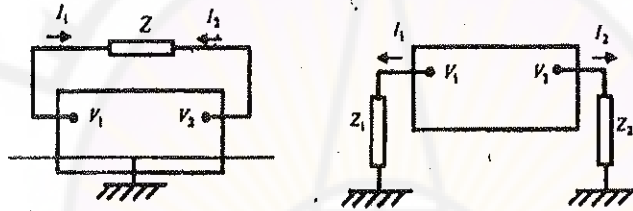
المسؤول عن القطع عند الترددات المنخفضة هي مكثفات الربط الخارجي الموجودة في الدارة: (مكثفات الربط ومكثفات الاستقطاب)، أما المسؤول عن القطع عند الترددات العالية فهي المكثفات الداخلية للترانزستورات: (مكثفات العبور والانتشار وغيرها...) وعندما نأخذ جميع هذه المكثفات بعين الاعتبار، يصبح لتضخيم الفلظية الشكل التالي:

$$A_v(s) = k s^{-p} \frac{\prod_i (1 + a_i s) \prod_k (1 + b_k s + c_k s^2)}{\prod_r (1 + d_r s) \prod_v (1 + e_v s + f_v s^2)}$$

يمكن رسم مطال وزاوية A_v بدلالة التردد وهذا ما يسمى بمخططات بود. أما القيم التي حسبناها للمضخمات الوحيدة الترانزستور في التشكيلات المختلفة، فهي مأخوذة ضمن مجال التمرير حيث تمسك أثار المكثفات الداخلية للترانزستور إضافة إلى أثار المكثفات الخارجية في الدارة.

-أثر ميلر

نفترض أن لدينا ممانعة Z تربط دخل مضخم بخرجه، عندها يمكن مكافأة هذه الممانعة بممانعتين إحداهما على الدخل Z_1 والثانية على الخرج Z_2 (انظر الشكل -14-)



الشكل -14- أثر ميلر

فإذا افترضنا أن تضخيم الفولطية $V_2/V_1 = K$ فإنه يمكننا أن نكتب:

$$I_1 = \frac{V_1 - V_2}{Z} = \frac{V_1 - KV_1}{Z} = \frac{V_1}{Z_1} \Rightarrow Z_1 = \frac{Z}{1-K}$$

$$I_2 = -I_1 = \frac{V_2 - V_1}{Z} = \frac{KV_2 - V_2}{Z} = \frac{V_2}{Z_2} \Rightarrow Z_2 = \frac{ZK}{K-1}$$

فإذا كانت Z مكثفة، أي $Z = \frac{1}{jC\omega}$ فإن :

$$Z_1 = \frac{1}{jC\omega(1-K)} \Rightarrow C_1 = C(1-K)$$

$$Z_2 = \frac{K}{jC\omega(K-1)} \Rightarrow C_2 = C(K-1)/K$$

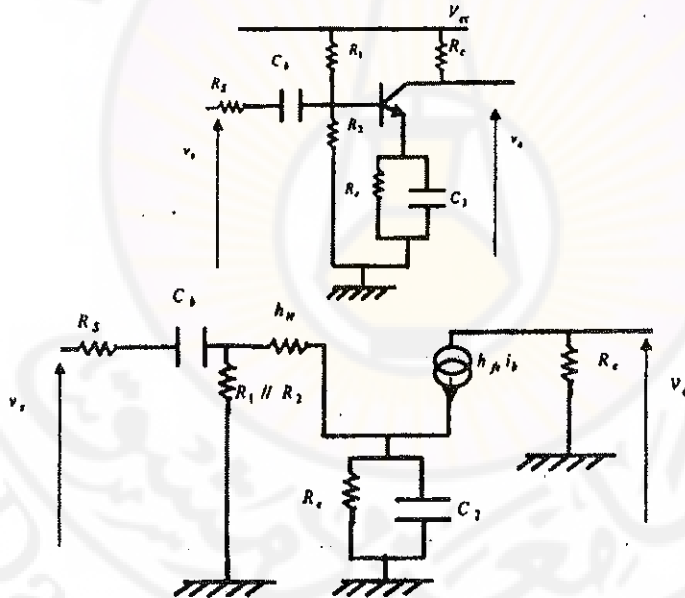
فإذا كانت K قريبة من الواحد، فإن $C_1 \approx 0$ و $C_2 = C(K-1)$ أما إذا كانت $K \gg 1$ فإن:

$$C_1 = C(1-K) \text{ و } C_2 \approx C.$$

تستعمل هذه النظرية في تبسيط حل الدارات الإلكترونية، عندما يوجد عنصر إلكتروني يربط الدخل بالخارج (مثل المكثفة C_{bc} في الترانزستور BJT بتشكيلة الباعث المشترك)، حيث تكافئ هذا العنصر بعنصرين أحدهما حصراً بدارة الدخل، والآخر حصراً بدارة الخرج.

مثال:

حساب ترددات القطع لدارة ترانزستور BJT بتشكيلة الباعث المشترك:



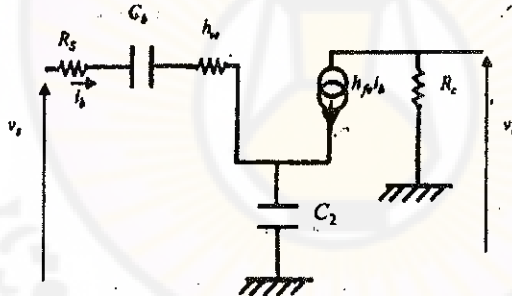
الشكل 15- أثر المكثفات الخارجية في ترددات قطع دارة الباعث المشترك

في الدارة المبينة بالشكل -15- دور المكثفة C_2 هو عزل تأثير إشارة الدخول في نقطة العمل (استقطاب) الترانزستور. أما دور المكثفة C_2 فهو أن يجعل الترانزستور كعامل مشترك، لأنه عند ترددات العمل للترانزستور نعتبر $R_e \ll |1/jC_2\omega|$ كما نعتبر مماثلة المكثفة صغيرة جداً ويمكن مكافئتها بدارة قصر short circuit. ولا ننسى أن الممانعة R_e التي وضعناها هي بُنية استقرار نقطة العمل.

طبعاً، بالنسبة إلى التيار المستمر تعتبر المكثفة دارة مفتوحة. وبين التيار المستمر وترددات عمل الترانزستور أي في حالة الترددات المنخفضة التي هي أقل من ترددات العمل يمكننا أن نعتبر أن:

$$R_e \parallel 1/jC_2\omega \approx 1/jC_2\omega$$

من جهة أخرى، يمكن اعتبار قيم R_{b1} و R_{b2} كبيرة جداً بحيث لنحمل تأثيرهما، وتصبح الدارة المكافئة للدارة المبينة بالشكل -15- كالآتي:



الشكل -16- الدارة المكافئة عند الترددات المنخفضة جداً لدارة الشكل -15-

يمكننا حساب تضخيم الفلظية لهذه الدارة من العلاقات التالية:

$$v_o = -h_{fe} i_b R_C$$

$$v_i = \left[\frac{1+h_{fe}}{jC_2\omega} + h_{ie} + \frac{1}{jC_1\omega} + R_s \right] i_b$$

$$\frac{1+h_{fe}}{jC_2\omega} + \frac{1}{jC_1\omega} = \frac{1}{jC\omega}; \quad h_{ie} + R_s = R \Rightarrow$$

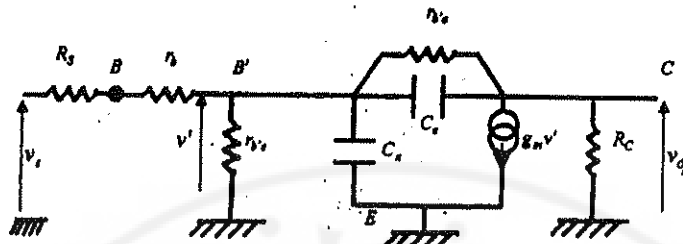
$$v_o = \left[R + \frac{1}{jC\omega} \right] i_b$$

$$A_{vs} = \frac{v_o}{v_i} = \frac{-h_{fe} R_C}{R} \frac{1}{1-j\omega RC} = \frac{A_0}{1-jf/f_f}; \quad f_f = \frac{1}{2\pi RC}$$

نلاحظ أنه عندما تزداد قيمة التردد كثيراً فإن A_{vs} تنتهي إلى $A_0 = -h_{fe} R_C / R$ وهي قيمة التضخيم A_{vs} التي تحسب بقطع النظر عن تأثير المكثفات. أما عندما ينخفض التردد f ويقترب من الصفر فإن A_{vs} يتناقص، ونحصل على شكل استجابة مرشح تمرير عالٍ من الدرجة الأولى بتردد قطع f_f .

نلاحظ أيضاً أن تردد القطع هذا هو تردد القطع لدارة RC المكثفة فيها هي C_b على التسلسل مع مكثفة مكافئة لتأثير C_2 (التيار المار بـ C_2 هو $i_c = i_b + i_e = (1+h_{fe})i_b$ والمماثلة هي ممانعة الدخل لدارة باعث مشترك h_{ie} على التسلسل مع ممانعة المنبع R_s).

أما في حالة الترددات العالية فلنأخذ في الحسبان تأثير المكثفين C_b و C_2 ونعتبران دائري قصر، ولكن يجب أخذ المكثفات الداخلية للترانزستور بعين الاعتبار. ولهذا الفرض نأخذ نموذج الترانزستور BJT عند الترددات العالية الذي عرضناه آنفاً، وتكون الدارة المكافئة هي المبينة بالشكل 17-17-



الشكل 17- الدارة المكافئة عند الترددات العالية لدارة الشكل 15-

مثال:

يعطي المصنع عند نقطة العمل $I_C = 5\text{mA}$ و $V_{CE} = 5\text{V}$ القيم التالية لمحددات الترانزستور:

$$f_T = 400\text{ MHz}, r_b = 100\Omega, C_c = 5\text{pF}, \beta = 50, r_{b'e} = 1\text{M}\Omega$$

نعمل تأثير $r_{b'e}$ لأنها كبيرة جداً. ونحسب قيمة r_e و $r_{b'e}$ و C_c

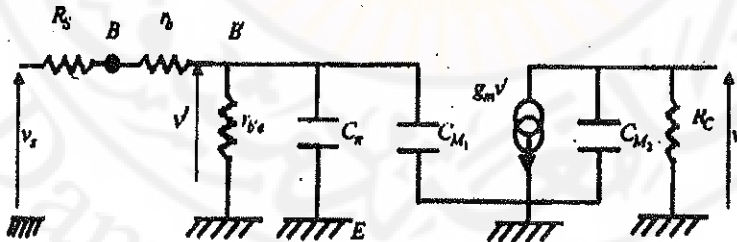
$$r_e = \frac{kT}{qI_E} = 50\Omega$$

$$r_{b'e} = \beta r_e = 250\Omega$$

$$C_c = \frac{1}{2\pi f_T r_e} - C_c = 74.6\text{pF}$$

نطبق نظرية ميلر ونكافئ المكثف C_c بالمتين الأولى C_{M1} في دارة الدخل والثانية C_{M2}

في دارة الخرج كما في الشكل 18-



الشكل 18- دارة الشكل 17- بعد تطبيق نظرية ميلر

$$C_{M1} = C_c (1 - A_v); C_{M2} = C_c (1 - 1/A_v)$$

$$A_v = \frac{v_o}{v_i} = - \left[R_C \parallel \frac{1}{jC_{M2}\omega} \right] g_m \approx -R_C g_m \gg 1 \Rightarrow$$

$$C_{M1} = C_c (1 + g_m R_C) \approx C_c g_m R_C$$

$$C_{M1} = C_c (1 + 1/g_m R_C) \approx C_c$$

في أغلب الأحيان فعمل تأثير C_{M2} إزاء R_C ونحسب A_v مع الأخذ بعين الاعتبار تأثير المكثفين C_{M2} و C_{M1} ونفرض $C_{M2} = C$.

$$A_{vs} = \frac{v_o}{v_s} = \frac{v_o}{v_i} \frac{v_i}{v_s} = (-g_m R_C) \frac{Z}{Z + R_s + r_b}$$

$$Z = r_{be} \parallel \frac{1}{jC_s\omega} \parallel \frac{1}{jC_{M1}\omega} = \frac{r_{be}}{1 + j r_{be} (C_s + C_{M1})\omega} \Rightarrow$$

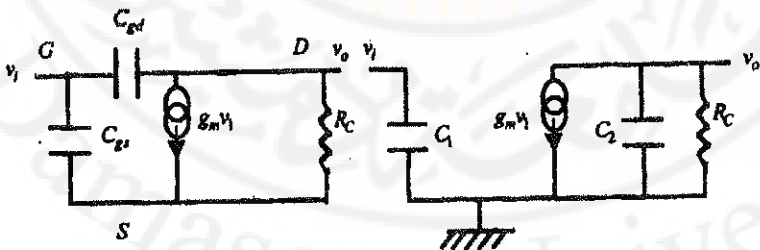
$$A_{vs} = (-g_m R_C) \frac{r_{be}}{r_{be} + (R_s + r_b)(1 + j r_{be} (C_s + C_{M1})\omega)}$$

ومن الواضح أن A_{vs} له شكل استجابة مرشح تمرير منخفض ويمكن كتابته بالشكل :

$$A_{vs} = \frac{A_0}{1 + j f / f_b}$$

f_b تردد القطع العالي. ونعتبر مجال تمرير المضخم هو المجال $[f_1, f_b]$.

إذا كان الترانزستور FET، فطريقة الحل وإيجاد الدارات المكافئة مشابه جداً لما سبق: عند الترددات العالية، نطبق نظرية ميلر لمكافئة المكثفة C_{gs} بمكثفين إحداهما في دارة الدخل، يضاف على التسلسل إلى المكثفة C_{gs} فينتج عنهما المكثفة C_1 . والثانية في دارة الخرج C_2 (انظر الشكل 19-).

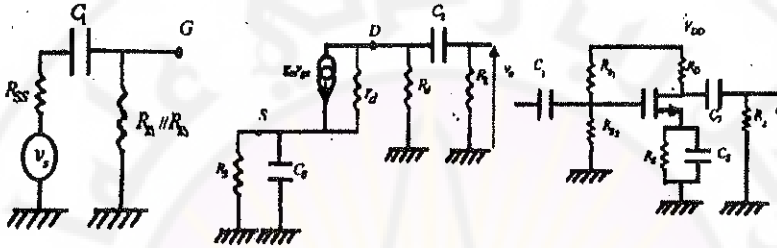


الشكل 19- ترانزستور FET عند الترددات العالية (أثر ميلر).

$$C_1 = C_{gs} + C_{gd}(1 + g_m R_L); \quad C_2 = C_{gd}\left(1 + \frac{1}{g_m R_L}\right)$$

و لحمل غالباً أثر C_2 إزاء R_L .

وعند الترددات المنخفضة، نطبق أيضاً طريقة مشابهة للطريقة التي اتبعناها في حالة الترانزستور BJT. على سبيل المثال، لنأخذ الدارة المبينة بالشكل -20-



الشكل -20- أثر المكثفات الخارجية في تردد قطع مضخم FET عند الترددات المنخفضة

$$v_g = \frac{R_{g1} \parallel R_{g2}}{R_{g1} \parallel R_{g2} + \left(R_S + \frac{1}{jC_1\omega}\right)} v_s$$

$$v' = v_{gs} = v_g - v_s$$

$$v_o = R_D i_o$$

$$v_d = -\left[\left(R_S + \frac{1}{jC_2\omega}\right) \parallel R_D\right] i_d = \left(R_S + \frac{1}{jC_2\omega}\right) i_o$$

ولدينا من جهة أخرى:

$$i_d = g_m v'$$

$$v_s = \left(R_S \parallel \frac{1}{jC_2\omega}\right) i_d$$

نستطيع من جميع هذه العلاقات حساب $A_{vs} = v_o / v_s$. يترك للطالب أن يتابع

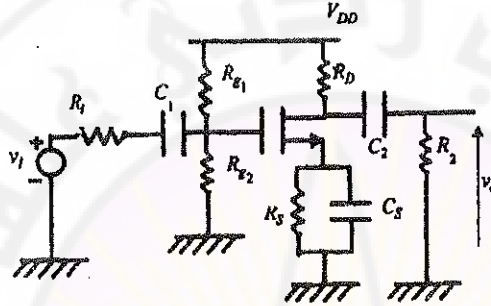
الحسابات لإيجاد A_{vs} .

تمارين الفصل الثاني

1- لدينا الدارة المبينة بالشكل التالي، وفيها:

$$R_D = 3.2 \text{ k}\Omega, R_S = 1.5 \text{ k}\Omega, R_2 = R_{B1} = R_{B2} = 1 \text{ M}\Omega, R_1 = 50 \text{ k}\Omega$$

$$C_1 = C_2 = C_S = 10 \mu\text{F}$$



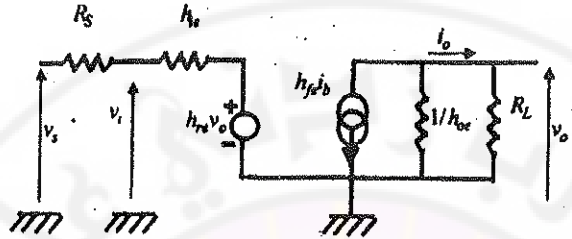
ولدينا للترانزستور المعامل: $r_d = 20 \text{ k}\Omega$, $g_m = 2 \times 10^{-3} \Omega^{-1}$ والمطلوب:

1- ارسم الدارة المكافئة في حالة الإشارات المتناوبة القصيرة المطال (لحمل تأثير المكثفات الداخلية للترانزستور، ونعتبر المكثفات الخارجية دارات قصور short-circuits)، واحسب تضخيم الفلطية A_v .

2- إذا كانت إشارات الدخل ذات ترددات عالية، فعلينا أن نأخذ المكثفات الداخلية للترانزستور C_{be} و C_{bc} و C_{es} بعين الاعتبار. ارسم الدارة المكافئة في هذه الحالة، ثم طبق نظرية ميلر لمكافئة المكثفة C_{bc} بأخرتين واحدة في دارة الدخل والثانية في دارة الخرج للترانزستور. ثم احسب A_v في هذه الحالة.

3- احسب A_{vs} (تضخيم للبطية لمنع الإشارة v_i) في الحالتين السابقتين.

2- لدينا دائرة مضخم باحث مشترك بسيطة، نربط دخلها إلى مولد إشارة متناوبة V_s ذي ممانعة داخلية R_s ونربط مخرجه إلى ممانعة حمل R_L . لانهمل أيًا من موسطات الترانزستور المهجنة. فكون الدارة المكافئة عند الإشارات المتناوبة كما هو مبين في الشكل التالي:



والمطلوب: أثبت أن:

$$A_i = -\frac{h_{fe}}{1 + h_{oe}R_L}$$

$$R_i = h_{ie} + h_{fe}A_iR_L$$

$$A_v = \frac{R_L}{R_i}A_i$$

$$Y_o = \frac{1}{R_o} = h_{oe} - \frac{h_{fe}h_{re}}{h_{ie} + R_s}$$

3- لدينا دائرة مضخم الترانزستور FET المبينة بالشكل (أ) التالي، يمكن أن نعتبر المخرج على المنبع V_{O2} أو على المصرف V_{O1} . والمطلوب:

1- ارسم الدارة المكافئة عند الترددات المنخفضة. وبين عليها المخرجين السابقين.

$$2- \text{أثبت أن } i_d = \frac{\mu v_i}{r_d + R_D + (\mu + 1)R_s}$$

3- أثبت أنه يمكن مكافأة الدارة السابقة بالدارة المبينة بالشكل (ب) في حالة المخرج V_{O2} وبالدارة المبينة بالشكل (ج) في حالة المخرج V_{O1} . (تحقق أن علاقة i_d تبقى صحيحة وكذلك علاقة فلطية المخرج ٤).

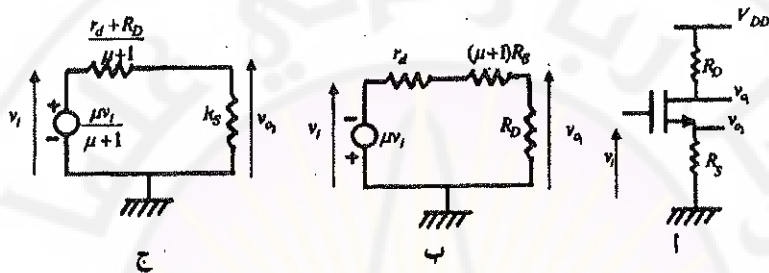
4- استنتج من هذه الأشكال المكافئة ليم التضخيم $A_{v1} = V_{O1}/V_i$ و

$$A_{v2} = V_{O2}/V_i$$

5- استنتج من الطلب السابق تضخيم الفلطة في حالة تشكيلة المنبع المشترك

(حساب A_{v1} حين $R_S = 0$) وتضخيم الفلطة في حالة تشكيلة المصرف المشترك

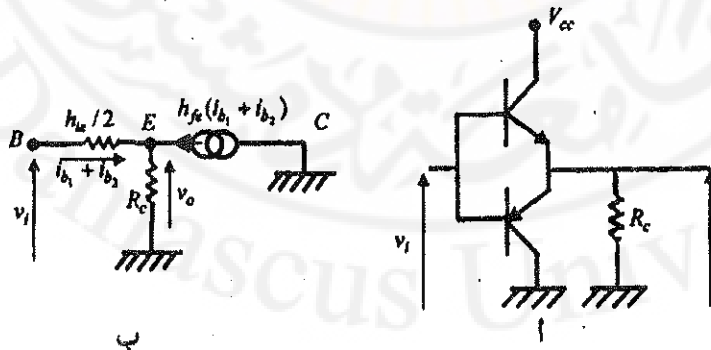
(حساب A_{v2} حين $R_D = 0$).



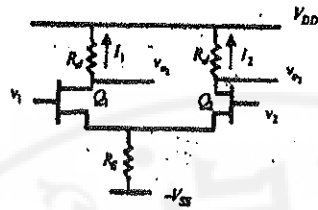
4- الدارة المبينة بالشكل (أ) التالي هي إحدى تشكيلات مضخم الاستطاعة push-pull التي تستعمل مرحلة نهائية في مضخم العمليات. نفترض أن الترانزستورين متماثلان في موسطاقما. والمطلوب:

1- بين أن الدارة المبينة بالشكل (ب) مكافئة لمضخم الشكل (أ).

2- احسب من الشكل المكافئ هذا، تضخيم الفلطة $A_v = V_O/V_i$ ، وممانعة الدخل V_i/I_i حيث تيار الدخل يساوي مجموع تيارَي القاعدة للترانزستورين.



5- نأخذ دائرة المضخم التفاضلي بالترانزستورات FET المبينة بالشكل التالي:



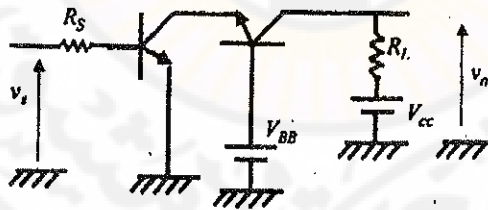
1- نفترض $V_2=0$. أوجد التيار I_2 بدلالة V_1 برسم الدائرة المكافئة مستفيداً من نتائج المسألة 3- السابقة والنظر إلى اليسار في منبع Q_1 وإلى اليمين في منبع Q_2 . نفترض R_S كبيرة بقدر كافٍ.

2- برهن أن $V_{O1} = V_{O2}$ ومن ثم أن الدائرة عاكسة للطور.

3- إذا كان $V_2=0$ و $R_D=R_S=15k\Omega$ و $R_S=2k\Omega$ و $\mu=24$ ونسأخذ الخارج V_{O2} ، أوجد تضخيم الفلطية وممانعة الدخل في هذه الحالة (احسب مكافئ مولد الفلطية بين طرفي R_S : فرق الكهون المكافئ والممانعة المكافئة).

4- نفترض $V_1 \neq V_2$ و $R_S \neq \infty$ احسب $V_{O2} = A_1 V_1 + A_2 V_2$. ثم برهن أنه إذا كانت $R_S = \infty$ فإن $A_1 = -A_2$ و $V_{O2} = A_1(V_1 - V_2)$.

6- نأخذ دائرة كاسكود CE-CB بترانزستورين BJT متماثلين.



1- ارسم الدائرة المكافئة عند الترددات المنخفضة، واحسب لكسل مرحلتي ثم للمضخم الناتج كلاً من: تضخيم الفلطية A_v وتضخيم التيار A_i وممانعة الدخل وممانعة الخرج.

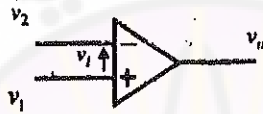
2- نفترض أن إشارة الدخل الآن ذات ترددات عالية بحيث نأخذ المكثفات الداخلية للترانزستورات. أعد رسم الدارة المكافئة، وطبق نظرية ميلر على المكثفات التي تربط الدخل بالخارج في كل مرحلة (لكل ترانزستور). بين دور مرحلة القاعدة المشتركة في التخفيف من أثر المكثفات الداخلية للترانزستورات.



مضخم العمليات وتطبيقاته

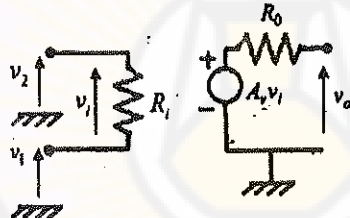
3-1 المضخم التفاضلي:

يُعدُّ مضخمُ العمليات الدارة التكامليَّة الحلقية الأساسيَّة لكثير من التطبيقات الإلكترونيَّة. وهو مضخمٌ بدخلين وخرجٌ وحيد. والخرج هو ناتج تضخيم إشارة الفرق بين الدخلين. حيث $v_o = A_v v_i$ حيث A_v كبير جداً.



الشكل -1- مضخم العمليات

الدارة المكافئة لهذا المضخم هي المهيئة في الشكل -2-



الشكل -2- الدارة المكافئة لمضخم العمليات

الحالة المثالية: $A_v = \infty$, $R_o = 0$, $R_i = \infty$. إضافة إلى ذلك، فإنه مهما تكن قيم فلطية الدخل (موجبة أو سالبة) فإن تساويها يؤدي إلى انعدام فلطية الخرج أي:

$$v_1 = v_2 \Rightarrow v_o = 0$$

ويُعدُّ المضخم التفاضلي الذي يمثل المرحلة الأولى (مرحلة الدخل) في مضخم العمليات، العنصر الأساسي فيه. والفكرة الأساسية الكامنة وراء مضخم العمليات، هي تصميم مضخم يحقق علاقة من الشكل:

$$v_o = A(v_1 - v_2)$$

في الحقيقة، في حال أي مضخم بدخولين يمكننا أن نكتب الخرج كتابع f للدخولين أي: $v_o = f(v_1, v_2)$. ونريد أن يكون هذا التابع تابعاً خطياً للفرق بين الفلطين فقط.

نسمي المقدار $v_c = (v_1 + v_2)/2$ فلطية النمط المشترك Common mode voltage. كما نسمي المقدار $v_d = (v_1 - v_2)$ فلطية النمط التفاضلي Differential mode voltage.

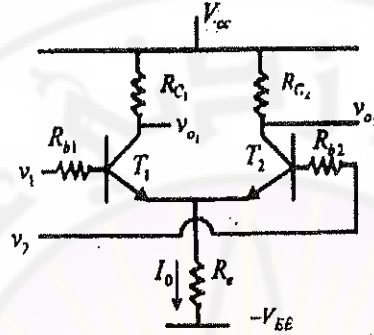
نفترض مبدئياً أن f تابع خطي لكل من v_1 و v_2 أي: $v_o = A_1 v_1 + A_2 v_2$ فنستدل يمكننا أن نكتب أيضاً: $v_o = A_d v_d + A_c v_c$ وبالمطابقة نجد: $A_c = A_1 + A_2$ و $A_d = (A_1 - A_2)/2$.

نسمي A_d تضخيم النمط التفاضلي، و A_c تضخيم النمط المشترك. ولكي نحصل على مضخم تفاضلي يجب أن يكون A_d كبيراً، و A_c ينتهي إلى الصفر. نسمي النسبة $\rho = |A_d / A_c|$ نسبة رفض النمط المشترك CMRR: Common Mode Rejection Ratio. وكلما كانت هذه النسبة مرتفعة كان أداء المضخم التفاضلي أفضل. وبأخذ هذه النسبة بعين الاعتبار تصبح العلاقة:

$$v_o = A_d v_d \left(1 + \frac{1}{\rho} \frac{v_c}{v_d} \right)$$

2-3-2 التنفيذ العملي للمضخم التفاضلي

أما التنفيذ العملي لمثل هذه المضخمات، فيمكن أن يكون، على سبيل المثال، بسالدارة المهيئة في الشكل 3-3-



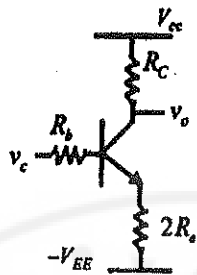
الشكل 3-3- دائرة عملية لمضخم تفاضلي.

لنفترض أن الترانزستورين متماثلين، وأن المقاومات المتناظرة متماثلة، ولنحسب تضخيم النمط المشترك، وتضخيم النمط التفاضلي لهذه الدارة.

1-2-3 تضخيم النمط المشترك A_c .

لنفترض أن $v_1 = v_2 = v_s (= v_e)$. ولنفترض أن قيمة المقاومة R_e كبيرة جداً بحيث يمكن اعتبار التيار المار فيها معدوماً. وبسبب تناظر الدارة فإن: $|i_{e1}| = |i_{e2}|$ و $I_o = -i_{e1} - i_{e2} = -2i_{e1}$. ومن ثم فإن الدارة تكافئ ترانزستوراً وحيداً مع بماعة $2R_e$ في الباعث (انظر الشكل 4-3). يمكن حساب التضخيم لهذه الدارة بسهولة وهو تضخيم النمط المشترك:

$$A_c = \frac{-h_{fe} R_c}{R_b + h_{ie} + (1 + h_{fe}) 2R_e}$$



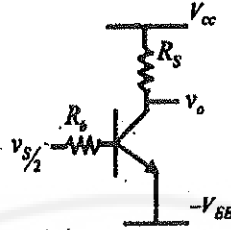
ولأن R_c كبيرة جداً فإن $A_c \rightarrow 0$.

لنفترض أن $v_1 = -v_2 = v_s/2$ (ومن ثم فإن $v_1 - v_2 = v_s$). وبسبب التناظر يكون لدينا $I_{e1} = -I_{e2}$ (أي سيكونان بالجهة نفسها)، ويكون $I_o = 0$. وبالتالي يكون هبوط الكمبون في R_e معدوماً لانهاء تيارها؛ وعلى هذا فإن الدارة المكافئة هي المبينة في الشكل -5-.

ويمكن حساب التضخيم لهذه الدارة بسهولة وهو تضخيم النمط التفاضلي:

$$A_d = \frac{-h_{fe}R_C}{R_b + h_{ie}} = \frac{v_{ol}}{v_i} = \frac{v_{ol}}{v_s/2}$$

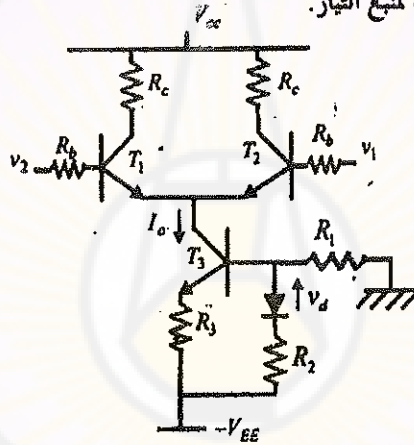
52



الشكل 5- الدارة المكافئة لدارة الشكل 3- بالنمط التفاضلي

3-2-3 منبع التيار ومرايا التيار

من وجهة نظر عملية: بدلاً عن وضع R_c كبيرة، نحتل حيزاً كبيراً في الدارات المتكاملة و ترتفع حرارتها إذا مر فيها تيار شديد، فإننا نضيق منبعاً للتيار. وبين الشكل 6- إحدى التشكيلات الممكنة لمنع التيار.



الشكل 6- إحدى تشكيلات منبع التيار للمضخم التفاضلي

ويمكن حساب التيار كما يلي:

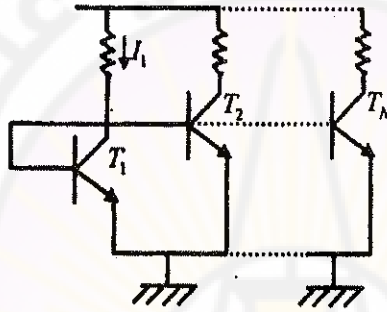
$$I_3 R_3 + v_{BE3} = v_D + (v_{BE} - v_D) \frac{R_2}{R_1 + R_2}$$

$$I_o \approx I_3 = \frac{1}{R_3} \left(\frac{v_{BE} R_2}{R_1 + R_2} + \frac{v_D R_1}{R_1 + R_2} - v_{BE3} \right)$$

أي: $I_o \approx \frac{1}{R_3} \left(\frac{v_{BE} R_2}{R_1 + R_2} \right)$ ويساوي تقريباً قيمة ثابتة، وذلك إذا اعتبرنا أن $R_1 \gg R_2$ وعلى هذا يكون:

$$\frac{v_D R_1}{R_1 + R_2} - v_{BE3} \rightarrow 0$$

يمكننا أيضاً أن نأخذ منبعاً خارجياً للتيار ونحصل منه على نسخة أخرى (تيار مساوٍ لسه) أو عدة نسخ. نسمي هذه التقنية بمرايا التيار. ولنأخذ على سبيل المثال الدارة المبينة في الشكل -7-



الشكل -7- مثال لدارة مرايا التيار

لنفترض بداية أن $N=2$ وأن الترانزستورين T_2 و T_1 متماثلان. إضافة إلى ذلك، فإن $v_{E1} = v_{E2}$ و $v_{B1} = v_{B2}$ ولهذا فالترانزستورين نقطة العمل نفسها ومن ثم فإن:

$$I_{C1} = I_{C2} = I_C$$

$$I_1 = I_{C1} + I_{B1} + I_{B2} = I_C + \frac{2I_C}{\beta} \Rightarrow I_C = \frac{\beta I_1}{\beta + 2} \approx I_1$$

فإذا كان لدينا N ترانزستوراً على التفرع (قواعدها موصولة إلى نقطة واحدة، وبواعثها موصولة إلى نقطة أخرى)، نحصل على N نسخة من هذا التيار. ويكون لدينا:

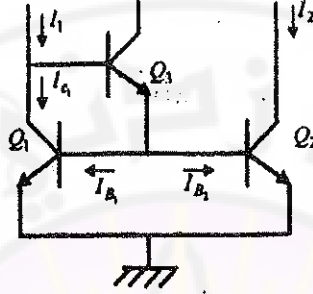
$$I_{C1} = I_{C2} = \dots = I_{CN} = I_C$$

$$I_1 = I_C + NI_B = I_C + \frac{NI_C}{\beta} \Rightarrow I_C = \frac{\beta I_1}{\beta + N} \approx I_1$$

ولكن التقريب يسوء مع ازدياد قيمة N .

تمرين:

لتأخذ الدارة المبينة في الشكل -8-. بين لها دائرة مرآة تيار، وأثبت لها الفصل من الدارة المدروسة آنفاً.



الشكل -8- دائرة مرآة تيار محسنة

الحل: نفرض أن الترانزستورات متماثلة. للترانزستورين Q_1 و Q_2 نقطة العمل نفسها:

$$I_{E3} = (\beta + 1)I_{B3} = 2I_{B1}$$

$$I_1 = I_{C1} + I_{B3}$$

$$I_1 = \beta I_{B1} + \frac{2I_{B1}}{\beta + 1}$$

$$I_2 = \beta I_{B2} = \beta I_{B1} \Rightarrow$$

$$I_1 = \frac{\beta(\beta + 1) + 2}{\beta(\beta + 1)} I_2 \approx \frac{\beta^2}{\beta^2} I_2$$

3-3 المنحنيات المميزة للمضخم التفاضلي

إن قيمة التيار I_0 (منبع التيار الموجود في المضخم التفاضلي) هي مجموع تيارَي الباعث

للترانزستورين (انظر الشكل -3-): أي:

$$I_0 = I_{E1} + I_{E2}$$

من جهة أخرى فإن:

$$V_{B1} = V_{B2} = V_{BE1} - V_{BE2}$$

ونعلم أن علاقة تيار الباعث بالفلطية v_{BE} لكل من الترانزستورين هي علاقة أسية (علاقة تيار وصلة الديود B-E بالفلطية المطبقة عليها)، أي إن:

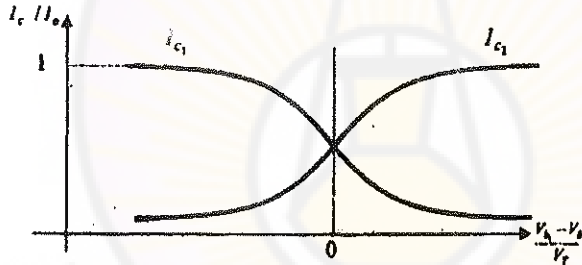
$$I_E = I_S e^{\frac{v_{BE}}{V_T}} ; V_T = \frac{kT}{q}$$

وبتقريب جيد يمكننا أن نكتب العلاقة التالية: $I_E = -I_C$. وبذلك نستطيع استنتاج العلاقتين التاليتين:

$$\frac{I_{E1}}{I_{E2}} = e^{\left(\frac{v_{E1} - v_{E2}}{V_T}\right)}$$

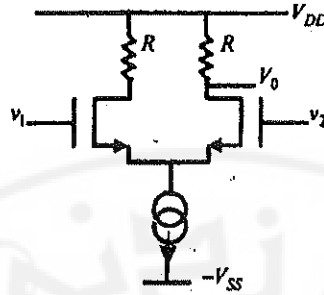
$$I_{E1} + I_{E2} = -I_O$$

وبحل هاتين المعادلتين وملاحظة أن $I_E = -I_C$ لكل من الترانزستورين، نستطيع استنتاج قيمة I_{C1} و I_{C2} بدلالة $v_{B1} - v_{B2}$ ونستطيع رسم هذه المنحنيات (انظر الشكل 9-).

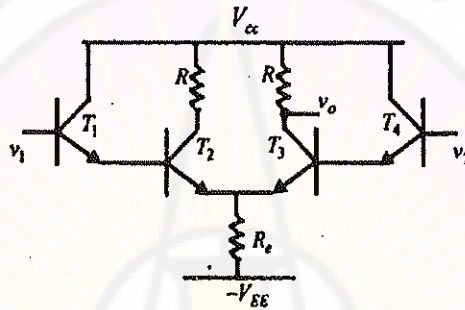


الشكل 9- رسم المنحنيات المميزة للمضخم التفاضلي.

وبغية تحسين أداء مضخم العمليات المبني على المضخم التفاضلي، نحاول رفع ممانعة الدخل. ولهذا الغرض إما أن نستعمل ترانزستورات FET بدل الترانزستورات BJT كما في الشكل 10- وهذا الحل يرفع ممانعة الدخل، لأن تيار البوابة قريب من الصفر، إلا أن هذا الحل يضيق حزمة تمرير المضخم. أو أن نستعمل أربعة ترانزستورات BJT في الدخل بدل ترانزستورين، بتشكيلة دارلنغتون. وهذا الحل يرفع ممانعة الدخل مع الحفاظ على حزمة تمرير عريضة. انظر الشكل 11-



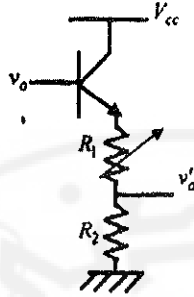
الشكل-10- رفع ممانعة الدخل للمضخم التفاضلي باستعمال ترانزستورات FET



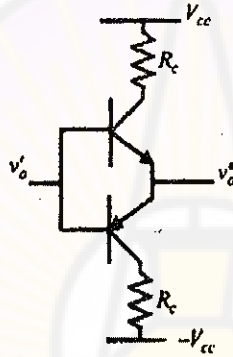
الشكل-11- رفع ممانعة الدخل للمضخم التفاضلي باستعمال ترانزستورات BJT بتشكيلة دارلنغتون

ملاحظة:

في مضخم العمليات، يلي مرحلة التضخيم التفاضلي مرحلة تضخيم عادية، لتضخيم خرج هذا المضخم. ولكي نحصل على خرج صفري عندما يتساوى الدخلان التفاضليان، غالباً ما نضطر إلى مرحلة إزاحة للطية كما في المثال المبين في الشكل -12- . أما مرحلة الخرج الأخيرة فتكون من مضخم استطاعة من التشكيلة (دفع-جذب) Push-Pull وذلك لتوفير الاستطاعة والتيار اللازمين لحمل الخرج، إضافة إلى توفير ممانعة خرج صغيرة (خرج الدفع-جذب من التشكيلة مجمع مشترك) انظر الشكل -13- .



الشكل -12- مثال على مرحلة إزاحة الفلطية في مضخم العمليات.



الشكل -13- مثال عن مرحلة الخرج في مضخم العمليات.

3-4- تطبيقات مضخم العمليات:

نعود فنذكر بالدارة المكافئة لمضخم العمليات المبينة في الشكل -2-. ونذكر أنه في الحالة المثالية يكون: $R_o = 0$, $R_i = \infty$, $A_v = \infty$, عرض حزمة التمرير الترددية ∞ . إضافة إلى ذلك: $i_+ = i_- = 0$, $v_+ = v_- = e \rightarrow 0$.

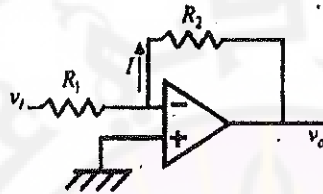
لذا اعتبرنا مضخم العمليات، من الآن فصاعداً، علة مغلقة تتسم بالخواص المذكورة في الحالة المثالية؛ نستطيع دراسة عدد كبير من التطبيقات العملية لهذا العنصر الإلكتروني الهام.

3-4-1 دارات أساسية:

المضخم العاكس و منبع التيار: انظر الشكل -14-. لما كان تيار الدخل للمضخم معدوم، وكان $v_+ = v_-$ فإن $v_+ = 0V$. لذا اعتبرنا التيار المار في الممانتين R_1 و R_2 هو I

$$I = -\frac{v_i}{R_1} = \frac{v_o}{R_2} \Rightarrow v_o = -\frac{R_2}{R_1} v_i$$

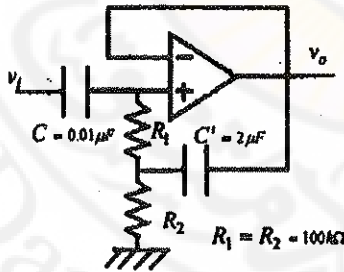
لأن: $v_o = -v_i$ فإن $R_1 = R_2$ إذا كانت



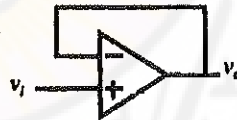
الشكل -14- المضخم العاكس

من جهة أخرى، إذا كانت R_2 ممانعة حمل ما، فيمكن التحكم في التيار المار فيها عبر فلتية الدخل v_i ومن ثم يمكن اعتبار هذه البذارة منبع تيار متحكم فيه بفلتية.

المضخم العازل: ويستخدم لنقل إشارة بين دارتين بحيث لا تؤثر أي من الدارتين في الأخرى. لذلك نعتبره دائرة عزل. يبين الشكل -15- إحدى تشكيلات هذا المضخم، وتشكيلة أخرى لتضخيم الإشارات المتناوبة فقط وإيقاف الإشارات المستمرة. $v_i = v_o$ ومع ذلك فإن v_i ترى ممانعة دخل مضخم العمليات الكبيرة جداً التي لا تؤثر فيها، و v_o ترى ممانعة مخرج مضخم العمليات الصغيرة جداً على التسلسل معها فلا تتأثر بها.



ب



أ

الشكل -15- المضخم العازل

(أ) لإشارة لا على التبعين (ب) لتعريف الإشارة المتناوبة فقط

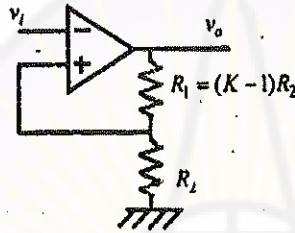
—مولد فلطية متحكم به بفلطية: إذا أخذنا الدارة المبينة في الشكل-16— وباعتبار أن تيار الدخول لمضخم العمليات معدوم لمجد $v_+ = v_-$ ، و ترتبط v_- بفلطية الخرج v_o بعلاقة تقسيم فلطية أي:

$$v_- / v_o = R_2 / (R_1 + R_2)$$

ولكن $v_- = v_+ = v_i$ ومن ثم:

$$\frac{v_i}{v_o} = \frac{R_2}{R_1 + R_2} = \frac{R_2}{KR_2} = \frac{1}{K}$$

ولذا يكون: $v_o = K v_i$. أي إننا نتحكم في قيمة فلطية الخرج v_o عبر فلطية الدخول v_i .



الشكل-16— مولد فلطية متحكم فيه بفلطية.

3-4-2- الحساب التماثلي:

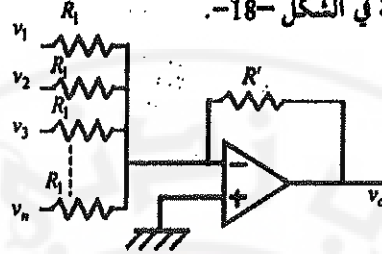
—المضخم الجامع: إذا أخذنا الدارة المبينة في الشكل-17— وباعتبار أن تيار الدخول لمضخم العمليات معدوم و أن $v_+ = v_-$ ، فإن التيار المار في الممانعة R' هو مجموع التيارات المارة في الممانعات $R_1, R_2, \dots, R_n$ أي يمكننا أن نكتب:

$$\sum_i \frac{v_i}{R_i} = -\frac{v_o}{R'}$$

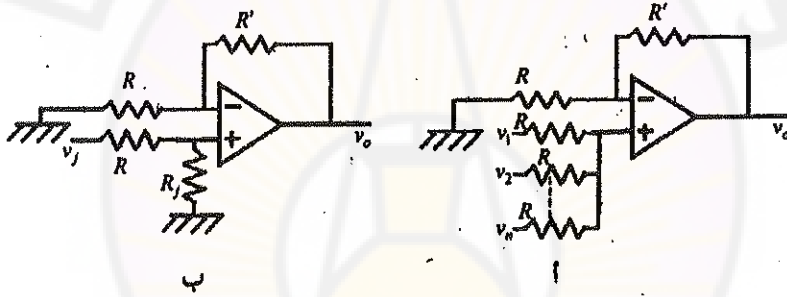
فإذا كانت جميع الممانعات R_i متساوية وتساوي R ، فعندها يكون:

$$v_o = -\frac{R'}{R} (v_1 + v_2 + \dots + v_n)$$

ومنه فإن فلطية الخرج تابع لمجموع فلطيات الدخول بعلاقة خطية (مع قلب في الظور لأن العلاقة مسبوقة بإشارة ناقص). فإذا أردنا أن نتخلص من قلب طور الناتج فيمكن اعتماد الدارة المبينة في الشكل -18-.



الشكل -17- مضخم جامع معكوس.



الشكل -18- (أ) مضخم جامع

(ب) الدارة المكافئة حين تكون جميع الدخول معلومة إلا دخلاً واحداً v_j مثلاً.

في هذه الدارة تربط فلطية الخرج v_o بالفلطة v_j بالعلاقة:

$$v_j / v_o = R / (R + R')$$

من جهة أخرى يمكننا حساب الفلطة v_+ بالتراكب. لنحسب v_+ الناتجة عن دخل وحيد v_j مثلاً، ولنسمه v_{j+} (بقية فلطيات الدخول معلومة). لأن هناك $n-1$ دخلاً معلوماً.

$$v_{j+} = \frac{R_j}{R_j + R} v_j = \frac{\frac{R}{n-1} v_j}{\frac{R}{n-1} + R} = \frac{v_j}{n} \Rightarrow$$

$$v_+ = \frac{1}{n} \sum_j v_j = v_- = \frac{R}{R + R'} v_o \Rightarrow$$

$$v_o = (1 + \frac{R'}{R}) \frac{1}{n} \sum_j v_j$$

ونلاحظ هنا أن الجمع يجري بإشارة زائد ومن ثم لا يوجد قلب للطور.

- المضخم الطارح: لناخذ الدارة المبينة في الشكل 19- (أ)، بسبب العنداد تيارات الدخل للمضخم التفاضلي، فإن هناك مقسم للقطعة (مجزئ كمون) عند كل من v_+ و v_- المتساويين، وعلى هذا يمكننا أن نكتب العلاقات التالية:

$$v_+ = \frac{R_4}{R_4 + R_3} v_1$$

$$\frac{v_o - v_-}{v_- - v_2} = \frac{R_2}{R_1}$$

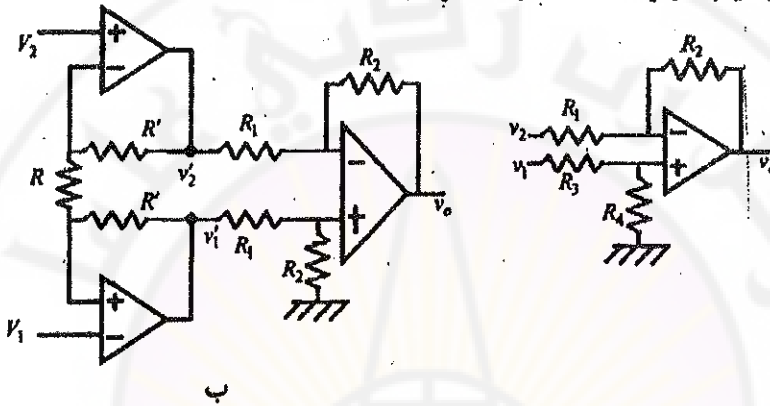
$$\Rightarrow \frac{v_o - \frac{R_4}{R_4 + R_3} v_1}{\frac{R_4}{R_4 + R_3} v_1 - v_2} = \frac{R_2}{R_1}$$

$$\Rightarrow v_o = \frac{R_2}{R_1} \left(\frac{R_4}{R_4 + R_3} v_1 - v_2 \right) + \frac{R_4}{R_4 + R_3} v_1$$

فإذا كانت $R_1 = R_3$ و $R_2 = R_4$ فإن: $v_o = \frac{R_2}{R_1} (v_1 - v_2)$ أي إن للقطعة المخرج هي

نتج تضخيم الفرق بين إشارتي الدخل. ونرى في هذه الدارة أن للقطعة الدخل v_1 تسرى الممانعة $R_3 + R_4$ إضافة إلى ممانعة منبعها الداخلية، فإذا كانت هذه القطعة معنومة فإن v_2 ترى الممانعة R_1 إضافة إلى ممانعة منبعها في الدخل.

لذلك لفصل الدارة المبينة في الشكل 19- (ب) والتي يرى فيها كل من متبقي إشارات الدخل بممانعة عالية جداً هي ممانعة دخل مضخم العمليات، إضافة إلى "نسبة رفض نمط مشترك" عالية. في هذه الدارة، نجد وضوحاً أن $v_o = \frac{R_2}{R_1}(v_1 - v_2)$. ويمكن حساب كل من v_1 و v_2 بدلالة v_1 و v_2 بالتراكب..



الشكل 19- (أ) مضخم طارح
(ب) نسخة مجهزة تستعمل في تجهيزات القياس.

$$\text{فإذا كان } v_1=0 \text{ فإن } v_2' = \frac{R+R'}{R}v_2 - \frac{R'}{R}v_1 \text{ (تحقق من العلاقة)}$$

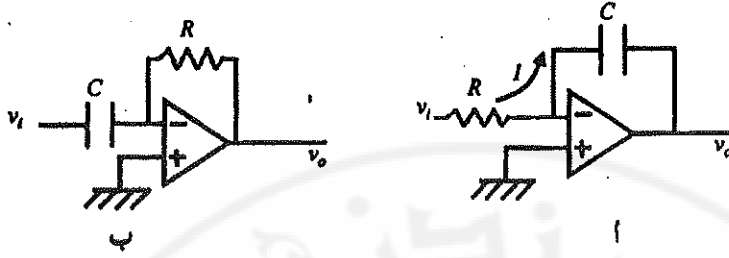
$$\text{وإذا كان } v_2=0 \text{ فإن } v_1' = \frac{R+R'}{R}v_1 - \frac{R'}{R}v_2 \text{ وبالنسبة نجد:}$$

$$v_1' - v_2' = (1 + \frac{2R'}{R})(v_1 - v_2)$$

-المضخم المكامل والمضخم المفاضل: إذا أخذنا دائرة المضخم العاكس المبينة في الشكل

14- واستعنا في كل مرة من إحدى الممانعتين بمكثفة، فإننا نحصل على مكامل أو

مفاضل كما هو مبين في الشكل 20-



الشكل -20- (أ) مضخم مكامل، (ب) مضخم مفاضل.

ففي الدارة (أ)، يمكننا كتابة علاقات التيار المار في المعالجة والمكثفة كما يلي:

$$I = \frac{v_i}{R} = -\frac{v_o}{\frac{1}{jC\omega}} = -jC\omega v_o = -C \frac{dv_o}{dt}$$

$$\Rightarrow v_o = -\frac{v_i}{jC\omega R} \Rightarrow v_o = \left(-\frac{1}{RC}\right) \int v_i dt$$

وبطريقة مشابهة يمكننا حساب علاقة فلطية الخرج بفلطية الدخل للدارة (ب) فنجد:

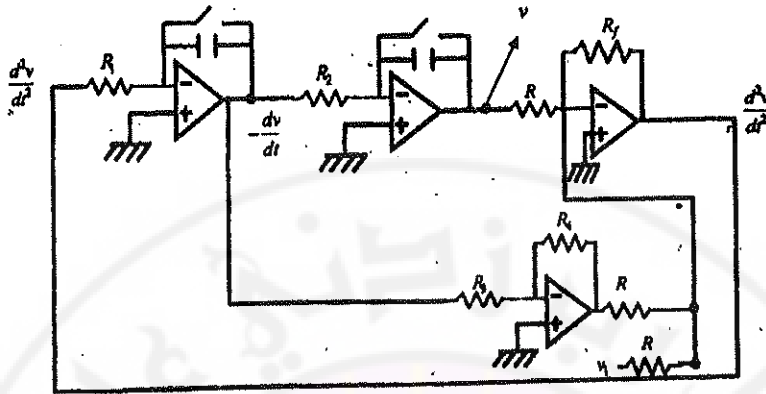
$$v_o = -RC \frac{dv_i}{dt}$$

ملاحظة:

يمكن استعمال مجموعة الدارات السابقة في حل المعادلات التفاضلية التماثلية، فإذا كانت لدينا معادلة تفاضلية من الشكل:

$$\frac{d^2 v}{dt^2} + K_1 \frac{dv}{dt} + K_2 v = V_1$$

وكانت $V_1(t)$ إشارة معلومة (مخرج مجس sensor على سبيل المثال)، وكانت الثوابت K_1 و K_2 معلومة، فيمكننا إيجاد الإشارة $v(t)$ التي هي حل المعادلة التفاضلية السابقة بدارة كالمبينة في الشكل -21- (تحقق من ذلك! الفرح تعديلاً في الدارة بحيث نحصل على الحل بتشكيلة أخرى من الدارات)

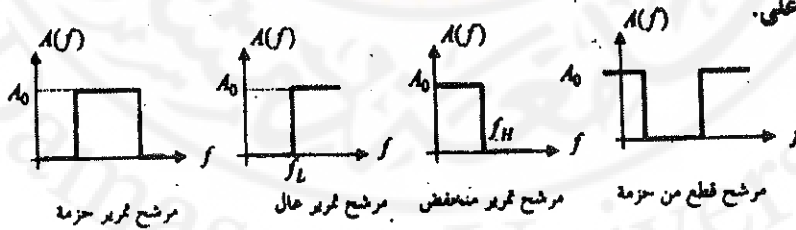


الشكل-21- حل معادلة تفاضلية تماثلية.

مهمة القواطع التي هي على التوازي مع مكثفات المكاملات، لتبريق شحنات المكثفات لي بداية أخذ الإشارة على الخرج (جعل ثابت التكامل معدوماً).

3-4-3 المرشحات الفعالة

لن يكون دور مهندس المعلوماتية تصميم مرشحات فعالة باستعمال مضخم العمليات وعناصر غير فعالة من ممانعات ومكثفات. ولكن إن احتاج إلى ذلك، فهناك تشكيلات قياسية لمرشحات فعالة (تمرير منخفض أو عال أو تمرير حزمة أو قطع من حزمة)، وهناك مراجع تمكنه من تصميم المرشحات بالمواصفات التي يريد، وباعتماد عناصر ترشيح قياسية من الدرجة الأولى أو الثانية، نضع عدداً منها على التسلسل إذا أردنا درجات أعلى.



الشكل-22- أشكال الاستجابة الترددية للمرشحات

في إطار كتابنا الحالي سنكتفي بالذكر بأشكال الاستجابة الترددية لهذه المرشحات (انظر الشكل -21-)، كما نذكر بأن توابيع التحويل لمرشحات التمرير المنخفض من الدرجة الأولى والثانية (باعتبار متحول لابلاس $s = j\omega$) هي على التوالي:

$$A_v(s) = \frac{A_0}{s+a} \quad \text{و} \quad A_v(s) = \frac{A_0}{s^2+as+b}$$

وأن تمويض s بالمتحول $1/s$ يحولنا من مرشح تمرير منخفض إلى مرشح تمرير عالٍ.

أما مرشحات تمرير الحزمة والقطع من الحزمة فهي حكماً من الدرجة الثانية على الأقل (يمكن اعتبار كل منها مجموعة مرشحين أحدهما "مرشح تمرير منخفض" والآخر "مرشح تمرير عالٍ"، وحسب ترددات قطعهما لحصل على مرشح تمرير حزمة أو قطع من حزمة) لتوابيع التحويل لمرشح تمرير حزمة من الشكل:

$$A_v(s) = \frac{A_0 s}{s^2 + as + b}$$

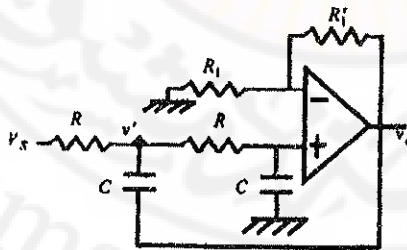
أما لمرشح القطع من الحزمة فهو من الشكل:

$$A_v(s) = \frac{A_0 (s^2 + c)}{s^2 + as + b}$$

يعرض المثال التالي تصميماً لمرشح، نحسب تايغ استجابته ونعين نوعه.

مثال:

لنأخذ الدارة المبينة في الشكل -23- التالي،



الشكل -23- مثال لدارة مرشح لعال

نلاحظ أن:

$$v_- = \frac{R_1}{R_1 + R_1'} v_o$$

$$v_+ = \frac{1}{1 + j\omega RC} v'$$

$$v' - v_+ = \frac{R}{R + 1/j\omega C} (v_o - v_+)$$

ومن علاقة مجموع التيارات عند العقدة v' نجد العلاقة:

$$\frac{v_o - v'}{R} + \frac{v_o - v'}{1/j\omega C} = \frac{v'}{R + 1/j\omega C}$$

ومن جميع هذه المعادلات وبملاحظة أن $v_+ = v_-$ نجد العلاقة التالية:

$$\frac{v_o}{v_i} = \frac{A_0}{(Rj\omega C)^2 + (3 - A_0)(Rj\omega C) + 1}$$

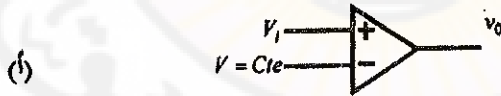
ولرى وضوحاً أن تابع الاستجابة هو لمربع تمرير منخفض من الدرجة الثانية.

3-4-4 تطبيقات غير خطية:

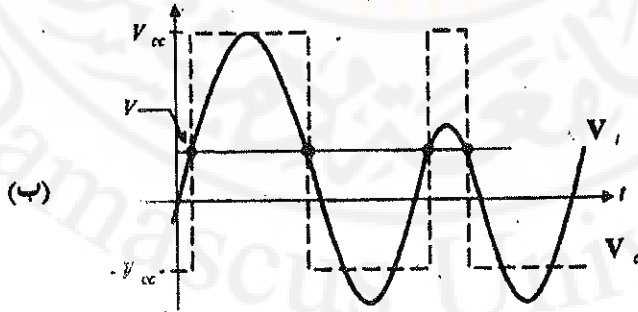
-المقارن: لناخذ ببساطة مضخم العمليات ولنضع على دخله الموجب إشارة دخل

معتبرة v_i ، وعلى دخله السالب للظيفة مرجعية ثابتة V . كما هو مبين في

الشكل 24- (أ).



(أ)



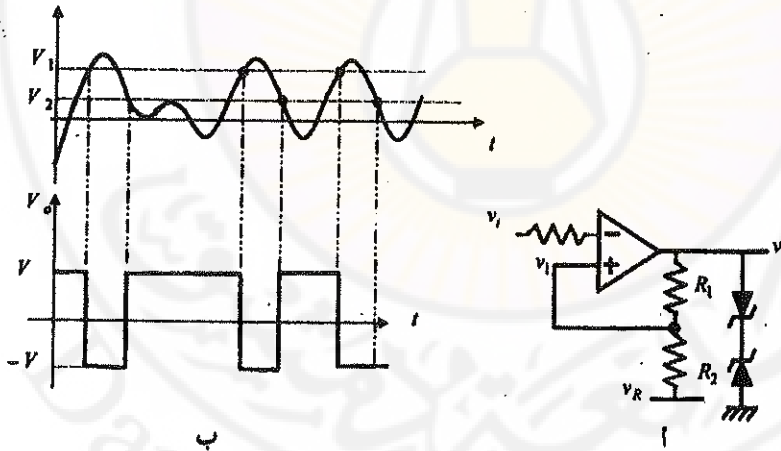
(ب)

الشكل 24- (أ) دائرة مقارن، (ب) المخطط الزمني لإشارتي الدخل واخراج.

لما كان التضخيم لا نهائياً فإنه حين يكون $v_i > V$ يذهب v_o إلى أقصى قيمة مرجحة له، وهي فلطية التغذية الموجبة V_{CC} . وعلى العكس، حين يكون $v_i < V$ يذهب v_o إلى أقصى قيمة سالبة له وهي فلطية التغذية السالبة $-V_{CC}$. ويكون المخطط الزمني لإشارتي الدخل والخرج كما هو مبين في الشكل 24-ب).

فإذا كان في الإشارة ضجيج فيمكن أن تقلدب v_o صعوداً وهبوطاً عندما تسترجع v_i بالقرب من V . لذلك نستعمل عادة دائرة تعطينا خرج مقارنة أكثر أناقة وهي الدائرة المسماة بقادح شميت.

قادح شميت Schmitt trigger: لناخذ الدارة المبينة في الشكل 25-أ)، وهي إحدى تشكيلات قادح شميت. في هذه الدارة أعلى قيمة فلطية خرج هي $V = V_H + |V_Z|$ بسدل V_{CC} و V_R فلطية مرجعية ثابتة.



الشكل 25-أ) دائرة قادح شميت، ب) المخطط الزمني لإشارتي الدخل والخرج.

لتفترض بداية أن $v_1 < V_1$ حينئذ $v_0 = V$ هي القيمة العظمى للفلطية الخارج، وتحقق لدينا العلاقة:

$$v_1 - V_R = \frac{R_2}{R_1 + R_2} (V - V_R)$$

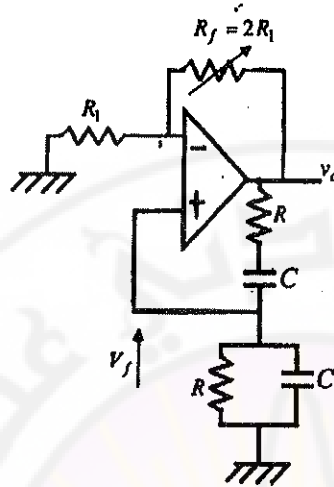
وبقى قيمة v_1 ثابتة على القيمة المحسوبة من العلاقة السابقة، ونسعى هذه القيمة الثابتة V_1 . فإذا ازدادت قيمة v_1 تبقى قيمة $v_1 = V_1$ إلى أن تصبح $v_1 = V_1$ وحين ذلك، تتغير قيمة v_0 إلى القيمة $-V$ وتحقق العلاقة:

$$v_1 - V_R = \frac{R_2}{R_1 + R_2} (-V - V_R)$$

وبقى قيمة v_1 ثابتة على القيمة المحسوبة من العلاقة السابقة، ونسعى هذه القيمة الثابتة V_2 . وتثبت فلطية الخارج إلى أن تنخفض v_1 عن القيمة V_2 فتغير قيمة v_0 إلى القيمة $-V$ وهكذا... وبين الشكل -24- (ب) المخطط الزمني لإشارات الدخل والخارج.

وهناك تطبيقات أخرى كثيرة لا مجال لذكرها بالتفصيل هنا، نذكر منها: الضارب التمثيلي، دارات ملاحقة قمم الإشارات، المضخم اللوغريتمي (دائرة المكامل مع وضع ديود بدل المكثفة: احسب v_0 بدلالة v_1 وتوَقَّع من أن التبعة لوغريتمية)، وغيرها... إضافة إلى استعمال المضخم التفاضلي في دارات لتوليد إشارات لمولدات الإشارة: فالدارة المبينة في الشكل -26- تولد إشارة جيبية. ويمكن البرهنة على أن تردد هذه الإشارة الجيبية المولدة يعطى بالعلاقة $\omega_0 = 2\pi f = \frac{1}{RC}$ و يحصل الاهتزاز وتوليد الإشارة بتوليف الممانعة R_f على قيمة قريبة من $2R_1$.

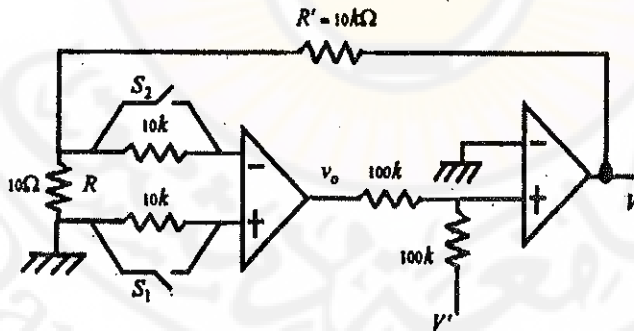
يعطى إدخال هذه الإشارة إلى مقارن إشارة مربعة، وباشتقاق هذه الإشارة نحصل على سلسلة نبضات، أما بمكاملتها فنحصل على إشارة مثلثية.



الشكل -26- دائرة جسر واين Wein Bridge لتوليد إشارة جيبية.

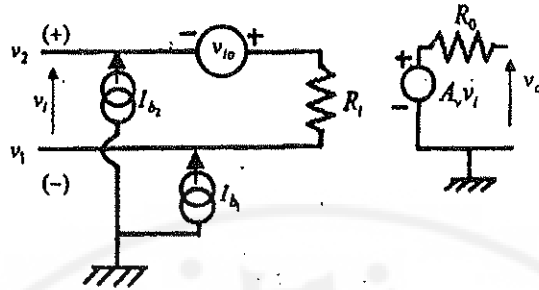
3-5 الخواص الحقيقية لمضخم العمليات:

اعتمدنا في هذا الفصل على خواص مثالية لمضخم العمليات. يمكننا عملياً قياس المقادير المميزة لهذا المضخم (موسطاته) وذلك بواسطة الدارة المبينة في الشكل -27-



الشكل -27- دائرة قياس موسطات مضخم العمليات.

إن الدارة الفعلية المكافئة لمضخم العمليات هي المبينة في الشكل -28-



الشكل -28- الدارة المكافئة العملية لمضخم العمليات.

ونرى في هذه الدارة أن تيارات الدخل ليست معدومة، فهناك تيارا دخل I_{b1} و I_{b2} على مدخلي مضخم العمليات. ونرى أيضاً أن فلطقي دخل المضخم ليستا متساويتين، وهناك فلطية إزاحة بينهما V_{i0} ويمكننا قياس هذه المتوسطات بوساطة الدارة المبينة في الشكل -27-.

أولاً: نفترض أن القاطعتين s_1 و s_2 مغلقتان، ونطبق الفلطية $V_i = 0V$. فيكون $V_o = -V_i = 0V$. ومن ثم فإن $V_i = 0$ وتكون الفلطية $V(R)$ المطبقة بين طرفي الممانعة R ، نسميها معطاة بالعلاقة التالية:

$$V(R) = V_i + V_{i0} = V_{i0}$$

من جهة أخرى لدينا:

$$V = \frac{R + R'}{R} V(R) = \frac{R + R'}{R} (V_{i0}) \approx 10^3 (V_{i0}) \approx V_3$$

نقيس هذه القيمة ونسميها V_3 . فنحصل منها على قيمة V_{i0} .

ثانياً: نفترض أن القاطعتين s_1 و s_2 مفتحتان، ونطبق الفلطية $V_i = 10V$. فيكون $V_o = -V_i = -10V$. وتكون الفلطية $V(R)$ المطبقة بين طرفي الممانعة R ، معطاة بالعلاقة التالية:

$$V(R) = V_i + V_{i0}$$

من جهة أخرى لدينا:

$$V = \frac{R+R'}{R} V(R) = \frac{R+R'}{R} (V_{i0} + V_i) \approx 10^3 (V_{i0} + V_o / A_v) \approx V_3$$

نقيس هذه القيمة ونسميها V_3 . وبعد معرفة V_{i0} من التجربة السابقة نحصل على قيمة A_v .

ثالثاً: نفترض أن القاطعة s_1 مفتوحة و s_2 مغلقة، ونطبق الفلطة $V' = 0V$. فيكون $V_o = -V' = 0V$. ومن ثم فإن $V_i = 0$ وتكون الفلطة $V(R)$ المطبقة بين طرفي الممانعة R ،

$$V(R) = V_{i0} - R_b I_{b1}$$

ويكون:

$$V = \frac{R+R'}{R} (V_{i0} - 10^4 I_{b1}) \approx V_4$$

حيث نقيس القيمة V_4 . ولما كانت قيمة V_{i0} معروفة فإننا نحصل على قيمة I_{b1} . وبطريقة مشابهة نحصل على قيمة I_{b2} .

رابعاً: نجعل القاطعتين مغلقتين و $V' = 0$ ونغذي الدارة بمولد $V_i = V_s$ فتكون قيمة الفلطة $V_o = 0$. من جهة أخرى لدينا:

$$V_o = A_d V_d + A_c V_c$$

نحسب V_2 بالتراكب:

$$V_2 = \frac{R'}{R'+R} V_s + \frac{R}{R'+R} V \approx V_s + \frac{R}{R'} V$$

$$V_c = (V_1 + V_2) / 2 \text{ و } V_d = V_1 - V_2 - V_{i0}$$

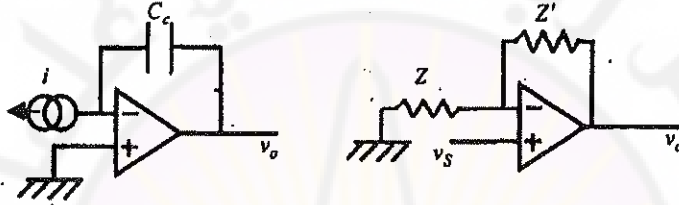
وبحساب كل من هاتين الفلطتين (النمط المشترك والنمط التفاضلي) نحصل على قيمة النسبة CMRR. قيمة V في العلاقات السابقة هي قيمة مقبسة V_6 .

من هذه التجارب نقيس على سبيل المثال القيم التالية: $V_{i0} = 1mV$ ، $\frac{|I_{b1}| + |I_{b2}|}{2}$ من

رتبة $100nA$ في حال ترانزستورات المضخم من النوع BJT ومن رتبة $1nA$ في حال

ترانزستورات المضخم من النوع FET. أما الفرق $\|I_{b1} - I_{b2}\|$ فهو من رتبة 50nA في حال BJT و من رتبة 50pA في حال FFT.

بقي متوسط هام تسميه معدل الميل slew rate وهو معدل تغير صعود v_o عندما يكون الدخول إشارة مربعة. لنأخذ، على سبيل المثال، الدارة المبينة في الشكل -29-، وندخل إشارة V_i مربعة وذات تردد مرتفع.



الشكل -29- معدل الميل slew rate والدارة التي تسمح بقياسه.

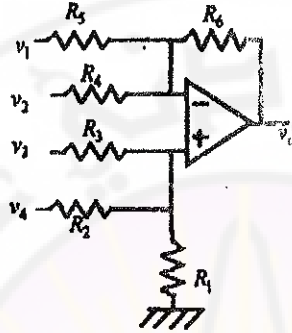
في هذه الدارة، نفترض أن $Z = 1k\Omega$ و $Z' = 1k\Omega$ ، ونقيس dv_o/dt في الصعود والهبوط. يمكن قياس هذا المتوسط بالدارة المبينة في الشكل السابق حيث نقيس التيار i_i وهذا التيار يرتبط بـ dv_o/dt بالعلاقة:

$$i_i = C_c dv_o/dt$$

لأن $i_i = v_o \cdot jC_c \omega$. وقيمة هذا المتوسط من رتبة $0.67V/\mu s$. وكلما كانت هذه القيمة أعلى ازداد أداء المضخم. لنذكر أخيراً أن عرض حزمة مضخم العمليات هو من رتبة 1MHz.

تمارين الفصل الثالث

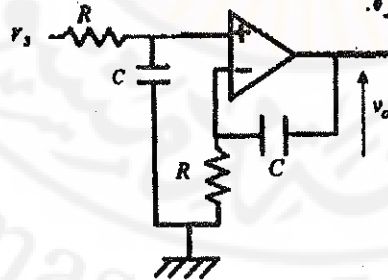
1- لدينا الدارة المبينة بالشكل التالي، وتسمى بدارة الجامع- الطارح، والمطلوب:



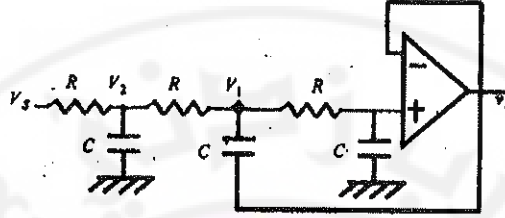
1- احسب V_o بدلالة فلطويات الدخل V_1, V_2, V_3, V_4 وبممانعات الدارة (الحساب بطريقة التراكب أي بحسب V_o الناتجة عن تأثير دخل وحيد، بحيث نعدم الدخول الأخرى ثم نجمع قيم V_o الناتجة).

2- ما هي قيمة V_o لو تساوت جميع الممانعات؟

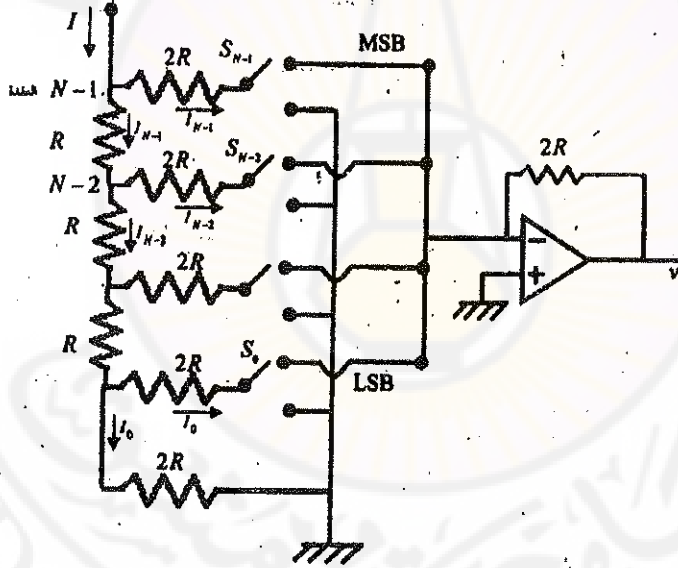
2- أثبت أن الدارة المبينة بالشكل التالي هي دائرة مكامل بإشارة موجبة، وذلك بإيجساد تابع النقل V_o/V_i لهذه الدارة.



3- أوجد تابع النقل V_o/V_i للدارة التالية وبين أنها دارة مرشح تمرير منخفض من الدرجة الثالثة.



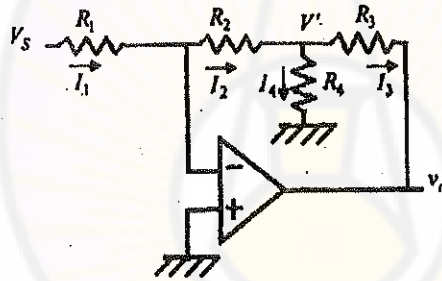
4- الدارة المبينة في الشكل التالي هي دارة متبدل رقمي تماثلي والمطلوب: v_R



1- أثبت أن التيار I المسحوب من V_R ثابت مهما كانت قيمة الكلمة الثنائية في الدخل. أي مهما كان موضع القواطع $S_i, i=0, \dots, N-1$. (احسب الممانعة التي يراها V_R).

- 2- إذا كان البت الأعلى دلالة '1' $MSB=1$ وبقية البتات أصفاراً، ماهي قيمة التيار المار بالفرع الموافق للقاطعة S_{N-1} وما هي قيمة V_o ؟
- 3- كرر السؤال السابق إذا كان البت السابق للبت MSB مساوياً الواحد وبقية البتات أصفاراً.
- 4- كرر السؤال إذا كان لدينا كلمات بأربعة بتات $N=4$ وكان البت '1' $LSB=1$ وبقية البتات أصفاراً. ماذا تستنتج؟

- 5- يمكننا الحصول على تضخيم عالٍ ولو كانت قيم الممانعات صغيرة باستعمال الدارة التالية:



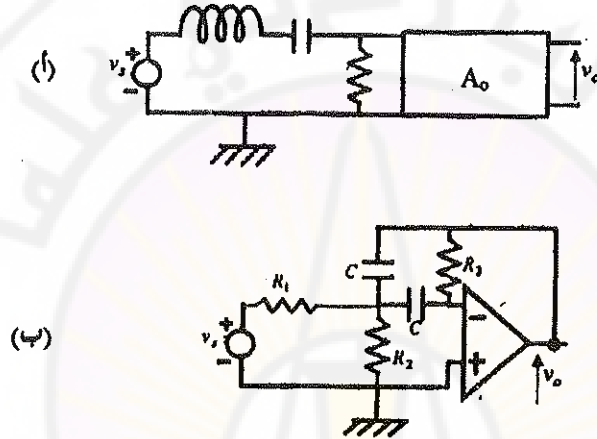
أثبت أن تابع النقل لهذه الدارة معطى بالعلاقة

$$\frac{V_o}{V_s} = \frac{R_2 + R_3 + R_2 R_3 / R_4}{R_1}$$

(احسب قيم التيارات المختلفة بدلالة الفولتيات الدخول والخروج وفلطيية نقطة تقاطع الممانعات R_2, R_3, R_4 واكتب علاقة التيارات الداخلة والخارجة من هذه النقطة).

6- لتكن لدينا الدارة المهتزة المبينة بالشكل (أ)، بين ألها تكافئ المرشح المين في الشكل (ب). (احسب تابع التحويل لكل منهما). ما نوع هذا المرشح (مع التعليل). وما هسي قيم L و C و R بدلالة عناصر الدارة التالية؟

الشكلان (أ و ب).



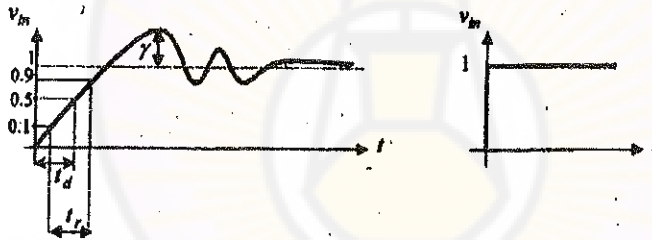


الفصل الرابع : الاستجابة العابرة

4-1- نقل إشارة بأقل تشويه:

في النظم الخطية، توجد علاقة بين الاستجابة الترددية والاستجابة الزمنية لهذه النظم. وعندما تكون مطالات الإشارات التي تدخل هذه النظم كبيرة (كما في حالة الإشارات المربعة on off) نحتاج إلى أدوات وبرمجيات خاصة أو إلى نمذجة مبسطة للنواصير مسلوكة هذه النظم وداراتها.

وحيث نتكلم عن الاستجابة الزمنية، نتمم بالاستجابة النبضية (استجابة النظام لإشارة نبضة) وبالأستجابة لإشارة درجّية step signal. وهذه الأخيرة هامة جداً في الإشارات الرقمية والإلكترونيات الرقمية عموماً. وبين الشكل 1-1 إشارة دخل درجة مطاها واحد، ومثالاً على استجابة نظام لإشارة الدخل هذه.



الشكل 1-1- إشارة دخل درجة واحدة، ومثال على استجابة نظام لها.

نسمي الزمن اللازم لإشارة مخرج النظام لتبلغ نصف مطاها الأعظم (المستقر) بزمن التأخير t_d . أما زمن الصعود t_r فهو الزمن الفاصل بين مرور الإشارة بالقيمتين 0.1 و 0.9 من هذا المطال الأعظم المستقر. ويقابله زمن الهبوط t_f وهو الزمن اللازم للانتقال بين 0.9 و 0.1 من القيمة المستقرة لإشارة المخرج، حين تنتقل إشارة الدخل درجياً من القيمة 1 إلى الصفر. نسمي γ نسبة تجاوز الفلطة overshoot وهي نسبة الفرق بين أعلى قمة تبلغها الإشارة إذا تجاوزت القيمة المستقرة وبين هذه القيمة المستقرة.

في فضاء تحويلات لابلاس، يؤدي إدخال إشارة واحدة إلى نظام ما، إلى ضرب استجابته بالمقدار $1/s$ أو $1/jw$. فعلى سبيل المثال، إذا كان النظام من الدرجة الأولى، وكان تابع استجابته هو التالي:

$$A(s) = \frac{v_0}{v_i} = \frac{A_0 s_0}{s + s_0}$$

يكون تحويل لابلاس لإشارة الخرج هو:

$$V_0(s) = \frac{A_0 s_0}{s} \cdot \frac{1}{s + s_0}$$

ومن ثم تعطى إشارة الخرج الزمنية بالعلاقة:

$$v_0(t) = L^{-1} V_0(s) = A_0 (1 - e^{-ts_0})$$

ومنه، يمكننا حساب أزمدة التأخير والصعود كما يلي:

$$v_0(t_d) = 0.5 A_0 \Rightarrow t_d = \frac{0.69}{s_0}$$

t_r بين t_1 و t_2 حيث: $v_0(t_1) = 0.1 A_0$ و $v_0(t_2) = 0.9 A_0$ ونجد:

$$t_r = \frac{2.2}{s_0}$$

من جهة أخرى، حين نود نقل إشارة ما، $v_i(t)$ عبر نظام ما، نتوخى أن تصل الإشارة إلى الخرج بأقل تشويه ممكن؛ وفي الحالة المثالية يجب أن ترتبط إشارة خرج النظام بإشارة دخله بعلاقة من الشكل:

$$v_0(t) = A_0 v_i(t - t_0)$$

أي إن النظام يضخم الإشارة بمقدار ثابت A_0 ، ويمكن أن يضيف إليها تأخيراً ثابتاً t_0 .
ولي تحويلات لابلاس نجد أن:

$$L(v_0(t)) = L[A_0 v_i(t - t_0)] = A_0 e^{-t_0 s} L(v_i(t))$$

وهذا يعني أن تحويل لابلاس لتابع التحويل لهذا النظام معطى بالعلاقة:

$$H(s) = \frac{v_0(s)}{v_i(s)} = A_0 e^{-t_0 s}$$

و أن مطلقه ثابت $|H(s)| = A_0$ وطوره خطي بالنسبة إلى التردد $\arg(H(s)) = -t_0 \omega$ لأن $s = j\omega$ و $\omega = 2\pi f$

ونقول عن مثل هذه الأنظمة إنها ذات طور خطي. ويوجد جداول لكثيرات حدود في s ذات طور خطي مثل:

$$\begin{aligned} s+1 \\ s^2+3s+3 \\ s^3+6s^2+15s+15 \\ s^4+10s^3+45s^2+105s+105 \\ \dots \end{aligned}$$

ونعود قليلاً إلى مضخم العمليات. فإذا أردنا نقل إشارة جيبية عبره ولتكن:

$$v_i(t) = V_m \cos(\omega t)$$

$$\left. \frac{dv_i}{dt} \right|_{\max} = \omega V_m \cos(\omega t) \Big|_{\max} = \omega V_m$$

فيجب أن يكون لدينا $\omega V_m K$ أقل من معدل الميل slew-rate للمضخم كيلا يحصل تشويه. (حيث K معامل التضخيم).

4-2 الديود كقاطع إلكتروني :

من المعلوم أنه عندما يكون الديود منحازاً أمامياً (الحياز مباشر) فإن له مكثفة تسمى مكثفة الانتشار diffusion capacitance فإذا كانت r_d الممانعة الحركية للديود عند نقطة العمل، وكان τ متوسط زمن حياة الحوامل الإلكترونية قبل اتحاد الإلكترونات بالثقوب $e^- + e^+$ recombination فإن $\tau = r_d \cdot C_d$ حيث C_d مكثفة الانتشار.

من جهة أخرى، نعلم أنه عندما يكون الديود منحازاً أمامياً، يمر فيه تيار I_F ناتج عن انشطار الحوامل الإلكترونية (الإلكترونات تنشر من المنطقة N إلى P حيث تصبح أقلية، ثم تتحد بالثقوب بعد مرور الزمن τ ، إذن τ هو أيضاً زمن الانتشار)، وتنشأ كمية من

الشحنات المخزنة المنتشرة وتزداد Q_s بازدياد الفلطة المطبقة على الديود. ويمكننا أن نكتب العلاقات التالية:

$$r_d = \frac{dv_F}{dI_F} = \frac{1}{\lambda I_F} \Rightarrow c_d = \tau \lambda I_F$$

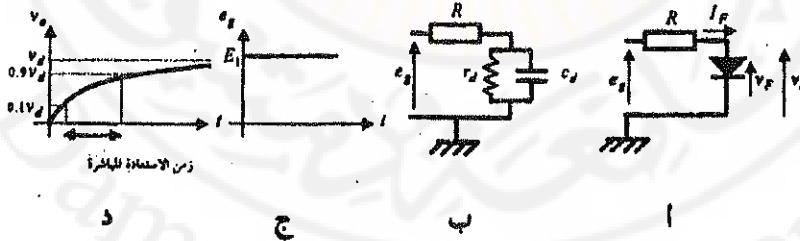
$$\lambda = \frac{1}{v_i} = \frac{q}{kT}$$

$$Q_s = \tau I_F = \tau I_s (e^{\lambda v_F} - 1)$$

أما عندما يكون الديود منحازاً عكسياً، فهناك تيار عكسي ضعيف I_R ناتج عن حركة الحوامل الأقلية. وتكون منطقة العبور التي عرضها e خالية فعلياً من الحوامل، فتشأ منطقة عازلة بين المنطقتين الناقلتين N و P وتتكون من ذلك مكثفة تسمى مكثفة العبور C_i تعطى بالعلاقة: $C_i = S \cdot \frac{\epsilon}{e}$ حيث S مساحة مقطع الديود، e عرض منطقة العبور، و ϵ سماحية المادة في منطقة العبور.

4-2-1 الابدال المباشر ON-OFF Switching

لنأخذ الدارة المبينة بالشكل 2-2 (أ) فإذا كانت فلطة الدخل E_i أقل من فلطة العتبة للديود V_d يبقى الديود قاطعاً ولا يمر أي تيار. لذلك، نفترض أن $E_i > V_d$ فيكون لإشارة الخرج الشكل المبين بالشكل 2-2 (د).



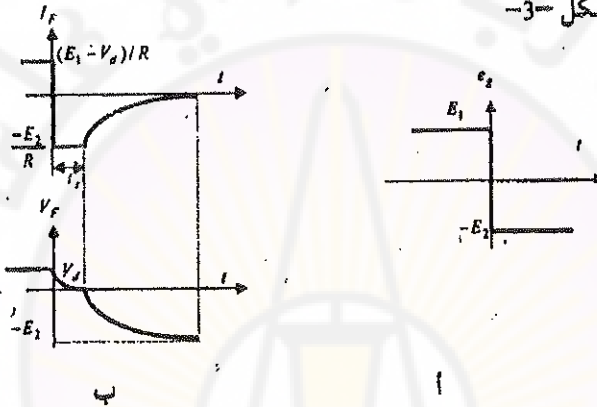
الشكل 2-2 (أ) دائرة ديود، (ب) الدارة المكافئة،
(ج) إشارة الدخل، (د) إشارة الخرج.

يعطى الثابت الزمني للدائرة بالعلاقة: $\tau = C_d \cdot r_d \parallel R \cong C_d \cdot r_d = \tau$ أي يساوي تقريباً زمن حياة الحوامل، وذلك لأن $r_d \ll R$. ينتج عن ذلك أن زمن الصعود (أو زمن الاستعادة المباشر) $t_{fr} = 2.2\tau$ وهو من رتبة 30ns.

2-2-4-2-4 الابطدال العكسي OFF-ON Switching

لنأخذ الدارة المبينة بالشكل 2-2-4-2 (أ) نفسها ولكن إشارة الدخل ولفظة و تيار الخرج

مبينة بالشكل 2-2-4-2 (ب).



الشكل 2-2-4-2 (أ) إشارة الدخل للدائرة 2-2-4-2 (ب) تيار الخرج، و لفظة الخرج.

عندما تتحول إشارة الدخل فجأة من E_1 إلى E_2 ، لا يتعلم تيار الديود بهذه السرعة، والسبب في ذلك هو وجود الشحنات "الأقلية" minority carriers "المخزنة" Q_s في المكثف C_d ، والتي تحتاج إلى زمن لإزالتها. في لحظة الابطدال، يصبح تيار الديود $-I_R = -E_2/R$ ويستمر على هذه القيمة خلال الزمن t الذي نسميه زمن التخزين إلى أن يتم تفريغ الشحنات المخزنة Q_s .

الدائرة المكافئة للديود هنا هي مكثف العبور C_d على التوازي مع ممانعة ديناميكية عالية جداً تمثل تأثيرها. ونسخن هذه المكثف إلى القيمة $-E_2$. خلال زمن التخزين، التيار $-I_R$ هو مجموع تيارين: تيار انحاد حوامل الشحنات recombination current

ويساوي Q_s/τ وتيار التأيين ionization current ويساوي dQ_s/dt . ومن ثم فإن Q_s تحقق المعادلة التفاضلية التالية

$$\frac{dQ_s}{dt} + \frac{Q_s}{\tau} = -I_R$$

الشروط الحدية لهذه المعادلة هي التالية $t \rightarrow 0 \quad Q_s \rightarrow \tau I_F$; $t \rightarrow \infty \quad Q_s \rightarrow -\tau I_R$ وعلى هذا فإن حل هذه المعادلة هو:

$$Q_s = \tau I_F e^{-t/\tau} - \tau I_R (1 - e^{-t/\tau})$$

حيث:

$$I_F = \frac{E_1 - V_d}{R}, \quad I_R = \frac{+E_2}{R}$$

$Q_s(t_s) = 0$ وهذا ما يسمح بحساب زمن التخزين t_s فنجد:

$$t_s = \tau \ln \left[1 + \frac{I_F}{I_R} \right]$$

بعد انتهاء زمن التخزين يبدأ زمن العبور t_d وهو الزمن اللازم لمكثف العبور C_i لتشحج إلى القيمة E_2 . عبر الممانعة $R \parallel r_d$ التي تساوي تقريباً R لأن $R \ll r_d$. الثابت الزمني للدارة المكافئة هنا هو:

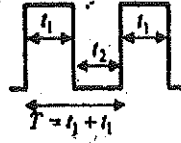
$$\tau_1 = (R \parallel r_d) C_i \approx r_d C_i$$

ولذا فإن زمن العبور هو

$$t_d = 2.2 \tau_1 = 2.2 R C_i$$

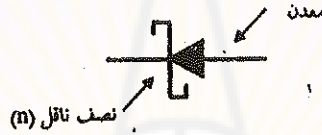
إن زمن الاستعادة العكسي reverse recovery time هو مجموع $t_s + t_d$.
والخلاصة، لنقل إشارة رقمية كالمبينة بالشكل 4- يجب أن يتحقق لدينا: $t_1 > t_{rr}$ و $t_2 > t_{rr}$ أي:

$$T = t_1 + t_2 > t_{rr} + t_{rr}$$



الشكل -4- إشارة رقمية.

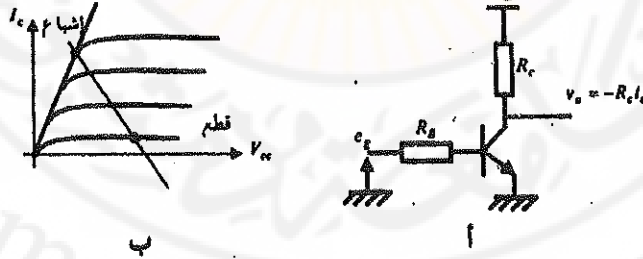
نلاحظ أن وجود المكثفات الداخلية في الديود يحد من تردد التبديل switching frequency. ولتقصير أزمنة الاستعادة نستعمل ما يسمى بديود شوتكي Schottky الذي هو وصلة معدن-نصف ناقل N. حين يكون هذا الديود منحازاً أمامياً فإن زمن الاتحاد اللازم للإلكترونات القادمة من نصف الناقل N نحو المعدن صغير جداً، ويصبح زمن التخزين صغيراً جداً من رتبة 50ps. تستعمل هذه التقنية في السدارات الرقمية السريعة.



الشكل -5- الرمز الإلكتروني للديود شوتكي.

4-3 الترانزستور الثنائي القطبية BJT كقاطع إلكتروني :

عندما نستعمل الترانزستور كقاطع إلكتروني، تقع نقطة العمل إما بحيث تعمل الترانزستور مشعباً أو قاطعاً. يبين الشكل -6- دائرة ترانزستور وفي الجزء (ب) من هذا الشكل نرى موضع نقطة عمل في منطقة القطع وأخرى في منطقة الإشباع.



الشكل -6- (أ) دائرة ترانزستور،

(ب) المنحني المميز ونقطة عمل في منطقة القطع وأخرى في منطقة الإشباع.

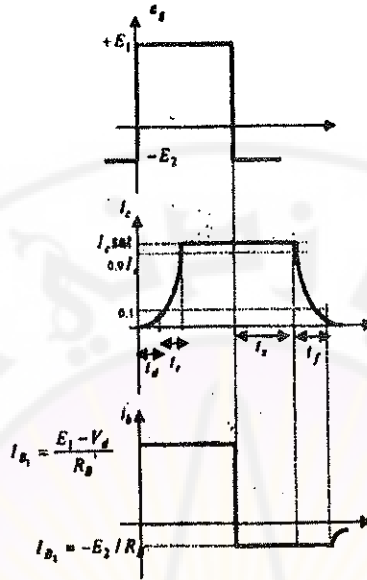
حين يكون الترانزستور لاطمأ، تكون كل من الوصلتين B-E و B-C منحازتين عكسياً. فإذا كان تيار الباعث معدوماً $I_E=0$ فإن: $I_C = -I_B = I_{CB0}$ تيار الإشباع للوصلة B-C (مجموع التيارات صفر). أما إذا كان تيار القاعدة معدوماً $I_B=0$ فإن $I_E = -I_C = I_{CE0} = (1 + \beta)I_{CB0}$ وجميعها تيارات ضعيفة جداً نعتبرها قريبة جداً من الصفر.

أما حين يكون الترانزستور مشبعاً، فتكون الوصلتان B-E و B-C منحازتين أمامياً، ومن ثم يكون لدينا: $V_{BC} \approx V_{BE} \Rightarrow V_{CE} \approx 0$ ويتحقق الإشباع عندما يكون تيار القاعدة أعلى من حد معين $I_B > \frac{I_{CB0}}{\beta_0}$ حيث I_{CB0} تيار الإشباع للمجمع.

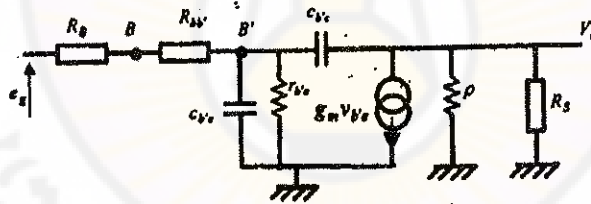
4-3-1 أزمنة الانتقال للترانزستور BJT

يبين الشكل 7- إشارة دخل رقمية لدارة الترانزستور المبينة في الشكل 6-، وكذلك الإشارة الزمنية لتيار الدخل الموافق i_b ولتيار الخرج i_c . ونميز على تيار الخرج أربعة أزمنة لسميها: زمن التأخير t_d وزمن الصعود t_r وزمن التخزين t_s وزمن الهبوط t_f . ومندرس فيما يلي كلاً من هذه الأزمنة.

زمن التأخير t_d : وهو زمن تأخير أولي يسببه شحن المكثفات الداخلية للترانزستور C_{b0} و C_{b0} (وهي مكثفة عبور عندما تكون الوصلة منحازة عكسياً، ومكثفة انتشار في حالة الانحياز المباشر)، إضافة إلى الزمن الذي تتطلبه وصلة الديود B-E المنحازة عكسياً لتصبح ناقلة.



الشكل-7- إشارة دخل رقمية لدائرة الشكل -6-
وتيار الدخل الموالي i_b وكذلك تيار الخرج i_c .



الشكل -8- الدارة المكافئة لدائرة الشكل -6- عند الترددات العالية

فالكمون v_{be} يمر من القيمة $-E_2$ إلى فلتية العتبة v_d أثناء زمن t_{d1} ويبدأ الديود B-E بالنقل ثم تستغرق الإلكترونات الآتية من الباعث زمناً آخر t_{d2} لتجتاز القاعدة إلى النجم، ولبيلغ التيار i_c ما مقداره 0.1 من قيمته المستقرة. فيكون $t_d = t_{d1} + t_{d2}$.
في اللحظة $t=0$ الترانزستور قاطع وليس هناك أي تيار، ولما كان:

$$r_{be} = \frac{h_F}{g_m} \text{ و } g_m = \frac{|I_C|}{V_T}$$

فإن $g_m \rightarrow 0$ و $r_{b'e} \rightarrow \infty$ (انظر الشكل -8-). وهذا يعني أن النقطتين E و C كاهما موصولتان إلى نقطة واحدة. $V_{b'e}$ تزايد أسياً من القيمة $-E_2$ إلى V_d بثابت زمني قيمته $\tau_d = (R_B + r_{b'e})(C_{b'e} + C_{b'c})$. أي أنه يمكننا أن نكتب:

$$v_{b'e} = E_1 - (E_1 + E_2)e^{-t/\tau_d} \text{ وينتج عن هذا:}$$

$$t_{d1} = \tau_d \ln \left[\frac{E_1 + E_2}{E_1 - V_d} \right]$$

أما t_{d2} فنجد، تجريبياً أنه يساوي:

$$t_{d2} = \frac{1}{3\omega_T} = \frac{1}{3(C_e + C_\pi)r_e}$$

نسمي ω_T تردد العبور، ويعطي المصنع هذه القيمة.

زمن الصعود t_r : إن معامل تضخيم التيار β في الترانزستور ليس ثابتاً، وإنما يتغير مع التردد عند الترددات العالية، ويمكننا أن نكتب:

$$\omega_\beta = \frac{1}{r_{b'e}C_{b'e}} = \frac{\omega_T}{\beta_0} \text{ حيث: } \beta = \frac{\beta_0}{1 + j\omega/\omega_\beta}$$

فإذا لم يكن الترانزستور مشبعاً، أي $\beta_0 I_B < I_{Csat}$ ، تحقق العلاقة $I_C = \beta I_B$ ويكون:

$$i_C(t) = \beta_0 I_{B1} (1 - e^{-\omega_\beta t})$$

$$I_{B1} = \frac{E_1 - v_{BE}}{R_B} \text{ حيث وبالنسبة يكون لدينا}$$

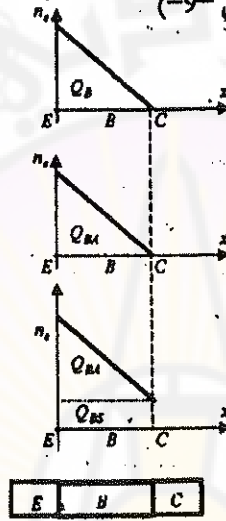
$$t_r = 2.2/\omega_\beta$$

أما إذا كان الترانزستور مشبعاً، فإن القيمة العظمى لتيار المجمع هي I_{Csat} التي تساوي:

$$I_{Csat} = \frac{E - v_{CEsat}}{R_C} \text{ ولنتحقق أن:}$$

$$t_r = \frac{1}{\omega_\beta} \ln \left[\frac{\beta_0 I_{B1} - 0.1 I_{Csat}}{\beta_0 I_{B1} - 0.9 I_{Csat}} \right]$$

زمن التخزين t_s : وهو الزمن اللازم لتفريغ الشحنات المخزنة في القاعدة. حين يعمل الترانزستور بالنمط الخطي الطبيعي فإن كمية هذه الشحنة تكون Q_B . وهي تستزايد بازدياد تيار القاعدة. على حدود الإشباع، $I_B = I_{BA} = \beta_0 I_{C_{sat}}$ تصبح كمية هذه الشحنة ثابتة ونسميها Q_{BA} . فإذا زاد I_B عن هذا الحد، يصبح الترانزستور مشبعاً وتصبح هذه الشحنة $Q_{BA} + Q_{BS}$ (انظر الشكل 9-).



الشكل 9- كمية الشحنة المخزنة في القاعدة حسب قيم مختلفة لتيار القاعدة.

ويمكننا أن نكتب: $Q_{BA} = \tau_B I_{BA}$ و $Q_{BS} = \tau_s I_{BS}$. إلا أن Q_{BS} تحقق معادلة تفاضلية من الدرجة الأولى (قانون الحفاظ الشحنة) هي التالية:

$$\frac{dQ_{BS}}{dt} + \frac{Q_{BS}}{\tau_s} + \frac{Q_{BA}}{\tau_B} = -I_{B2} = -\frac{E_2}{R_B}$$

مع الشرط الابتدائي $Q_{BS}(t_0) = 0$ ولنبحث عن t_s بحيث $Q_{BS}(t_s) = 0$ فنجد:

$$t_s = \tau_s \ln \left[\frac{I_{B1} + I_{B2}}{I_{B2} + I_{BA}} \right]$$

قيمة τ_s تساوي تقريباً $0.1 \mu s$.

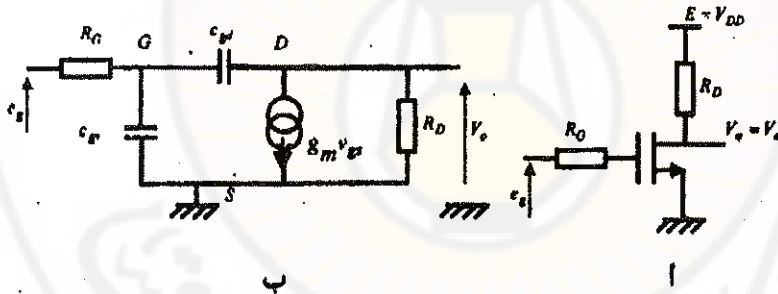
زمن المهبط t_f : ويحسب بطريقة مشابهة لزمن الصعود ويساوي:

$t_f = 2.2 / \omega_p$ إذا لم يكن الترانزستور مشبعاً وإلا فإن:

$$t_f = \frac{1}{\omega_p} \ln \left[\frac{0.9 I_{C_{sat}} + \beta_0 I_{B2}}{0.1 I_{C_{sat}} + \beta_0 I_{B2}} \right]$$

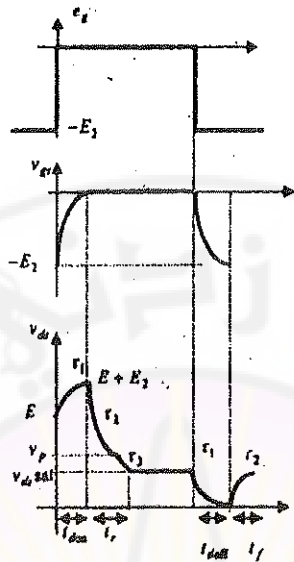
4-4 الترانزستور ذو الأثر الحقلّي FET كقاطع إلكتروني وأزمة الابتدال:

الدراسة مشابهة لحالة الترانزستور BJT. لنأخذ الدارة المبينة بالشكل -10- وهي دارة لترانزستور FET بقناة N وبالإفطار $V_p = -2V$ بتشكيلة المنبع المشترك، وبين الشكل أيضاً دارتها المكافئة عند الترددات العالية.



الشكل -10- (أ) دارة ترانزستور FET (ب) دارتها المكافئة عند الترددات العالية.

فإذا أخذنا المخططات الزمنية لإشارة دخل رقمية كالمبينة بالشكل -11-، وجدنا أن فلطية الدخل v_{gs} وفلطية الخرج v_{ds} تتغيران حسبما يوضحه الشكل -11-



الشكل-11- إشارة دخل رقمية للدائرة السابقة وفلطة الدخل الموافقة v_{gs} وكذلك فلطة الخرج v_{ds} .

ونلاحظ على هذا الشكل أربعة أزمنة هي:

زمن الوصل t_{don} ، زمن الصعود t_r ، زمن القطع t_{off} وزمن الهبوط t_f .

زمن الوصل t_{don} : تماماً كما في حالة الترانزستور BJT، في اللحظة $t=0$ تكون $g_m=0$ والنقطتان S و D موصولتان، ولدينا الثابت الزمني $\tau_1 = R_G(C_{gs} + C_{gd})$ وزمن الوصل يعطى بالعلاقة:

$$t_{don} = 2.2\tau_1$$

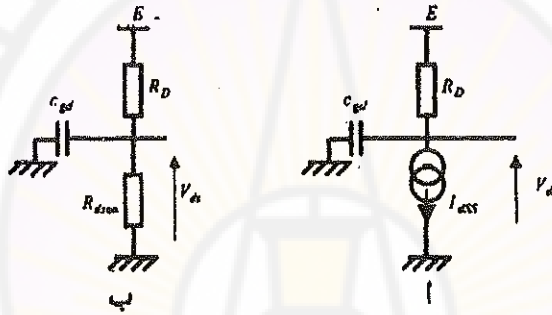
وفي دائرة الخرج لدينا $\tau_1 \ll R_D C_{gd}$ ولذلك فإن هذه الدائرة تنقل تغيرات الدخل إلى الخرج، ونجد أنه في نهاية الزمن t_{don} يكون $v_{ds}=E+E_2$ و يكون عندها $v_{gs}=0$.

زمن الصعود t_r : في هذه المرحلة يكون الشكل المكافئ للدارة هو المبين بالشكل -12- (أ). ونلاحظ هنا أن الثابت الزمني هو $\tau_2 = R_D C_{gd}$ وعلى v_{ds} أن تنتقل من القيمة $E_2 + E$ إلى القيمة $E - R_D I_{DSS}$ ومن ثم فإن $v_{ds}(t)$ تعطى بالعلاقة التالية:

$$v_{ds}(t) = (E - R_D I_{DSS}) + (E_2 + R_D I_{DSS}) e^{-t/\tau_2}$$

وفي نهاية زمن t_2 يصل v_{ds} إلى القيمة V_p إذاً:

$$t_2 = \tau_2 \ln \left[\frac{E_2 + R_D I_{DSS}}{V_p + R_D I_{DSS} - E} \right]$$



الشكل -12- الدارة المكافئة أثناء زمن الصعود (أ) في البداية

(ب) بدءاً من $v_{ds} = V_p$

وحين يصل v_{ds} إلى القيمة V_p فإن الترانزستور يُختصر إلى ممانته الحركية $r_{ds(on)}$ (انظر الشكل -12- (ب)) ويكون لدينا الثابت الزمني $\tau_3 = C_{gd} (R_D \parallel r_{ds(on)}) \approx C_{gd} r_{ds(on)}$

و $v_{ds}(t) = \frac{r_{ds(on)}}{r_{ds(on)} + R_D} E$ أما الزمن t_3 المبين على الشكل -11- فيعطى بالعلاقة:

$$t_3 = 2.2 \tau_3 \text{ وبالنسبة: } t_r = t_2 + t_3$$

زمن القطع t_{off} : ويساوي t_{don} ويعطى بالعلاقة: $t_{doff} = 2.2 \tau_1$

زمن الهبوط t_f : ويعطى بالعلاقة: $t_f = 2.2 \tau_2$ وخلال هذه المدة $r_{ds(on)} = \infty$ ، V_{gs} تبدأ من القيمة E_2 و v_{ds} من القيمة V_{dssat} .

الفصل الخامس : الدوائر المتكاملة الرقمية

5-1 تصنيف الدوائر المتكاملة:

يمكن تصنيف الدوائر المتكاملة حسب عدد الترانزستورات المستعملة في الدارة المتكاملة (n)، وتاريخياً كان هناك عدة تصنيفات:

Small Scale Integration, SSI تكامل صغير النطاق $n < 10$

Medium Scale Integration, MSI تكامل متوسط النطاق $10 < n \leq 100$

Large Scale Integration, LSI تكامل واسع النطاق $100 < n \leq 1000$

Very Large Scale Integration, VLSI تكامل واسع النطاق $1000 < n$

ومنها معظم الدوائر الحالية.

توجد الآن دوائر تحوي أكثر من 100 000 بوابة منطقية وأكثر من 500 000 ترانزستور للمعالجات الصغيرة، أما الدوائر الإلكترونية فيمكن أن يزيد عدد الترانزستورات فيها على ملايين الترانزستورات.

هناك تصنيف آخر حسب طبيعة العناصر الإلكترونية المستعملة في الدوائر. ويسمى هذه الصنف بالطوائف المنطقية. وتوجد عدة طوائف لذكر منها:

Resistor Transistor Logic RTL: توصل المداخل عبر ممانعات والمخارج عبر ترانزستورات.

Diode Transistor Logic DTL: توصل المداخل عبر ديويدات والمخارج عبر ترانزستورات.

Transistor Transistor Logic TTL: توصل المداخل والمخارج عبر ترانزستورات. وهي من أكثر الطوائف استعمالاً في الوقت الحالي

Emitter Coupled Logic ECL : وفيها ترانزستورات بواعثها موصول بعضها ببعض.

لا يحدث فيها إشباع وهي لذلك سريعة، وهي من أكثر الطوائف المنطقية سرعة في الوقت الحالي.

MOS : ظهرت بوابات منطقية تستعمل ترانزستورات MOS بقناة P ثم بقناة N ثم ظهرت الطائفة المنطقية CMOS المتكاملة، أي Complementary MOS التي تستعمل النوعين معاً.

وهي في تطور متزايد على حساب TTL. ويبقى للطائفة ECL مكانتها من أجل الدوائر السريعة

Integrated Injection logic I²L : وهي طائفة حديثة نسبياً ذات تكامل عال جداً. وستكلم عن هذه الطوائف في الفقرات القادمة، بعد توصيف خواص الدوائر المتكاملة الرقمية.

2-5 خواص (ميزات) الدوائر المتكاملة الرقمية

توجد خواص ساكنة تتعلق بفلطية التغذية والتيارات والمستويات المنطقية في الحالات المستقرة (فلطيات الخرج المستقرة)، وخواص حركية تتعلق بأزمة الابتدال والاستطاعة المصروفة حين الانتقال بين المستويات المنطقية، وغير ذلك من الخواص التي سنأتي على ذكرها فيما يلي.

1-2-5 الخواص الساكنة

- **فلطية التغذية :** وغالباً ما يكون للطائفة قيمة اسمية لهذه الفلطية، وهي على سبيل المثال تساوي +5V للطائفة TTL و-5.2V للطائفة ECL، أما طوائف الـ MOS فهي تقبل فلطية تغذية يمكن أن تتراوح بين +3V و +18V.

التيار المستمر الذي تسحبه الدارة: وهو التيار الذي يعطيه مولد فلظية التغذية ويمكن أن يعتمد على حالة الدارة المنطقية، أي أن تختلف قيمته من حالة الصفر المنطقي إلى حالة الواحد المنطقي.

—الاستطاعة الساكنة : وهي جداء فلظية التغذية في التيار المستمر، في حالة منطقية معينة للدائرة (صفر أو واحد).

—المستويات المنطقية : وهو المجال الذي يجب أن تقع فيه فلظية الدخل (أو الخرج) ليفسر هذا الدخل (أو الخرج) على أنه صفر منطقي أو واحد منطقي. على سبيل المثال يوافق الصفر المنطقي، في طائفة الـ TTL، فلظية بين الصفر و $+0.8V$ أما الواحد المنطقي فيوافق فلظية بين $+2.4V$ و $+5V$.

لنأخذ دائرة عاكس ونرسم فلظية الخرج بدلالة فلظية الدخل (انظر الشكل 1-1)، نميز على الشكل أربع قيم:

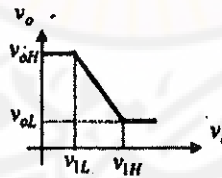
V_{IL} : وهي أعلى قيمة لفلظية الدخل تُفسر على أنها صفر منطقي.

V_{IH} : وهي أخفض قيمة لفلظية الدخل تُفسر على أنها واحد منطقي.

V_{OL} : وهي أعلى قيمة لفلظية الخرج تُفسر على أنها صفر منطقي.

V_{OH} : وهي أخفض قيمة لفلظية الخرج تُفسر على أنها واحد منطقي.

ولا نسمح عادة بفلظيات دخل بين V_{IL} و V_{IH} لأننا لا نستطيع تحديد المنطق الموافق لإشارة الخرج في هذه الحالة.



الشكل 1-1- العلاقة بين فلظية الخرج وفلظية الدخل لدائرة عاكس منطقي.

—المناعة الساكنة من الضجيج: Static Immunity to Noise

في الحالة العامة $V_{OH} \neq V_{IH}$ و $V_{OL} \neq V_{IL}$ وتسمح الفروق الموجودة بين القيم العليا للدخل والخروج، وكذلك القيم الدنيا بإضافة ضجيج بين مخرج بوابة منطقية ودخل بوابة منطقية أخرى تتلوها. ويسمى هامش الضجيج Noise Margin قيمة الفلطة VB التي تحقق المتراجعتين:

$$V_{OH\min} - V_B \geq V_{IH\min} \quad \text{و} \quad V_{OL\max} + V_B \leq V_{IL\max}$$

-الدخول (جمع دخل) والخروج fan-in / fan-out
نعرف الدخول (والخروج) بأنه التيار الأعظم لدخل (مخرج) بوابة منطقية ممثلاً بعدد تيارات الدخل (المخرج) من بوابات مماثلة (من الطائفة المنطقية نفسها)، التي يحتملها دخل (مخرج) البوابة المعنية من دون أن تتغير الخواص المنطقية للإشارات المنقولة فيما بينها. عملياً: هو عدد البوابات المماثلة للبوابة المعنية، التي يمكن أن توضع على دخل (مخرج) هذه البوابة من دون أن تتغير الخواص المنطقية للإشارات المنقولة فيما بينها.



الشكل 2-2- مثال توضيحي للخروج fan-out

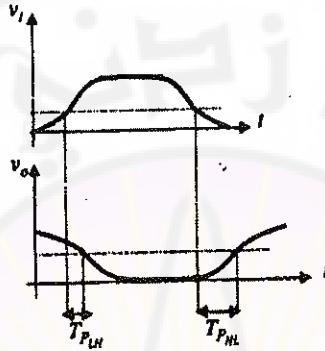
2-2-5 الخواص الحركية :

-زمن الانتشار : propagation time

رأينا في الفصل السابق، تأخر العناصر الإلكترونية المختلفة في الاستجابة للإشارات الرقمية. ونعرف زمن الانتشار لبوابة أو دائرة منطقية (رقمية) بأنه الزمن اللازم لها كي تستجيب لتغير منطقي في إشارة دخلها. وهو يأخذ بعين الاعتبار زمن التأخير في الانتقال من الحالة العليا إلى الحالة الدنيا T_{PHL} وزمن التأخير في الانتقال من الحالة الدنيا إلى

الحالة الدنيا T_{PLH} . وتسمى زمن التأخير للدائرة أو زمن الانتشار، الوسط الحسابي لهاتين القيمتين:

$$T_p = \frac{T_{pHL} + T_{pLH}}{2}$$



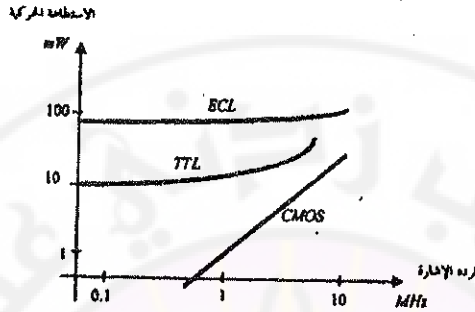
الشكل 3- زمن الانتشار لدائرة عاكس

ونذكر بأنه يجري قياس زمن التأخير في الصعود T_{pLH} وزمن التأخير في الهبوط T_{pHL} حين يكون مطال إشارات الدخل والخرج مساوي لنصف القيمة العظمى لهذه الإشارات.

-الاستطاعة الحركية: ويمكن أن يكون لها سببان رئيسان :

يمكن أن يتطلب الانتقال من الصفر المنطقي إلى الواحد المنطقي أو بالعكس استهلاك تيار إضافي، ومن ثم استطاعة إضافية، نسميها الاستطاعة الحركية، وهي تعتمد على عدد النقلات بين المستويات المنطقية أثناء وحدة الزمن، ومن ثم على تردد إشارة الدخل (تردد الساعة التي تتحكم في هذه الدائرة المنطقية). من جهة أخرى، فإننا غالباً ما نحمل الدائرة المعنية دوائر أخرى، وينتج عن التحميل مكثفات طفيلية parasite تتطلب استطاعة معينة لتغيير حالتها من الشحن إلى التفريغ وبالعكس. وحسب التقانة المستخدمة، يمكن أن تكون الاستطاعة الحركية مهملة أو طاغية على الاستطاعة الساكنة (انظر الشكل 4-). ولأننا نستعمل أعداداً متزايدة من البوابات، تزيد على الآلاف في

كثير من الأحيان، في الدارة المتكاملة نفسها، فإننا نسعى لتخفيض هذه الاستطاعة قدر الإمكان.



الشكل 4- الاستطاعة الحركية مقيسة بالملي واط، لعدد من الطوائف المنطقية، بدلالة تردد إشارة الدخول.

—حامل الجودة figure of merit:

ويعرف بأنه جداء الاستطاعة الحركية في زمن التأخير، وكلما كان هذا الرقم أصغر كلما أداء الدارة أفضل. ويكون هذا الرقم عادة من رتبة 10^{-12}W.s ويمكن أن يقسح حسب الطاقة المنطقية للدارة بين 1pJ و 50pJ .

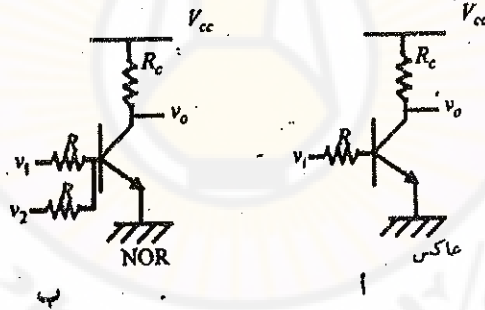
مثال لدارة متكاملة:

دارة المعالج 1486 من Intel: وهو يتعامل مع 32 بت معطيات، ويستطيع عنونة 4 جيغابايت. تحتوي دارته قرابة 1.2 مليون ترانزستور. موضوعة على مساحة 1.7cm^2 ولهسده الدارة المتكاملة 168 رجلاً pins وهي مصنعة بتقانة MOS-IV. وتصل سرعة المعالج إلى 66 ميجا هرتز. وعندما يصنع بتقانة ECL يمكن أن تصل هذه السرعة إلى 150 ميجا هرتز.

3-5 الطوائف المنطقية

TTL 1-3-5 طائفة

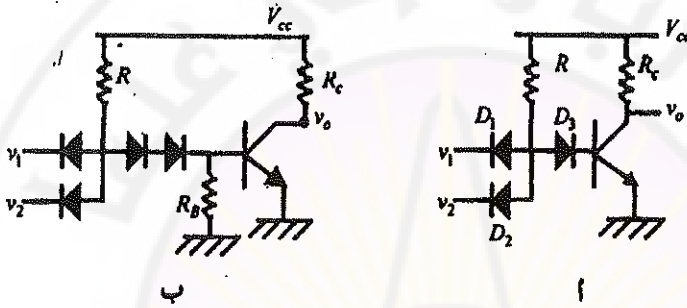
يعتبر العاكس المنطقي، الخلية الأولى لكل تقانة من تقانات الطوائف المنطقية. وقد كانت بنية هذا العاكس في التقانة RTL كالمبينة بالشكل 5-5 (أ)، فإذا كانت الفلظية V_i عالية (توافق الواحد المنطقي)، كان الترانزستور مشبهاً $V_o = v_{cesat}$ (وتوافق هذه الفلظية الصفر المنطقي). أما إذا كانت قيمة الفلظية V_i منخفضة (توافق الصفر المنطقي)، فيكون الترانزستور قاطعاً و $V_o = V_{CC}$ وتوافق الواحد المنطقي. ويمكننا بإضافة مداحل أخرى ووصلها إلى قاعدة الترانزستور عبر ممانعات أخرى كما في الشكل 5-5 (ب)، أن نحصل على التابع المنطقي NOR لأن الترانزستور يشبع ويكون على خرجه صفر منطقي إذا كانت إحدى فلظيات المدخل على قيمة الواحد المنطقي. أي إن: $V_o = \overline{V_1 + V_2}$. تسمى هذه التقانة RTL لوجود الممانعات مباشرة على المداحل (R) وعلى المخرج (RC).



الشكل 5-5: التقانة RTL: (أ) عاكس، و(ب) بوابة NOR.

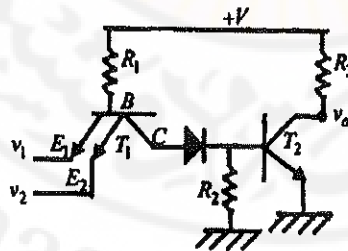
بعد ذلك، استعاضنا عن ممانعات الدخل بديودات كما في الشكل 6-5 (أ)، ونتج عن هذا ما يسمى بتقانة DTL. فإذا كان أحد المداحل على الأرضي "صفر منطقي"، سحب التيار اللازم له من فلظية التغذية ولتحت فلظية النقطة A على قيمة تساوي V_{CC} . هذه الفلظية غير كافية لجعل الديود D3 والترانزستور ناقلين، وعلى هذا يبقى الترانزستور

قاطعاً والخرج "واحد منطقي". أما إذا كانت جميع المدخلات على للظية مرتفعة "واحد منطقي" فلا يمر فيها أي تيار، ويمر تيار كاف بالديود D3 والترانزستور، يجعل الترانزستور مشبهاً ويعطي على الخرج "صفر منطقي". إذن البوابة المنطقية في الشكل هي بوابة NAND: $V_o = \overline{V_1 V_2}$. وللحفاظ على المستويات المنطقية (الفلطيات الموافقة للواحد المنطقي والصفر المنطقي) نفضل تشكيلة الدارة المبينة بالشكل 6-ب).



الشكل 6- ثفالة DTL (أ) بوابة NAND (ب) تشكيلة محسنة للبوابة السابقة.

والجدير بالذكر أننا لم نعد نستخدم البوابات من النوع RTL و DTL، ونستعاض عنها بالطائفة TTL التي هي فعلياً DTL ولكن بدل وضع ديودات على الدخل نضع ترانزستوراً متعدد البواعث multi-emitter transistor. حيث تقوم البواعث المتعددة لهذا الترانزستور بدور ديودات الدخل في الثفالة DTL كما هو مبين بالشكل 7-.



الشكل 7- بوابة TTL

أما طريقة عمل هذه البوابة فهي كما يلي: إذا كانت أحد المداخل على القيمة "صفر منطقي" أي موصولاً إلى القطب المنخفض، فإن الوصلة B-E الموافقة ستكون ناقلة، بل ويصل الترانزستور T1 إلى حد الإشباع، وتكون قيمة القطب في النقطة C وهي "V_C" صغيرة جداً، وينتج عن ذلك قطع الترانزستور T2 فلا يمر فيه أي تيار. وفي هذه الحالة تكون قطب الخرج V_O عالية وتوافق "واحد منطقي".

أما إذا كانت جميع المداخل على القيمة "واحد منطقي" بحيث تتحاز الوصلات B-E للترانزستور T1 عكسياً، فيعمل هذا الترانزستور بالنمط المعاكس ويمر تيار في وصلته B-C، وهذا ما يؤدي إلى إشباع الترانزستور T2 وتصبح قطب الخرج مساوية V_{cesat} القريبة من الصفر، والخرج يساوي "الصفر المنطقي". وعليه، فالبوابة تعمل بالتتابع المنطقي:

$$V_O = \text{NAND}(V_1, V_2) = \overline{V_1 \cdot V_2}$$

يوجد عدة سلاسل إنتاج من هذه الطائفة

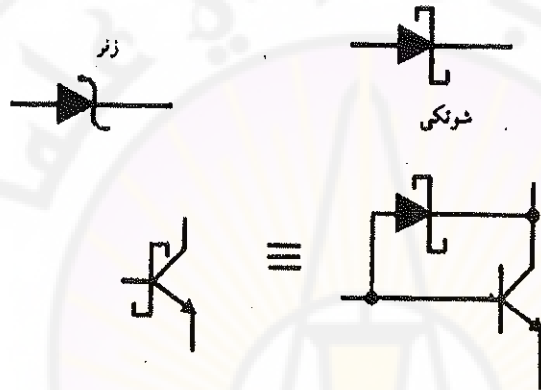
—السلسلة العادية

	P (m W)	Tpd (ns)
Normal N	10	10
High speed H	22	6
V ₂ Low power L	1	33

ونميز فيها العادي N، ثم عالي السرعة H (تخفيض قيم الممانعات في البوابة بحيث يقل الثابت الزمني لشحن المكثفات الداخلية للوصلات، ثم منخفض الاستطاعة L (توقع قيم الممانعات في البوابة، ومن ثم يزداد زمن الابتدال وتصبح الدارة أبطأ، ولكن تضعف الاستطاعة المصروفة.

-سلسلة Schottky :

وفي هذه السلسلة لا تُشبع الترانزستورات لأنها من النوع شوتكي، لذا تكون أزمنة الارتفاع أقصر بكثير.
ونذكر بأن الترانزستور شوتكي هو ترانزستور BJT عادي، مُضاف إليه ديوود شوتكي بين القاعدة والمجمع كما هو مبين بالشكل -8-.



الشكل -8- الترانزستور شوتكي.

تتراوح غلظية العتبة للديود شوتكي بين 0.2V و 0.3V. فإذا رمزنا إلى هذه الغلظية بـ V_{sch} فإننا نلاحظ أنه وإن كانت الوصلة B-E للترانزستور ناقصة وكذلك الديود شوتكي فإن:

$$V_{CE} = V_{BE} - V_{sch} = 0.7V - 0.3V = 0.4V > V_{CEsat}$$

ولهذا لا يوجد زمن تخزين، وزمن الارتفاع قصير. ويمكن للدوائر التي تستعمل هذه التقنية أن تعمل بسرعات عالية.

	P (mW)	$T_{pd}(ns)$
N عادي	100	10
S شوتكي	19	3
LS شوتكي باستطاعة منخفضة	2	9.2

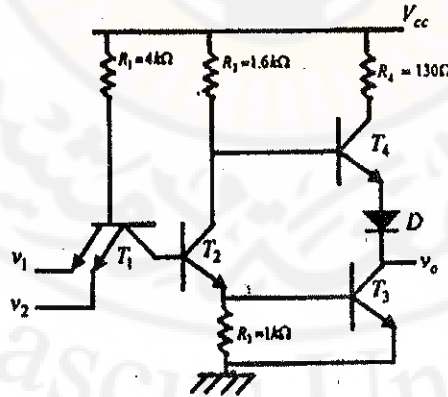
وهناك سلسلة شوتكي متقدمة Advanced Schottky التي تستعمل التقاسم الصغرى isoplanar وهي تحسن الأداء.

	P (mW)	$T_{pd}(ns)$
N عادي	100	10
AS شوتكي المتقدم	10	1.5
ASL شوتكي المتقدم باستطاعة منخفضة	1	4

فلطية التغذية لجميع بوابات TTL هي +5V أما المستويات المنطقية فهي كما يلي:
 "صفر منطقي" $\Rightarrow$ للطية موجبة أصغر تماماً من +0.8V.
 "واحد منطقي" $\Rightarrow$ للطية موجبة أكبر تماماً من +2.4V وبالطبع لا تتجاوز للطية التغذية
 أما قيم الدخول والخروج فهي: $f_{in}=f_{out}=10$.
 وسندرس فيما يلي مثالاً لبوابة TTL حقيقية.

مثال بوابة حقيقية :

لنأخذ دائرة البوابة TTL الميمنة بالشكل -9-



الشكل -9- بوابة TTL حقيقية

الترانزستور T1 هو ترانزستور الدخيل المتعدد البواثق، وهو يحقق التابع AND. أما ترانزستور T2 فيتحكم في الترانزستورين T3 و T4 اللذين يعملان بأنماط معكوسة (حين يكون T3 قاطعا يكون T4 مشبعا والعكس بالعكس). حين تكون جميع المداخل على القيمة "واحد منطقي"، تكون جميع الوصلات B-E للترانزستور T1 منحازة عكسيا، ووصلته B-C منحازة أماميا فيعمل هذا الترانزستور بالنمط العكسي ويمر التيار اللازم في الوصلة BC1 وهذا ما يكفي لجعل T2 و T3 ناقلين (مشعين) ويكون لدينا:

$$V_{CE1} = V_{CEsat} \approx 0.2V$$

$$V_{B2} = 2V_d = 1.4V$$

$$V_{B1} = V_d = 0.7V; \quad V_{C2} = V_{B1} + V_{CEsat} = 0.9V$$

$$V_{BE4} = V_{B4} - V_{E4} = V_{C1} - V_{C1} - V_d = (0.9 - 0.2 - 0.7)V = 0V$$

وعليه فإن الترانزستور T4 قاطع.

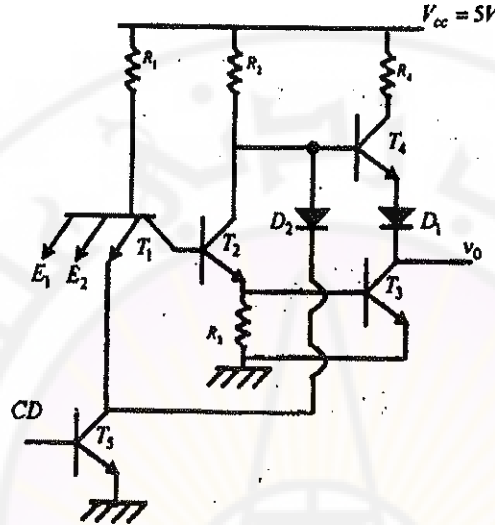
أما إذا كان أحد المداخل على القيمة "صفر منطقي" فيكون T1 مشبعا و $V_{B2} = V_{CE1} = V_{CEsat} = 0.2V$ ومن ثم فإن T2 و T3 قاطعان و T4 مشبع. للبطية الخرج تساوي تقريبا 4V وتكافئ "واحد منطقي". ويمكننا من قيم الفلطيات المحسوبة في كلتا الحالتين حساب مختلف التيارات المارة في الدارة (يترك للطالب متابعة الحسابات)

دارات الخرج في الطائفة TTL:

-مجمع مفتوح Open Collector: إذا حللنا في الدارة السابقة الترانزستور T4 والديود D يبقى الخرج على مجمع T3 ويقتصر دور T2 هنا على وصلة ديود عادية لرفع المناعة من الضجيج.

-توتيم بول "قطب مشترك" Totem-Pole وهي حالة الخرج في الدارة السابقة حيث يتحكم الترانزستور T2 في الترانزستورين T3 و T4.

- مخرج بثلاث حالات Three States وفي هذه الحالة نضيف إلى دائرة الشكل السابق ترانزستوراً T_5 وديوداً D_2 كما هو مبين بالشكل -10-



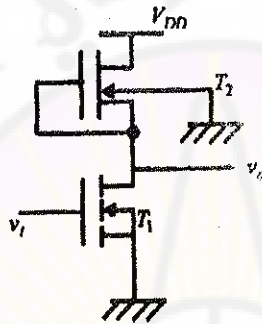
الشكل -10- دائرة TTL بدارة مخرج بثلاث حالات.

المدخل CD هو مدخل التحكم في الحالة الثالثة. فإذا كانت قيمة CD "واحد منطقي" يُشبع T_5 وتكون الحالة مكافئة لوجود دخل "صفر منطقي" على أحد بوابات T_1 ، وهذا يعني أن T_2 و T_3 قاطعان.
من جهة أخرى، فإن وجود الديود D_2 يمنع الترانزستور T_4 من أن يكون ناقلًا، وعلى هذا T_4 قاطع أيضاً. ومن ثم فإن المخرج مقطوع تماماً عن بقية الدارة ولا يتأثر بقيم المدخل الأخرى للدارة. من هنا أتت تسمية الحالة الثالثة.
أما إذا كانت قيمة CD "صفر منطقي"، فيصبح الترانزستور T_5 قاطعاً، وتعمل البوابة كالمعتاد ويكون المخرج V_0 تابع NAND للمدخال الطبيعية $E_1, E_2, \dots$

2-3-5 NMOS طائفة

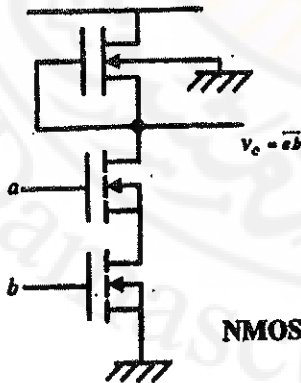
يُعالف العاكس في هذه الحالة من ترانزستورين:

T1: ترانزستور تحكم Command Transistor، وهو من النوع NMOS بالإغشاء،
والآخر T2: ترانزستور حمل وهو من النوع NMOS بالإقفار. ويقوم T2 بدور مقاومة حمل Load Resistor ولذلك فهو يحتل مكاناً أصغر ويستهلك استطاعة أقل ويكون
تهديته الحراري أقل. انظر الشكل -11-

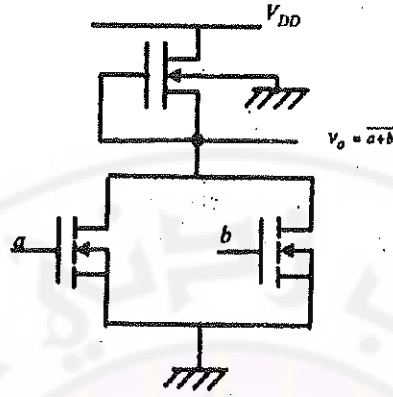


الشكل -11- دائرة عاكس بفتحة NMOS.

يمكننا بهذه الفتحة تصميم بوابات مختلفة باستعمال عدة ترانزستورات تحكم. يعطي ربط ترانزستورات التحكم على التسلسل التابع NAND أما ربطها على التوازي فيعطى التابع NOR (انظر الشكل -12-) وبذلك يمكننا، باستعمال هذه الفتحة، تشكيل أي تابع منطقي معقد بسهولة.



الشكل -12- (أ) بوابة NAND بفتحة NMOS

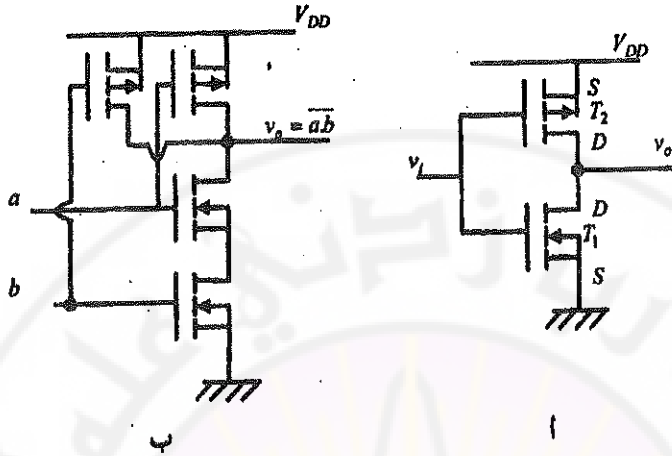


الشكل 12- (ب) بوابة NOR ب تقنية NMOS.

3-3-5 طائفة CMOS موس المتنام

يعالّف العاكس في هذه الحالة من ترانزستورين MOS بالإلغار:

T1: من النوع NMOS و T2: من النوع PMOS وكلاهما للتحكم
 فإذا كانت قيمة الدخل "واحد منطقي" $V_i > 0$ فإن T1 ناقل و T2 قاطع، والخرج V_o
 على القيمة "صفر منطقي"، أما إذا كانت قيمة الدخل "صفر منطقي" $V_i < 0$ فإن T1
 قاطع و T2 ناقل، والخرج V_o على القيمة "واحد منطقي". ولتحقيق تسابع معقد
 باستعمال هذه الطائفة يبنى شبكتي ترانزستورات الأولى NMOS وهي مطابقة لشبكة
 الترانزستورات في حال طائفة NMOS (باستبعاد ترانزستور الحمل)، وشبكة موافقة
 PMOS بحيث الترانزستورات المرتبطة على التسرع في الشبكة NMOS توافقها
 ترانزستورات PMOS مبروطة على التسلسل، والعكس بالعكس. يبين الشكل 13-
 دائرة عاكس CMOS وبوابة NAND.



الشكل 13- (أ) دائرة عاكس CMOS، (ب) بوابة NAND بالتفالة نفسها.

ملاحظات:

- جميع طوائف MOS المنطقية مساهمة في فلتية التغذية، و يمكن لهذه الفلتية أن تقع بين +3V و +18V.

- الاستطاعة الساكنة المستهلكة مهمة (أقل من $0.01 \mu W$ للبوابة الواحدة). أما الاستطاعة الحركية فهي عالية في حالة CMOS لوجود ترانزستورين لكل مدخل يغيران منطقتهما.

- المستويات المنطقية: "الواحد المنطقي" قريب من VDD و "الصفر المنطقي" قريب من الصفر.

- هوامش الضجيج جيدة: على سبيل المثال، إذا كانت $V_{DD} = +5V$ فإن:

$$\begin{aligned} V_{OHmin} &\approx 5V, & V_{OLmin} &\approx 0V \\ V_{IHmin} &\approx 3.5V, & V_{ILmin} &\approx 1.5V \end{aligned}$$

وهامش الضجيج 1.5V.

5-3-4 طائفة ECL منطق البواغث المترابطة Emitter Coupled Logic

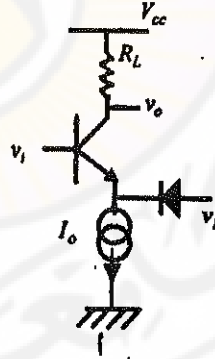
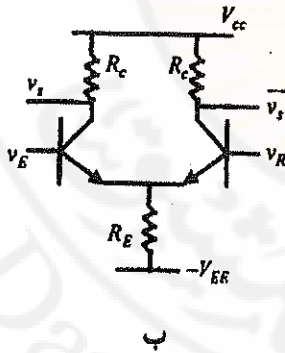
قبل أن نتكلم عن هذه الطائفة سنعرض مبدأ "منطق بنمط التيارات" current mode logic. أو منطق ابتدال التيارات. لنفترض أن لدينا الدارة المهيئة بالشكل 14- (أ)، فإذا كان $V_1 < V_R$ فإن التيار I_0 يمر كله في الديود ويبقى الترانزستور قاطعاً، و $V_0 \equiv V_{CC}$. أما في الحالة المعاكسة، حين يكون $V_1 > V_R$ ، فيصبح الديود قاطعاً، ويمر I_0 كله في الترانزستور وتحقق العلاقة:

$$V_0 = V_{CC} - R_L I_0$$

ويمكننا حساب فلطية الوصلة B-C للترانزستور كما يلي:

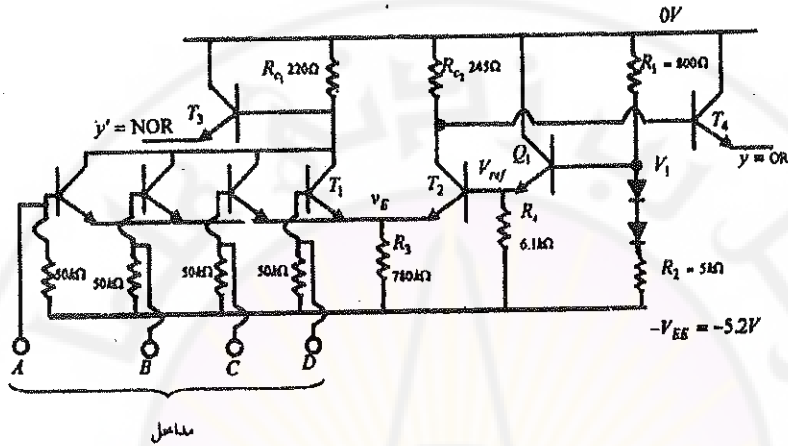
$$V_{CB} = V_{CC} - R_L I_0 - V_1$$

وتكمن أهمية هذه الدارة في أنه يمكننا التحكم في التيار I_0 بحيث نمنع الترانزستور من الوصول إلى الإشباع، أي بحيث لا تكون قيمة V_{CB} سالبة ولا تنحاز الوصلة B-C أمامياً. وعندها تصبح أزمدة الابتدال قصيرة والدائرة سريعة. يمكننا الاستعاضة عن الديود بترانزستور آخر كما هو مبين بالشكل 14- (ب)، وفي هذا الشكل V_R فلطية مرجعية ثابتة، فلطية الدخل، ونحصل على الحرج V_B و متممة $\bar{V}_B$.



الشكل 14- دائرة عاكس بمنطق ابتدال التيار (أ) بديود وترانزستور (ب) بترانزستورين موصولي البواغث.

تعتمد الطائفة المنطقية ECL على المبدأ الذي ذكرناه بحيث لا تشبع الترانزستورات، وتكون البوابات سريعة. ندرس فيما يلي دائرة ECL حقيقية.



الشكل 15- بوابة ECL حقيقية (ECL 10K).

في هذه الدارة، يفترض المصنع $V_d = 0.8V$ للديودات أو لأي وصلة p-n طاقة. التيار المار بالممانعتين R_1 و R_2 هو:

$$I = \frac{-V_{EE} - 2V_d}{R_1 + R_2}$$

$$V_1 = R_2 I + 2V_d \text{ و}$$

أما القطبية المرجعية V_{ref} فتساوي:

$$V_{ref} = V_1 - V_d = R_2 I + V_d = -1.3V$$

نستطيع من ذلك حساب V_E :

$$V_E = V_{ref} - V_d = (-1.3 - 0.8)V = -2.1V$$

1- إذا كانت جميع المدخلات على القيمة "صفر منطقي" فإن التيار يمر كله عبر الترانزستور T_2 ، ومن ثم يمكننا حساب تيار الابتدال من العلاقة:

$$I_{E2} = \frac{V_E - V_{EE}}{R_3} \approx 4mA$$

من جهة أخرى لدينا

$$V_{C2} = V_{B4} = V_{CC} - R_{C2} I_{E2} \approx -1V$$

وتوافق فلطية الخرج Y، في هذه الحالة، القيمة "صفر منطقي":

$$V(Y) = V_{OL} = V_{C2} - V_{BE4} = -1.8V$$

وإذا أهملنا تيارات القاعدة للترانزستورات يكون الخرج Y على القيمة "واحد منطقي" وفلطيته تساوي :

$$V(Y') = V_{OH} = V_{CC} - V_{BE3} = -0.8V$$

2- أما إذا كان أحد المدخلات موصولاً إلى القيمة "واحد منطقي" (أي إلى الفلطيية

$-0.8V$)، فيصبح الترانزستور T_2 قاطعاً و الترانزستور T_1 ناقلاً ويكون لدينا:

$$V_E = V(T') - V_{BE1} = -1.6V$$

$$I_{E1} = \frac{V_E - V_{EE}}{R_3} \approx 4.6mA$$

$$V_{C1} = V_{CC} - I_{E1} R_{C1} \approx -1V$$

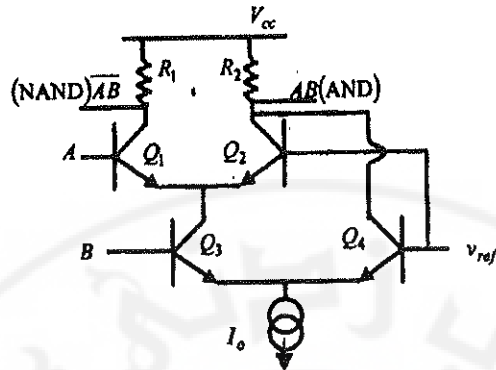
وبالطريقة نفسها نجد:

$$V(Y) = V_{OH} = -0.8V$$

$$V(Y') = V_{OL} = -1.8V$$

وعلى هذا، تعطي هذه البوابات التابعين OR على المخرج Y و NOR على المخرج Y'، ونلاحظ من المستويات المنطقية المحسوبة آنفاً أن هامش الضجيج ضعيف جداً.

يمكن تنفيذ بوابات AND-NAND هذه الطانة كما هو مبين في الشكل 16-



الشكل -16- بوابات AND-NAND بتقنية ECL.

5-3-5 الطائفة I²L Integrated Injected Current التيار المحقون المتكامل

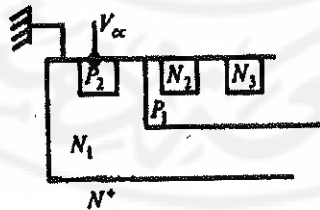
وتسمى أيضاً الطائفة Merged Transistor Logic MTL، وتتميز بأنها عالية التكامل جداً، إذ يمكن أن تضم 400 بوابة في المليمتر المربع الواحد (في حين يمكن مكاملة 300 بوابة فقط، في حالة التقنية MOS، ضمن المساحة نفسها). لا تحتاج هذه الطائفة إلى سحب تيارات عالية (نحو 1nA للبوابات)، ومعامل جودتها 1pJ وهو معامل الجودة لطوائف MOS أيضاً.

تقع فلطية التغذية بين 0.8V و 1V والمستويات المنطقية كما يلي:

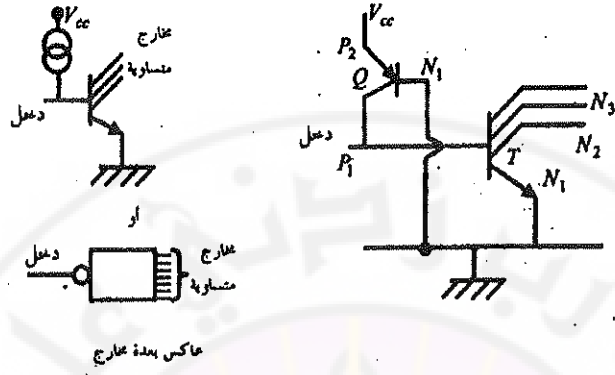
$$V_{IH} = 0.7V, \quad V_{OH} = 0.8V$$

$$V_{IL} = 0.6V, \quad V_{OL} = 0.2V$$

ولهذا فهو امش الضجيج ضعيفة جداً. (انظر إلى الشكل -17-).



الشكل -17- (أ) بنية العاكس I²L

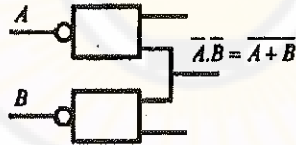


ج

ب

الشكل -17- (ب) الدارة الإلكترونية المكافئة للعاكس السابق، (ج) رمزه.

ويمكن تشكيل توابع منطقية مختلفة باستعمال هذه البقعة، إضافة إلى ما يسمى: تابع AND بالربط السلكي cabled AND (انظر الشكل -18-).



الشكل -18- تنفيذ التابع NOR ببقعة 1^2L .

مقارنة الطوائف المنطقية:

يبين الجدول التالي مقارنة لأهم ميزات الطوائف المنطقية التي درسناها:

I ^L	CMOS 4000	10K	ECL III	S	TTL LS	
1	10		5.2-		5	فلتية التغذية (V)
5	>50	90	70		10	الخروج Fan-out
10*10 ⁻⁴	10*10 ⁻⁴	25	60	19	2	الاستطاعة للبوابة (mW)
20	25	1.5	0.7	2	8	زمن التأخير (ns)
0.6	5-4 لتغذية 10		0.8	3.3	2.2	هامش الضجيج (V)
0.2	0		1.75-	0.5	0.35	VOL(V)
0.8	10		0.9-	3.5	3.4	VOH(V)

أخيراً نذكر بأنه توجد دوائر موازنة مثل :

1488 للنقل من المنطق TTL إلى $\pm 12V$ (بوابة الحاسوب)

1489 للنقل من $\pm 12V$ إلى المنطق TTL

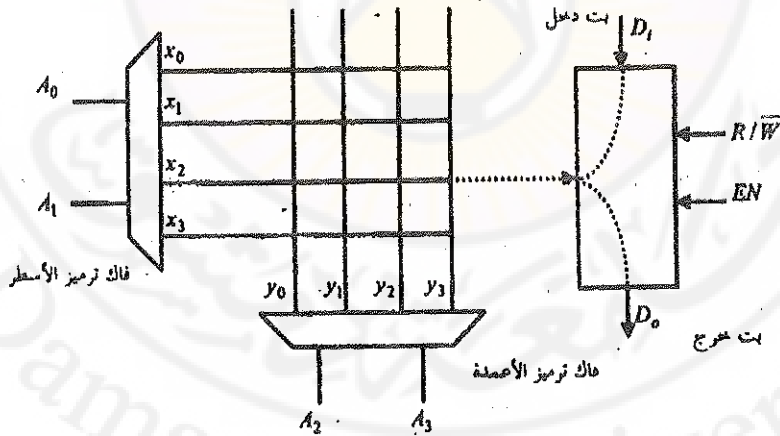
10124 للنقل من المنطق TTL إلى المنطق ECL

10125 للنقل من المنطق ECL إلى المنطق TTL

5-4 الدوائر الإلكترونية وأنواعها

تتألف الذاكرة الإلكترونية من مجموعة خلايا، تستطيع كل منها تخزين بت واحد. وتوضع الخلايا، في أغلب الأحيان، على شكل مصفوفة لها عدد من الأسطر وعدد من الأعمدة. وهناك مفككات ترميز Decoders تأخذ مجموعة من الدخول A_1 (هي خطوط العنوان) لتصل إلى البت المحدد. يمكن أن نكتب قيمة هذا البت عبر خط الدخول أو أن نقرأها عبر خط الخرج (ويسميان خطوط المعطيات)، وقد يتساوى خط دخل المعطيات بخط مخرجه، ونتحكم في أمر القراءة أو الكتابة من خط تحكم مخصص لهذا الغرض. ويوجد خط تحكم يحدد العملية التي نقوم بها على خلية الذاكرة (قراءة أو كتابة R/W)، يضاف إلى كل هذا خط تحكم EN لتأهيل الدارة. (انظر الشكل 19-).

وتنتج عنوانة الخلية (بت الذاكرة) باختيار سطر x_i وعمود y_j من مصفوفة البتات. وذلك بالقسام مجموعة بتات "كلمة عنوان" بين مفكك ترميز الأسطر ومفكك ترميز الأعمدة. وكل مفكك ترميز بينهما هو دائرة، دخلها مجموعة خطوط عنوانية وليكن n خطاً: $A_0, \dots, A_{n-1}$ ، ومخرجها "2 خطاً"، بحيث يؤهل خط إخراج الذي ترتيبه يساوي العدد الممثل بالبتات الموجودة على خطوط الدخول $A_0, \dots, A_{n-1}$.



الشكل 19- المخطط العام لدائرة ذاكرة، بتات مفردة.

وفي أغلب الأحيان، نفضل التعامل مع كلمات ذاكرة بعدة بتات (بايت 8 بت، أو كلمة 16 بت، أو كلمة 32 بت، أو أي عدد يحتاج إليه من البتات)؛ وحينها نعتبر جميع البتات على السطر نفسه بأن واحد. في هذه الحالة، نستعمل مخطوط العنونة مع مفكك ترميز وحيد لتحديد السطر، ويكون لدينا أكثر من خط معطيات بعدد بتات السطر.

أنواع الذاكرات الإلكترونية:

RAM: Random Access Memory، ذاكرة رام أو ذاكرة ذات ولوج عشوائي أو ذاكرة حية. وهي ذاكرة يتساوى فيها زمن الولوج إلى أي خلية فيها مهما كان موضعها في مصفوفة الخلايا. ولها نوعان: الرام الساكنة Static RAM وهي تحتفظ بالمعلومات ضمن الخلايا طوال مدة تغذية الدارة كهربائياً، والرام الحركية Dynamic RAM وهي تحتاج إلى إعادة كتابة قيم المعطيات فيها دورياً، وإلا فإنها تفقد محتواها وذلك لتدهور قيم الفلظيات المطبقة على الخلايا بسبب وجود مكثفات طفيلية في الدارة.

ROM: Read Only Memory، ذاكرة روم أو ذاكرة للقراءة فقط أو ذاكرة ممتعة. ومع أن الولوج إليها عشوائي أيضاً فإننا نستطيع الكتابة بها مرة واحدة فقط، وبعدها نستطيع فقط القيام بعمليات قراءة محتواها.

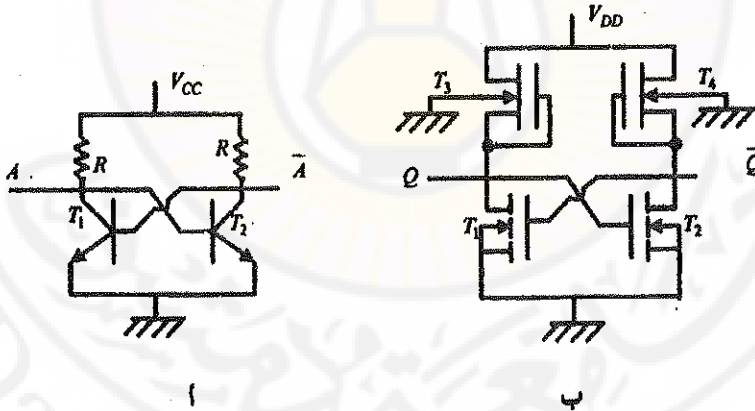
PROM: Programmable ROM، ذاكرة بروم، وهي نوع من الـروم يمكن للمستثمر أن يرمج محتواها (يكتبها) مرة واحدة.

EPROM: Erasable PROM، وهي ذاكرة روم يمكن برمجتها عدة مرات. تستعمل في دارات المعالجات الصغرى Micro Processors لوضع البرمجيات التشغيلية عليها. يجري محتواها باستعمال الأشعة فوق البنفسجية.

EAROM: Electrically Alterable ROM، وهي تشبه ذاكرة الـ EPROM ولكن يجري محتواها كهربائياً، خلال زمن أقصر بكثير من زمن المحو باستعمال الأشعة فوق البنفسجية.

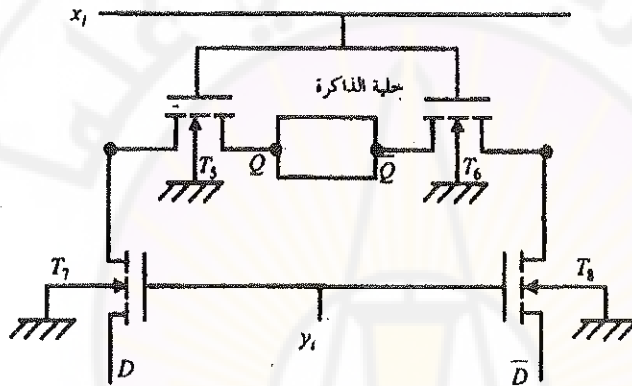
5-4-1 الذاكرة الحية RAM

هذه الذاكرة أهمية كبيرة في جميع النظم التي تعتمد على المعالجات الصغرية، فهي تشكل ذاكرة العمل لهذه النظم. ويوجد في الحواسيب الشخصية والنظم المعلوماتية، على سبيل المثال، ذواكر الرام الأساسية للنظام، وذواكر الرام الخاصة بالشاشة وأخرى خاصة بالطابعة وغير ذلك. وكلما كانت الذاكرة أكبر سعة، كان التعامل مع النظام أسهل، إذ إن عدم وجود رام كافية في النظام يؤدي إلى إبطائه، لأن معالجته يقضي زمنا لا يستهان به، في هذه الحالة، في إدارة الذاكرة ووضع المعلومات، التي يحتاج إليها لحظيا، فيها. وخلية الذاكرة (البت) في هذه الدوائر هي دائرة ثنائية الاستقرار bistable، أي لها حالتا استقرار: إذا وجدت في إحدى هاتين الحالتين فهي تبقى كذلك إلى أن تتغير حالتها إلى الحالة الأخرى بتأثير خارجي. يبين الشكل 20- تشكيلتين لهذه الخلية: الأولى باستعمال ترانزستورين وممانعتين (إما أن يكون الترانزستور T_1 مشبعا والترانزستور T_2 قاطعا أو بالعكس)، والثانية باستعمال 4 ترانزستورات النان للتحكم واثنتان ترانزستورات حمل بدل الممانعات.



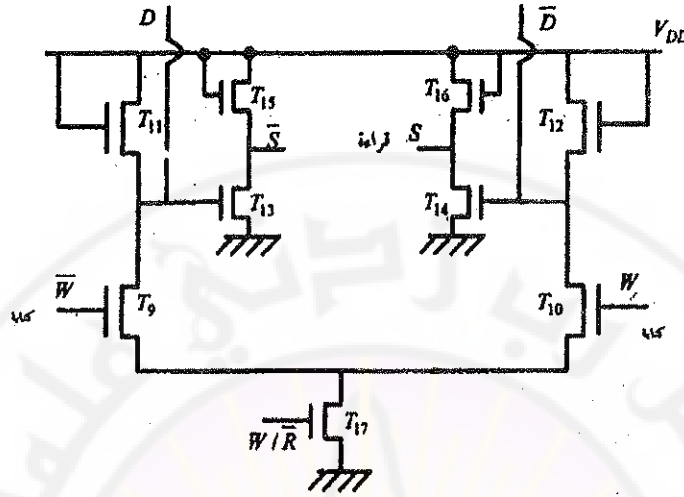
الشكل 20- خلية (بت) ذاكرة حية (أ) بترانزستورين BJT وممانعتين
(ب) بأربعة ترانزستورات MOS.

حين نود الكتابة في هذه الخلية فإننا نجبر T_1 أو T_2 على الإشباع (ومن ثم يصبح T_2 أو T_1 على التوالي T_1 قاطعاً)، فيكون البت المكتوب Q يساوي 0 أو على التوالي 1. وبين الشكل -21- كيفية انتقال البت ومعموسه إلى مخطوط الخرج D و $\bar{D}$ حين تختار السطر x_i والعمود y_i الموافقين لهذه الخلية. نفترض أن وضع القيمة "1" منطقي على بوابة الترانزستور تجعله مشعباً ومكافئاً لدائرة قصر Short Circuit بين منبعه ومصرفه.



الشكل -21- اختيار خلية (بت) ذاكرة حية.

أما اختيار عملية القراءة أو الكتابة بالبت لتجري باستعمال مخطوط التحكم R للقراءة و W للكتابة. وغالباً ما يكونان على خط واحد بحيث يكافئ وضع القيمة "1" على هذا الخط اختيار عملية قراءة، ويكافئ وضع القيمة "0" عليه اختيار عملية كتابة، ولرمز إلى هذا الخط بـ $R/\bar{W}$ وبين الشكل -22- توصيلات مخطوط القراءة والكتابة داخل الدارة.



الشكل 22- خلية (بت) ذاكرة حية مع التوصيلات الداخلية لخطوط التحكم في القراءة والكتابة.

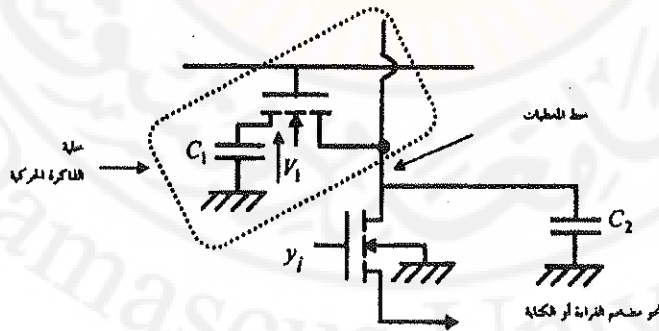
فلذا كان الأمر بالقراءة ($R="1"$ و $W="0"$)، في دائرة الشكل 22-، فإن الترانزستور T_{17} قاطع وكذلك T_{10} ، فلا تتأثر خطوط المعطيات D و $\bar{D}$ وتخرج القيم المعاكسة لها على $\bar{S}$ و S إلى خطوط المعطيات الخارجية (عبر العاكس المكون من الترانزستورين $T_{15} - T_{13}$ والعاكس المكون من الترانزستورين $T_{16} - T_{14}$ على التوالي).

أما إذا كان الأمر بالكتابة ($R="0"$ و $W="1"$)، فيُشيع الترانزستور T_{17} وعلى ذلك توصل منابع الترانزستورين T_{10} و T_9 إلى الأرضي (الفلطية صفر). نضع قيمة البت المراد كتابته على بوابة الترانزستور T_{10} ومعكوسه على بوابة الترانزستور T_9 فنظهر قيمة البت على الخط D ومقلوبه على الخط $\bar{D}$ وتكتب القيمة في الخلية.

إن خلية الذاكرة التي درسناها حتى الآن هي خلية رام ساكنة Static RAM وتحتفظ بقيم المعطيات داخل خلاياها ما بقيت موصولة إلى خطوط التغذية. ونلاحظ أن كل خلية تحتاج إلى ستة ترانزستورات على الأقل، أربعة منها للخلية نفسها والثان لاعتبار السطر والعمود. وهذا رقم لا يستهان به إذا فكرنا في التيارات المسحوبة والاستطاعة المستهلكة. يمكننا اختصار عدد الترانزستورات والاقتصاد في الاستطاعة باستعمال الدوائر الحية الحركية Dynamic RAM التي تعتمد في عملها على المبدأ التالي: تتألف الخلية من ترانزستور ومكثف، تحتفظ المكثف بالمعلومات مدة معينة من طريق شحنها (المكثف C_1 في الشكل -23-). حين نقرأ قيمة المعطيات ونختار السطر y_i للخلية والعمود y_i تغير الشحنة الموجودة في المكثف C_1 ول فرق الكمون بين طرفيها لوجود مكثفات طفيلية على الخط C_2 على التوازي مع C_1 . فاللفظية V_1 التي كانت سابقاً بين طرفي C_1 قبل القراءة تصبح مساوية للقيمة:

$$\frac{C_1 V_1}{C_1 + C_2}$$

يضاف إلى هذا أثر تيارات التسريب. لذلك يجب إعادة كتابة المعطيات في هذه الدارة دورياً. يُعطى دور الكتابة، المسمى بزم الإنعاش refreshment period، من قبل المصنع وهو من رتبة 1ms. إذن هذه الدوائر عالية التكامل وذات ساعات عالية، ولكنها تحتاج إلى الإنعاش.



الشكل 23- خلية ذاكرة رام حركية.

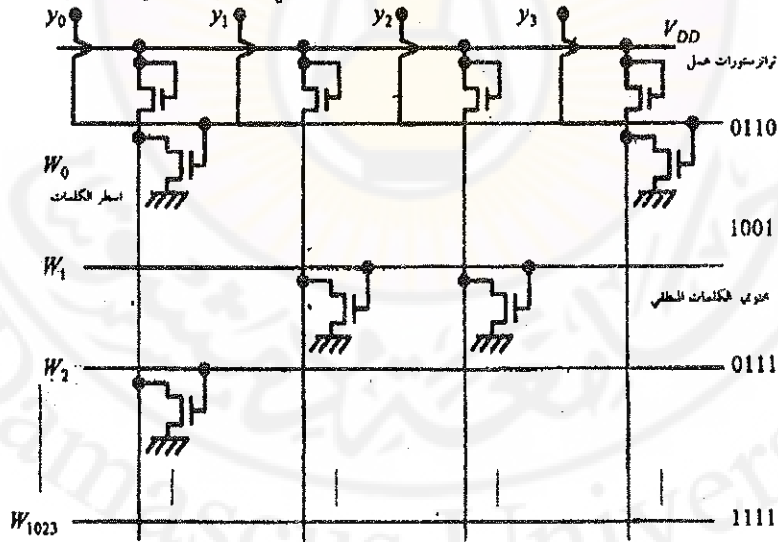
حين نود اختيار دائرة ذاكرة حية لتطبيق ما، فإننا نتم بسعة تخزين الدائرة (حجم المعطيات المخزنة) وبسرعة البت الواحد، والأبعاد الحظية للدائرة واستهلاكها وزمن الولوج إليها (تحصيل المعطيات التي بداخلها). ونلاحظ أن الرام الحركية أبطأ وأرخص ثمناً من الـ SRAM الساكنة، وأن تقنية الـ MOS هي أبطأ التقنيات وأرخصها ثمناً يليها الـ CMOS المتسام CMOS ثم نجد أن الـ TTL هي أسرع الذاكر وأغلاها ثمناً بين هذه الطوائف الثلاث.

2-4-5 الذاكر الميتة ROM

نكتب هذه الذاكر مرة واحدة فقط، أثناء تصنيعها، لذلك نعتبرها ذاكرة قراءة فقط. وهذه الذاكر أهمية خاصة، لأن برمجيات إقلاع النظم الحاسوبية جميعها قائمة على ذاكر ROM أو متغيرات منها EPROM. أما عن بنية هذه الدوائر وكيفية عملها، فسناخذ مثلاً توضيحياً لذلك.

نفترض أنه لدينا ROM بـ 10 بتات للعبارة، و 4 بتات لكل كلمة منها. وأنها مصنعة

بتقنية NMOS. يمكن أن يكون ترتيب الذاكرة كما يلي (انظر الشكل -24-):



الشكل -24- ذاكرة روم ROM بتقنية NMOS و 1024 كلمة من 4 بتات

نلاحظ أن هذه الذاكرة مؤلفة من مصفوفة تحوي $2^{10} \times 4$ تقاطعات. ولدينا 4 ترانزستورات لكل، لها دور مماثلات، موصولة إلى خطوط معطيات الخرج $y_0, \dots, y_3$. يرمز هذه التقاطعات أثناء التصنيع، ونضع ترانزستورات في التقاطعات التي نريد الحصول فيها على بت "0" صفرية.

في الحقيقة، لتسهيل التصنيع نضع ترانزستورات عند جميع التقاطعات، والنقطة التي نريد فيها "صفر منطقي" نضع فيها ترانزستوراً بطبقة أكسيد SiO_2 رقيقة وعلى ذلك: حين يجري اختيار سطر الكلمة التي نحوي هذا البت، يصبح الترانزستور ناقلاً والبت الموافقة "صفر". أما في النقاط التي نريد قيمة البت فيها "واحد منطقي"، فإننا نجعل الترانزستور الموافق بطبقة سمكة من الأكسيد بحيث تكون فلطية عتبه كبيرة، ولذلك فهو يبقى لاطعاً عند اختيار سطر الكلمة وكأنه غير موجود.

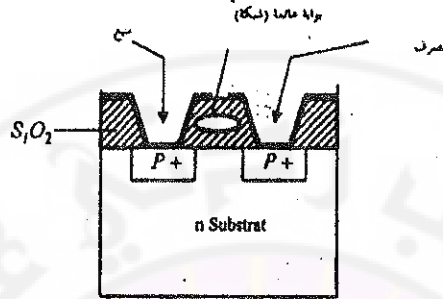
5-4-3 الدوائر الميعة القابلة للبرمجة PROM

يمكن وضع فواصم عند جميع التقاطعات في الذاكرة ببدل الترانزستورات، ونسمح للمستعمل أن يعرف بنفسه المعطيات التي يود كتابتها داخل الدارة. ويوجد جهاز لبرمجة هذه الدارة مرة واحدة بحيث نصهر الفواصم (تصبح دارات مفتوحة open circuit) في التقاطعات الموافقة لبتات "واحدية"، ونبقي عليها (تبقى دارات قصر short circuit) في التقاطعات الموافقة لبتات "صفرية".

5-4-4 الدوائر القابلة للبرمجة وإعادة البرمجة EPROM و EAPROM

لهذه الدوائر أهمية خاصة في الدارات المستقلة stand alone التي تستعمل معالجات صفرية: نضع البرمجيات التي يجب أن ينفذها المعالج على هذه الدارات، وكلما احتجنا إلى تعديل نقوم بمحو هذه الذاكرة وكتابة البرمجيات الجديدة عليها. يجري محو المعلومات من ذواكر الـ EPROM (Erasable PROM) باستعمال الأشعة فوق البنفسجية، ويمكن أن تستغرق عملية المحو بين 10 دقائق و 30 دقيقة، وهناك عنصر إلكتروني هسام

جداً في تصنيفها يسمى الترانزستور FAMOS: أي ترانزستور موس ببوابة عائمة: Floating gate Avalanche Injection MOS. ولهذا الترانزستور البنية التالية:



الشكل -25- بنية الترانزستور FAMOS ببوابة عائمة

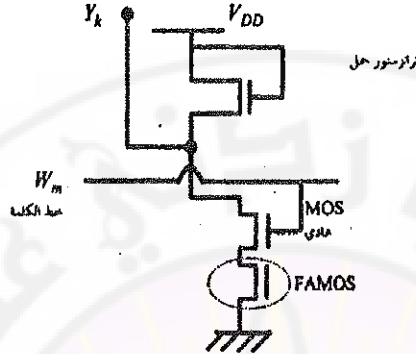
وهو ترانزستور PMOS بحيث لا يوجد أي وصل بين بوابته العائمة وبين الخارج، يُفصل هذه البوابة عن الركيزة substrate بطبقة رقيقة من أكسيد السيليسيوم SiO_2 لا تتجاوز لثاقتها 1000 Å. ومبدأ عمله كما يلي:

بدايةً يكون الترانزستور قاطعاً ولا يمر فيه أي تيار، فإذا أردنا إمرار تيار فيه فإننا نعمل على الفهار الوصلة P-N بين المصرف والركيزة بتطبيق للبطية 30V- تجعلها منحازة عكسياً، لتتحرر إلكترونات بطاقة حركية عالية وتهاجر إلى البوابة العائمة (تُحقن في البوابة العائمة).

تعمل هذه الإلكترونات على شحن البوابة بشحنة سالبة، وهذا ما يؤدي (بفعل مكثفي بين البوابة العائمة والركيزة) إلى تجميع شحنات موجبة في الركيزة بين المنبع والمصرف، وينشأ إمكان لنقل التيار بينهما. فإذا بقي الترانزستور على حاله مع الشحنات المجمعة في بوابته العائمة فإن نسبة ضياع هذه الشحنات لا تتجاوز 30% على مدى 10 إلى 15 سنة.

أما إذا أضيء العنصر بالأشعة فوق البنفسجية، فيمر فيه تيار كهروضوئي photoelectric ويفرغ الإلكترونات باتجاه الركيزة فيعود الترانزستور FAMOS إلى

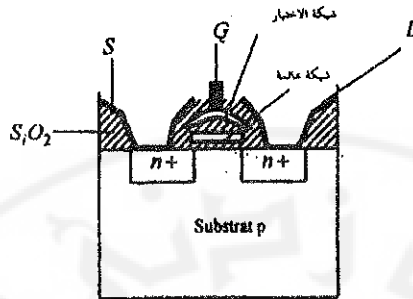
حالته السابقة وهي أنه دائرة مفتوحة (غير ناقل). وإذا أردنا وضع الـ FAMOS في خلية ذاكرة فإننا نستعمل عادة التشكيلة التالية :



الشكل-26- استعمال الترانزستور FAMOS في خلية ذاكرة.

في دائرة الشكل -26- حين لختيار الكلمة W_m فإن الترانزستور العادي يصبح ناقلًا ومن ثم فإن الترانزستور FAMOS يقوم بدور "دائرة مفتوحة" إلا إذا جرت برمجته ليكون ناقلًا، ولبرمجته يكفي اختيار الكلمة W_m وتطبيق فلطية قدرها 30V- على الخط Y_k ، فيصبح الـ FAMOS "دائرة مغلقة"، والمعلومة المخزنة فيه هي "0". أما إذا لم تطبق أي فلطية على Y_k فيبقى الترانزستور "دائرة مفتوحة" والمعلومة المخزنة فيه "1". إن تعرض الذاكرة للأشعة فوق البنفسجية يتسبب وجود نافذة شفافة (عادة تكون زجاجية) لتنفذ منها الأشعة إلى الدارة.

صنعت في شركة Entel ترانزستور هيويتن يستعاض به عن الترانزستور العادي والترانزستور FAMOS في خلية الذاكرة السابقة، ومبدأ عمل هذا الترانزستور كالآتي:

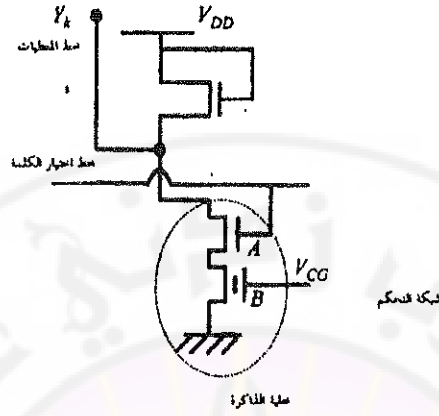


الشكل -27- ترانزستور FAMOS بهوابتين

هذا الترانزستور بهابتين: الأولى عالمية والثانية بوابة عادية، لسمي الأخيرة بوابة الاختيار، وتقع فوق الأولى، وهي للتحكم في برمجة الترانزستور. فإذا طبقنا للبطية موجبة من رتبة 25V على بوابة الاختيار وعلى المصرف D بأن واحد، فإن هذا سيؤدي إلى مرور الإلكترونات، المزودة بطاقة حركية كافية، من القناة إلى البوابة العالمية، عبر طبقة الأكسيد الرقيقة التي تفصل بينهما. وهذا يجعل القناة موجبة أكثر، ومن ثم ينعدم إمكان مرور أي تيار بين المصرف D والمنبع S. وهذا يجعل للبطية العتبة على بوابة الاختيار عالية في حال وجود إلكترونات على البوابة العالمية.

إذن، يمكن للبطية موجبة قيمتها +5V، حين تطبق على بوابة الاختيار، أن تؤدي إلى إغناء القناة وأن تجعل الترانزستور ناقلاً حين لا يكون هناك إلكترونات مجمعة على القناة العالمية؛ أما إذا وجدت شحنات على البوابة العالمية، فيبقى الترانزستور كدائرة مفتوحة.

وبسبب بطء نحو المعلومات من الدواكر EPROM ذات اشع بالأشعة فوق البنفسجية، فقد ظهرت دواكر يمكن محوها كهربائياً وبزمن أقصر بكثير مما سبق ذكره، وهي الدواكر ROM (Electrically Alterable EARAM). وتستعمل خلايا هذه الذاكرة الترانزستور FAMOS بهابتين. كما هو مبين في دائرة الشكل -28-



الشكل -28- خلية ذاكرة EAPROM.

في هذه الدارة، الترانزستور A هو من النوع NMOS بالإغناء، فإذا كان الكمون V_{CG} موجباً فإن البوابة العالمية تجمع شحنات سالبة بفعل المكثفة بين البوابتين، ومن ثم يصبح الترانزستور B قاطعاً، والمعلومة المخزنة " $y_k=1$ ". ولغو محتويات الترانزستور B، يكفسي تطبيق فلطية سالبة على البوابة V_{CG} ومن ثم تتجمع شحنات موجبة على البوابة العالمية وتكون قناة سالبة بين المصرف D و المنبع S للـ: الترانزستور B ويصبح هذا الترانزستور ناقلاً و " $y_k=0$ ".

ملاحظة:

في محاولة لبيان حالة الدارات الرقمية حالياً في عام 2000 نفيد بأن مصابح الحواسيب الشخصية، مثل Pentium III قد قارب في سرعته 750 MHz ويتوقع أن يتجاوز حد 1000 MHz=1GHz في نهاية هذا العام، وسيعمل على معطيات 64بت فأعلى، وهو مصنع بالثقالة الإلكترونية 0.13 ميكرون. والجدير بالذكر أنه في كل عام ونصف يتضاعف عدد الترانزستورات المستعملة في هذه المعالجات.

أما الذواكر الحية الحديثة، فقد فرضت شركة Rambus معيارها على السوق العالمية للحواسيب الشخصية. تسمى هذه الذواكر Rimm، وهي ذواكر حركية Direct Rambus DRam ويمكنها أن تعمل على التردد 300 MHz وهذا يمكنها أن تنقل حتى 1.6 جيجا بايت بالثانية. وسيعمل المصنعون على تطوير ذواكر من هذا النوع بتقانة 0.18 ميكرون يمكنها أن تعمل بالتردد 800 MHz ويمكنها أن تتضمن متحكماً في الذاكرة لرفع الأداء. (عن IT Magazine nb. 82-83, August-Septembre 99).

إننا نقرب شيئاً فشيئاً من الحدود الفيزيائية للسيليسيوم (أبعاد ذرات السيليسيوم)، ومن ثم سرعات الحواسيب. ويتوقع ألا يكون بإمكاننا، بعد نحو خمسة عشر عاماً مسن الآن، الحصول على أي تحسين في هذا الاتجاه. وسيكون التوجه نحو الحواسيب الكمومية: حين تكون الأبعاد من رتبة الذرة، تسود قوانين الفيزياء الكمومية وأهمها تراكب الحالات: أي أن يكون الفوتون نفسه في مكانين مختلفين، ويكفي تمثيل المعطيات بهذه الحالات للحصول على معالجة متوازية حقيقية. إن تصميم مثل هذه الحواسيب ما زال في المخابر، ولكنه إذا نجح فسيقلب جميع مفاهيمنا الحالية عن طبيعة معالجة المعطيات وسرعته. (عن L'Ordinateur Individuel n.115 Mars 2000)

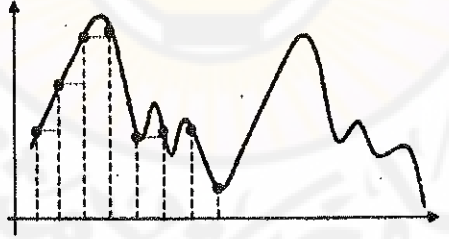


الفصل السادس: تحصيل الإشارات التماثلية من وإلى الحاسوب

6-1 دائرة أخذ العينات وحفظها Sample and Hold

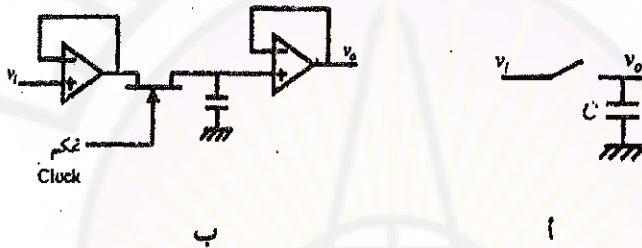
يمكن تصنيف الإشارات الكهربائية كإشارات مستمرة أو إشارات رقمية مقطعة. الإشارات المستمرة هي توابع مستمرة معرفة على طول محور الزمن، في حين أن الإشارات المقطعة معرفة فقط عند لحظات معينة، هي لحظات أخذ العينات. لنفترض أن لدينا إشارة كهربائية تمثل فلطية خرج مجس sensor output voltage مثل المكرفون (الإشارة المبينة في الشكل -1-) ولود أن نحصل على قيم عديدة للإشارة عند لحظات معينة (لبضات ساعة نأخذ عندها العينات) بحيث لنتمكن من استعادة شكل الإشارة مسن هذه القيم. والجدير بالذكر أنه يجب أن يكون تردد أخذ العينات أكبر من ضعف أعلى تردد موجود في طيف الإشارة وهذا ما يسمى بشرط شانون Shannon في التقطيع، أو في أخذ العينات.

من جهة أخرى، علينا أن نثبت قيمة الإشارة أثناء مدة من الزمن لنتمكن من إجراء التبديل التماثلي الرقمي. وعلينا أن نجري هذا التبديل ولحزن القيم الرقمية في حاسوب أو في ذاكرة دائرة أو غيرها.



الشكل -1- مثال لإشارة خرج مكرفون مستمرة، ومقطعة

إن أبسط دائرة يمكنها أخذ العينات وحفظها هي الدائرة المبينة بالشكل 2- (أ)، والتي تضم مكثفة وقاطعة فقط، تتحكم ساعة أخذ العينات sampling clock في إغلاق القاطعة فيصبح $v_o = v_i$ وتحفظ المكثفة بهذه الفلظية بعد فتح القاطعة لعدم وجود أي ممانعة تفرغ عبرها. ويبقى v_o ثابتاً خلال مدة فتح القاطعة إلى أن يأتي الإغلاق التالي للقاطعة. أما الدائرة (ب) من الشكل لنفسه فهي تنفيذ عملي أفضل لدائرة إمساك العينات. تعزل مضخمات العمليات إشارات الدخل والخرج عما سواهما، ويعمل الترانزستور MOS عمل القاطعة.



الشكل 2- (أ) دائرة بسيطة لإمساك العينات، (ب) دائرة محسنة عنها وعملية.

يمكن إجراء التبديل التماثلي-الرقمي خلال مدة ثبات فلظية الخرج. أي إن هذه المبدلات تأخذ فلظية ثابتة في دخلها، وتعطي مجموعة بتات في الخرج تعبر عن قيمة هذه الفلظية. يمكن أن تقبل المبدلات قيماً موجبة فقط، ويمكن أن تأخذ قيماً سالبة أيضاً ويكون في خرجها بت للإشارة، أو يكون خرجها هو التمثيل المتمم إلى 2، 2^{th} compliment لقيمة الفلظية التي تجري التبديل التماثلي الرقمي لها.

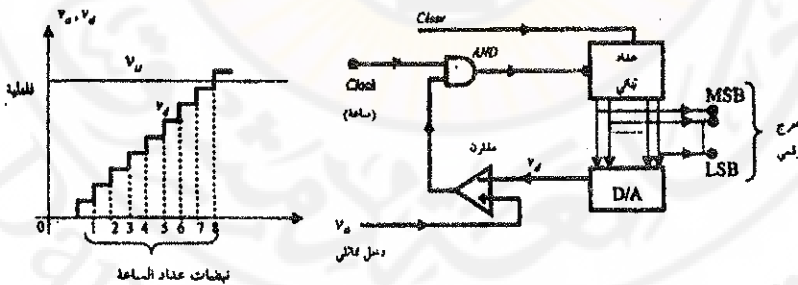
2-6 المبدلات التماثلية/الرقمية ADC.

لنفترض أن الإشارة التماثلية قد مرت في دائرة إمساك العينات وأنه خلال مدة الإمساك لدينا فلظية الإشارة ثابتة، ونود أن نحصل على قيمة عددية تعبر عن هذه الفلظية. وهنا يبرز دور موصل جديد في العملية وهو عدد بتات التمثيل العددي وهل هو جبري أو

حسابي. ولهذا الموسط أهمية كبيرة. لنفترض، على سبيل المثال أن لدينا دائرة تبديل تماثلي/رقمي تقبل إشارات موجبة فقط بفلطية لا تتجاوز $10V$ ، وأن هذه الدائرة تعطي ناتج التبديل على 8 بتات. هذا يعني أنه في المجال $0-10V$ لدينا 256 قيمة فقط، فإذا اعتبرنا أن القيمة العظمى $10V$ توافق العدد الأعظم 255 فهذا يعني أن تباين القيم لدينا من رتبة $10V/255$ أي نحو $39mV$. أي إن المبدل لن يميز بين قيمتين للفلطية الفارق بينهما لا يتجاوز $39mV$. ولهذا فإن لعدد بتات التبديل أهمية كبيرة في دقة استعادة الإشارات المبدلة.

6-2-1 المبدل التماثلي/الرقمي بالعد

لنأخذ الدارة المبينة بالشكل 3-3. يؤدي إعطاء نبضة على المدخل $clear$ إلى تصفير العداد (وضع القيمة صفراً فيه)، وبعدها كل نبضة ساعة $clock$ تؤدي إلى إضافة واحد إلى العداد. يؤدي تزايد العدد في العداد إلى تزايد قيمة الفلطية الناتجة عن المبدل الرقمي التماثلي V_o . ومادامت قيمة الفلطية التي نود تبديلها V_i أقل من V_o يبقى مخرج المقارن عالياً ("1" منطقي)، وتستمر نبضات الساعة بالمرور إلى العداد. حين تتجاوز V_o قيمة الفلطية V_i يتوقف العداد عن العد وتغير البتات على مخرجه عن التمثيل الرقمي التماثلي للقيمة العددية الموافقة للدخل V_i .



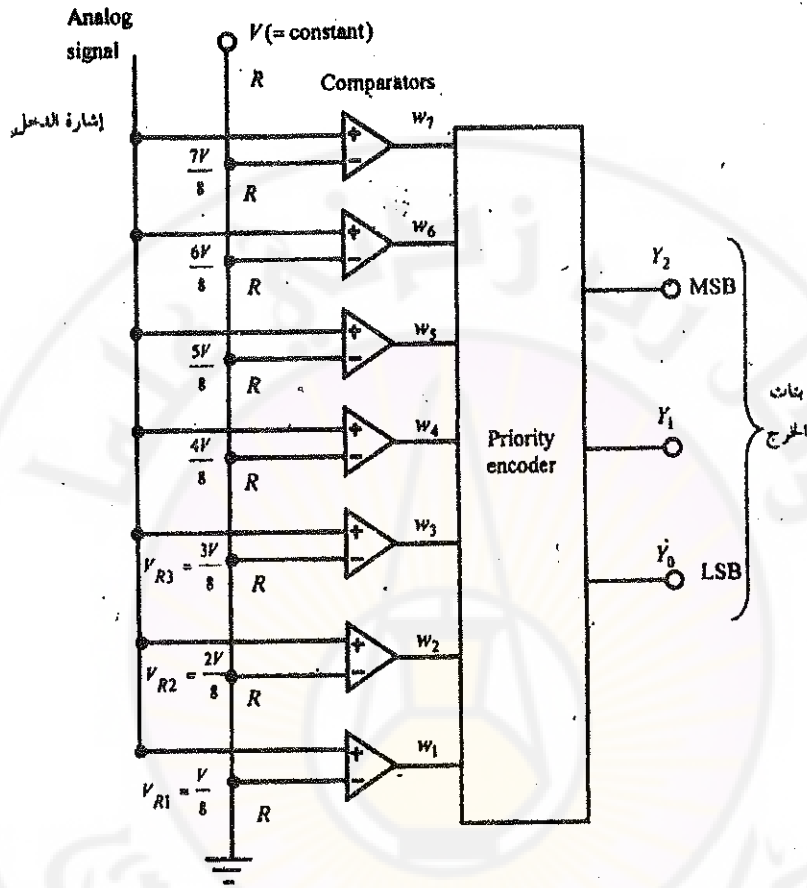
الشكل 3-3 (أ) ADC بالعد، (ب) شكل إشارة مخرج المبدل D/A كتاب عدد نبضات الساعة.

6-2-2 المبدل التماثلي/الرقمي ذو التقريبات المتتالية

عوضاً عن العداد المستعمل في الدارة السابقة نستعمل مبرمجاً (برنامج تنفيذي على دارة تحكم)، يوضع هذا المبرمج القيمة "1" في البت الأكثر دلالة MSB ويضع القيمة "0" في بقية البتات، ويدخل القيمة العددية كاملة إلى D/A فإذا كان $V_e > V_a$ أبقى "1" $MSB=$ وإلا يوضع فيها "0" ويحتفظ بهذه القيمة لهذا البت، ثم ينتقل إلى البت $MSB-1$ ويقوم بالعمل نفسه إلى أن ينتهي من تثبيت كافة البتات. إذا كان المبدل يستعمل n بتاً فلدينا n عملية تبديل D/A ومقارنة، أي محتاج إلى n نبضة ساعة، وذلك مهما تكن قيمة V_a .

6-2-3 المبدل التماثلي/الرقمي ذو المقارنات المتوازية

وهو الأسرع بين المبدلات، ولفهم هذا المبدل نفترض أن لدينا المبدل بثلاثة بتات المبين بالشكل 4-4. لدينا 1-2 مقارناً حيث n عدد بتات التبديل. ونجزئ الفلطة على مدارخل هذه المقارنات، ويكون العدد الموافق لفلطة إشارة الدخل مساوياً عدد المقارنات التي خرجها عالي الفلطة من بين هذه المقارنات، وتقوم دارة المرمز بإعطاء القيم العددية للبتات الثلاثة في المثال حسب العدد الذي تحدده المقارنات في الدارة. تكمن فائدة هذا النوع في أنه يعطي نتيجة التبديل بنبضة ساعة واحدة، مهما تكن قيمة الفلطة إشارة الدخل.



الشكل -4- مبدل ADC ذو مقارنات متوازية.

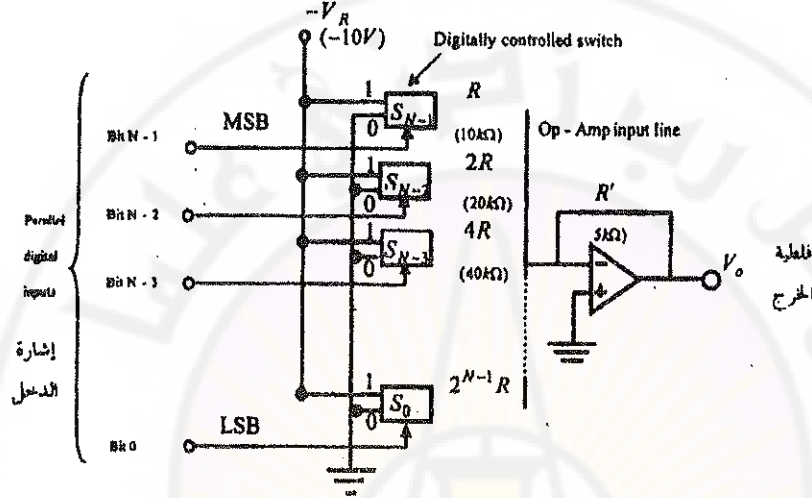
3-6 المبدلات الرقمية/ التماثلية.

في هذه النظم، نفترض أن لدينا قيمة عددية بالترميز الثنائي مرمزة على n بتاً a_n . ونود الحصول على فلطية توافق هذا العدد أي:

$$V_o = (2^{n-1}a_{n-1} + 2^{n-2}a_{n-2} + \dots + 2^2a_2 + 2^1a_1 + a_0)V$$

حيث V فلطية ثابتة.

نحاول بداية تحقيق هذا التبديل باستعمال دائرة جامع كالتي رأيناها في تطبيقات مضخم العمليات، قيم الممانعات متزايدة كما هو مبين بالشكل 5-5.



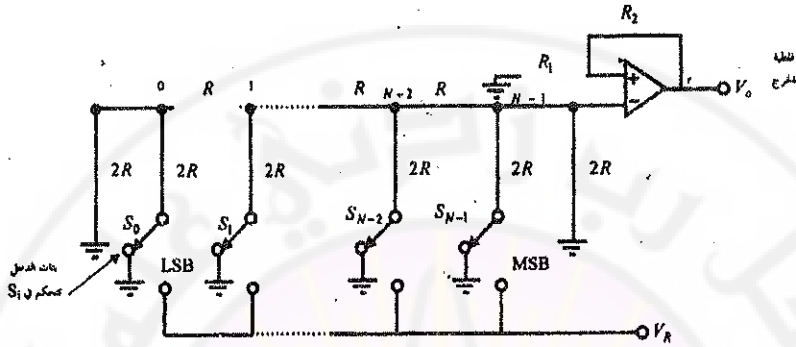
الشكل 5-5- دائرة مبدل رقمي/تماثلي

نضع مجموعة قواطع إلكترونية بحيث تجعل الدخول لكل مدخل من مداخل الجامع صفراً أو V_R ، ويتحكم كل بت من العدد المراد تبديله في قاطعة حسب ترتيبها: البت $n-1$ يتحكم في قاطعة مربوطة على ممانعة R ، والبت $n-2$ يتحكم في قاطعة مربوطة على ممانعة $2R$ والبت $n-3$ يتحكم في قاطعة مربوطة على ممانعة $2^2 R$ والبت 0 يتحكم بقاطعة مربوطة على ممانعة $2^{n-1} R$ ، فلو كانت $n=5$ على سبيل المثال، وكانت جميع البتات تساوي "1"، لننتج لدينا:

$$V_o = \left(1 + \frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16}\right) \frac{V_R R'}{R} = (16 + 8 + 4 + 2 + 1) \frac{V_R R'}{16R}$$

ولكن هناك مشكلة في اختيار هذا العدد من الممانعات بهذه الدقة من القيم، فنحن نعلم أنه لا توجد ممانعات جاهزة لجميع القيم التي نود الحصول عليها. لذلك نستعاض عن هذه

الدائرة بدارة تسمى دائرة التبديل السلمي. هذه الدائرة المبينة في الشكل 6-6- تحتسوي ممانعات بقيمتين فقط R و $2R$.

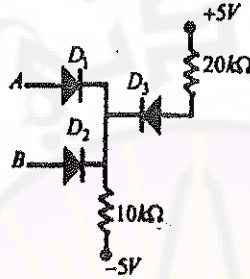


الشكل 6-6- دائرة التبديل السلمي DAC

للاحظ من الدائرة السابقة أن أي عقدة ترى إلى يسارها ممانعة قدرها $2R$ وإلى يمينها ممانعة مماثلة وعبر القاطعة ممانعة مماثلة. فإذا وصلنا العقدة $n-2$ على سبيل المثال إلى الفلظية V_R فإن الممانعة التي يراها V_R هي $2R+2R||2R=3R$. وعلى هذا تكون الفلظية عند هذه العقدة $(V_R/3)R=V_R/3$. ولبرهن أنه عندما يكون البت الموصل إلى عقدة معينة يساوي "1" أي القاطعة الموافقة مبروطة إلى V_R وبقيّة القواطع "0" فإن الفلظية عند هذه العقدة تساوي $V_R/3$. ولكل حالة لحسب الفلظية الموافقة على المدخل السالب لمضخم العمليات، وقلظية المخرج الموافقة، فنرى أن الدائرة تحقق ما هو مرجو منها (يترك إلى الطالب التحقق من هذا).

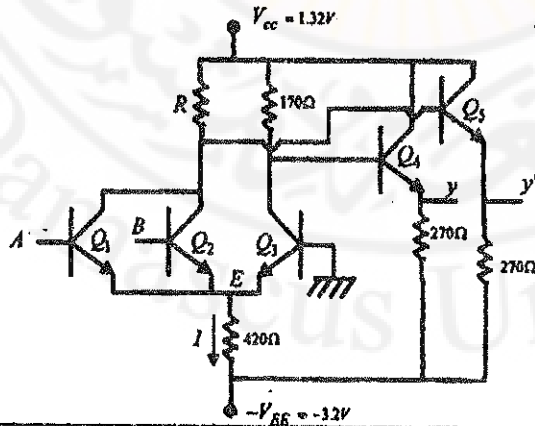
تمارين الفصلين الخامس والسادس

1- المستويات المنطقية للدائرة المبينة بالشكل التالي هي $2V$ و $4V$. وللطية العتبة لكل من الديودات $V_d = 0.7V$. والمطلوب:



- 1- ما هو التابع المنطقي الذي تحققه هذه الدائرة؟
- 2- أوجد لكل تشكيلة من التشكيلات الممكنة لفلطيات الدخل حالة إديودات جميعها (أيها ناقل وأيها قاطع)، ولطية الخرج والتيارين المارين بالممانعتين.
- 3- ما هي فائدة الديود D_3 ؟

2- الدائرة المبينة بالشكل التالي هي بوابة ECL من شركة TI. نفترض أن $V_{be} = 0.7V$ لكل ترانزستور ناقل.

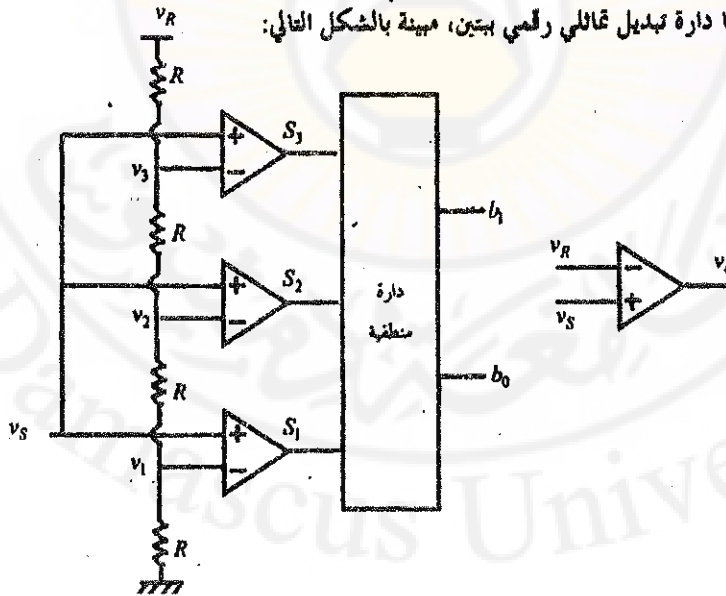


1- نفترض جميع المداخل مبربوطة إلى الفلطة منخفضة بقدر كافٍ (صفر منطقي)، ما هو نمط عمل كل من الترانزستورات Q_1, Q_2, Q_3 ؟ احسب قيمة الفلطة V_E والتماسار I . واستنتج قيمة الفلطة V_{C3} و V . هذه الفلطة تمثل الصفر المنطقي، يتقن أن وضع المدخلين على هذه القيمة يجعل Q_1 و Q_2 قاطعين.

2- نجعل الفلطة على أحد المداخل عالية بقدر كافٍ (واحد منطقي) بحيث تجعل الترانزستور المبروط إليها ناقلاً. ما هو نمط عمل Q_3 ؟ (إذا كان تيار القاعدة لأي مسن الترانزستورين Q_2 أو Q_3 معدوماً فإن الدارة المكافئة للترانزستور بين الباعث والمجمع هي ديود ممانته 20Ω وقلطته $0.6V$ والمجمع موجب نسبة إلى الباعث). احسب في هذه الحالة قيمة الفلطة V . فيما يلي سنفترض هذه القيمة مكافئة للواحد المنطقي. ما هي قيمة V_E في هذه الحالة؟ استنتج أن Q_3 قاطع فعلاً.

3- احسب قيمة الممانعة R ليكون $Y' = \bar{Y}$. ما هي التوابيع المنطقية المعطاة بالخرجين Y و Y' ؟

3- لدينا دائرة تبديل تماثلي رقمي بيتين، مهيأة بالشكل التالي:



1- ما هي قيم الفلظيات V_1 و V_2 و V_3 ؟

2- ندخل إشارة تناظرية V_i على المدخل الموجبة لمضخم العمليات. وضع قيمة المخارج $S_1, \dots, S_3$ أثناء ثبوت V_i حسب القيم المختلفة لهذه الإشارة. وضع ذلك بجدول.

3- نريد وضع دائرة منطقية مداخلها $S_1, \dots, S_3$ ولها مخرجان b_0, b_1 ، حيث يمثل العدد الثنائي $b_1 b_0$ القيمة العددية الموافقة للفلظية V_i أثناء ثبوتها (نعبر $S_i = '1'$ إذا كانت فلظيتها تساوي V_{CC} وإلا فهي تساوي '0'). على سبيل المثال إذا كانت V_i أكبر أو تساوي V_1 وأصغر من V_2 تكون S_1 فقط تساوي '1' والبقية أصفار، ويكون $b_1 b_0 = 01$. اكتب جدولاً يبين العلاقات المنطقية للقواطع S_i وبات الخرج.

4- اكتب التابعين $b_0 = f_0(S_1, S_2, S_3)$ و $b_1 = f_1(S_1, S_2, S_3)$ ، وصمم تنفيذ هذين التابعين بالتقانة NMOS ثم CMOS.

4- لدينا البوابة TTL شوتكي المبينة على الصفحة التالية.

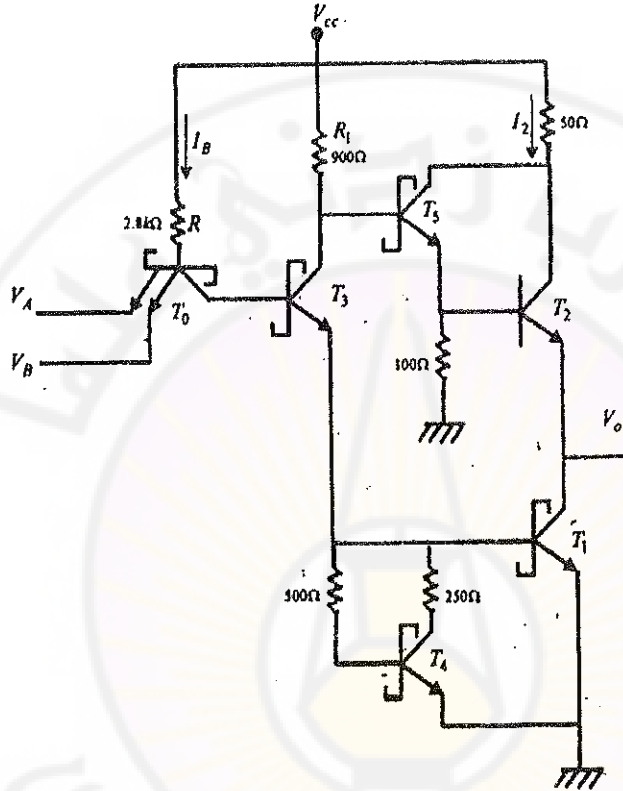
حين يكون ترانزستور شوتوكي ناعلاً يكون لدينا $V_{be} = 0.65V$ و $V_{ce} = 0.35V$ والمطلوب:

1- بين أن البوابة هي بوابة NAND، ثم احسب المستويات المنطقية على مخرج هذه البوابة بافتراض أن فلظية الدخل تساوي 0V في حالة الصفر المنطقي و 5V في حالة الواحد المنطقي. (نحمل تيارات القاعدة والفلظية المأبطة على R_1 حين لا يمر بها سوى تيار القاعدة).

2- إذا كان أحد المداخل على المستوى صفر منطقي المحسوب آنفاً، برهن أن $V_{ce2} = 1.05V$. بين لماذا لا يمكن للترانزستور T_2 أن يشبع، واحسب I_2 .

3- إذا كان المدخلان على المستوى واحد منطقي المحسوب آنفاً أيضاً، احسب V_{b1} و V_{b3} و V_{c3} واستنتج قيمة التيار المار في R_1 . إذا كان $V_{be} = 0.65V$ لترانزستور

يعمل بالنمط العكسي، فاحسب I_B . هل T_3 ناقل دوماً؟ ولماذا؟ احسب V_{b2} وأعطِ نمط عمل T_2 .



المراجع

1-Jacob MILLMAN and Arvin GRABEL, 1987
"MICROELECTRONICS" 2d Edition
Mc. Graw Hill.

2- Jacob MILLMAN, 1983
"MICROELECTRONICS: Digital and Analog Circuits and
Systems" 5th Edition
Mc. Graw Hill.

3-S. COEURDACIER, 1979
"ELECTRONIQUE" en 3 tomes
Dunod.

4-Mohammed GAUSI, 1985
"Electronic Devices and Circuits: Discrete and Integrated"
Holt, Rinehart, Winston (HR w).

5-Nizar ZARKA, Oumayma AL-DAKKAK
"Cours d'Electronique: 3me Année"
المعهد العالي للعلوم التطبيقية والتكنولوجيا ISSAT

Damascus University