



عملي تجارب مخبر الدارات والنظم المنطقية





منشورات جامعة دمشق
كلية الهندسة الميكانيكية والكهربائية

عملي تجارب مخبر الدارات والنظم المنطقية

الدكتور

كمال حميد

قائم بالأعمال في قسم هندسة
الالكترونيات والاتصالات

الدكتور

جبر الرحين

أستاذ في قسم هندسة
الالكترونيات والاتصالات

1443-1444 هـ

2021-2022 م

جامعة دمشق



الفهرس

7	تقديم
11	تجارب مخبر الدارات والنظم الرقمية
12	أسماء التجارب المقترحة لمخبر المنطق الرقمي
15	- التجربة رقم 1 البوابات المنطقية الأساسية
25	- التجربة رقم 2 المنطق التركيبي Combinational Logic التوابع البوليانية الأساسية (التوابع المنطقية بمتغيرين)
35	- التجربة رقم 3 التوابع التركيبية الأساسية الجامع الاثنائي Binary Adder
43	- التجربة رقم 4 جامع طارح اثنائي بأربعة بتات 4-bit binary Adder-Subtractor
47	- التجربة رقم 5 الجامع العشري المرمز اثنائيا BCD ADDER
51	- التجربة رقم 6 تحويل الأعداد العشرية المرمزة بالعشري المرمز اثنائياً BCD إلى رمّاز الاثنائي Binary Code
59	- التجربة رقم 7 الضارب الاثنائي لضرب عددين اثنائيين 4-bit by 3-bit
63	- التجربة رقم 8 مفككات الرمّاز Decoders
69	- التجربة رقم 9 المرمزات Encoders
75	- التجربة رقم 10 المضمم (ناخب المعطيات) Multiplexer
79	- التجربة رقم 11 المفرق (فارز المعطيات) Demultiplexer
83	- التجربة رقم 12 مقارن المقدار لمقارنة عددين اثنائيين طول كل منهما 4-bit Magnitude Comparator
89	- التجربة رقم 13 مبدل رمّاز يبدل الرمّاز الاثنائي إلى رمّاز غراي وبالعكس Binary to Gray Conversion & visversa
97	- التجربة رقم 14 وحدة الحساب والمنطق Arithmetic and Logic Unit
105	- التجربة رقم 15 القلاب JK The JK Flip-Flop

- 113 - التجربة رقم 16 سجل إزاحة عام UNIVERSAL SHIFT REGISTER
- 117 - التجربة رقم 17 إظهار أرقام الأعداد العشرية المرمزة بال BCD على وحدات إظهار بسبع قطع 7-Segment Display Multiplexer
- 121 - التجربة رقم 18 العدادات المتزامنة Synchronous Counters
- 129 - التجربة رقم 19 العدادات غير المتزامنة Asynchronous Counters
- 145 - التجربة رقم 20 ذاكرة الوصول العشوائي Random Access Memory (RAM)
- 153 - التجربة رقم 21 المهتزازات Oscillators توليد النبضات Pulse Generation
- 167 - التجربة رقم 22 توليد النبضات Pulse Generation وحيد Monostable وعديم الاستقرار Astable
- 179 - التجربة رقم 23 توليد نبضات الساعة بدارة بسيطة باستخدام بوابة NAND ومقاومة ومكثف
- 183 - التجربة رقم 24 استخدام دارة المؤقت 555 في توليد النبضات
- 195 - المراجع references

تقديم

نسمع كثيراً أننا نعيش اليوم في العصر الرقمي، وهذا يعود إلى غزو النظم الرقمية الحاسوب كل مناحي حياتنا اليومية بدءاً بالهواتف الذكية إلى الحاسوب والسيارات الذكية وآلاف التطبيقات الأخرى. ترجع هذه الحالة أيضاً إلى التحولات الكبيرة التي طرأت على البنى التحتية للاتصالات التي باتت ترسل الصوت والصورة باستخدام الأصفار 0s والوحدان 1s فقط. وهناك الكثير من الأسباب التي أدت إلى دخول النظم الرقمية تفاصيل حياتنا اليومية وباتت جزءاً لا يتجزأ من نشاطاتنا وأعمالنا اليومية، وتشغل القسط الأكبر من وقتنا وفي كافة المجالات سواءً كانت علمية أو ثقافية أو اجتماعية أو طبية، إدارية أو مصرفية أو ترفيهية ... الخ. ولفهم هذه الأسباب من المفيد البدء بفهم ماهية النظام الرقمي.

الهدف الرئيس من هذا الكتاب:

يهدف هذا الكتاب إلى ترسيخ المفاهيم النظرية الأساسية من خلال الربط بين الجانب النظري والتطبيق العملي لدارات المنطق الرقمي بطريقة المحاكاة باستخدام أدوات التصميم بمساعدة الحاسوب، ومن خلال التنفيذ والاختبار العملي في المخبر.

الشريجة المستهدفة:

هذا الكتاب موجّه إلى شريحة واسعة من طلاب المرحلة الجامعية الأولى في كليات هندسة الإلكترونيات والاتصالات وهندسة الحاسوب وهندسة المعلوماتية وهندسة الطبية وهندسة الميكاترونكس وهندسة الطاقة الكهربائية وعلوم الحاسوب والمعاهد الهندسية ذات الصلة. يضم الكتاب 24 تجربة من التجارب الأساسية للمنطق الرقمي منتقاة بعناية، تغطي الجزء النظري بدءاً من البوابات الأساسية ومروراً بالدارات التركيبية، وهي نصف الجامع والجامع الكامل والجامع/الطراح الاثنائي وجامع العشري المرمز اثنائياً (BCD)، التوابع المنطقية الوظيفية مثل مفككات الترميز والمرمزات ومبدلات الرماز والمضممات والموزعات ومقارنات المقدار ووحدات الإظهار ووحدّة الحساب والمنطق وانتهاءً بالدارات التتابعية التي تعتمد في بنيتها على عناصر الذاكرة: المواسك والقلابات بمختلف أنواعها والسجلات العامة بأنماط

عملها المختلفة والعدادات بنوعيتها المتزامن وغير المتزامن ونظام ذاكرة القراءة والكتابة RAM ودارات توليد النبضات والتحكم بعرضها وترددتها بطرائق مختلفة وباستخدام المؤقت الزمني 555.

وقد تم تخصيص ملحق تضمن النشرات الفنية للدارات المتكاملة المستخدمة في التجارب. ترسخ التجارب في هذا الكتاب التي سيتم محاكاتها باستخدام أدوات التصميم بمساعدة الحاسوب واختبارها عملياً في المخبر، المفاهيم والتعابير والمكونات والدارات الأساسية التي يتم تجميعها وتركيبها واختبارها لتشكيل معاً نظاماً رقمياً أساسيةً تمكن كلاً من المهندس والفني وهواة الحواسيب والاتصالات والإلكترونيات من الاستفادة من تعلم التقنيات الرقمية وبناء قاعدة صلبة تساعدهم على فهم وتوظيف أساسيات المنطق الرقمي في تصميم وتنفيذ النظم الرقمية.

المخرجات:

بعد إنجاز التجارب المقررة في هذا الكتاب سوف يكون الطالب أو المتدرب قد اكتسب المهارات الضرورية التي تمكنه من:

1. استخدام قواعد ونظريات الجبر البولياني في تبسيط التوابع البوليانية.
2. إنشاء جداول الحقيقة وإيجاد التوابع المنطقية وتبسيطها إلى أبسط أشكالها وفق صيغها المختلفة.
3. فهم وظيفة وعمل واستخدام البوابات المنطقية الأساسية.
4. فهم وظيفة وعمل واستخدام التوابع التركيبية الأساسية المتعلقة.
5. فهم وتحليل عمل طيف واسع من الدارة المتكاملة الأساسية وتطبيقاتها المختلفة وخصائصها واستخداماتها.
6. استخدام أدوات التصميم بمساعدة الحاسوب في المحاكاة.

اختيار التجارب:

اختيرت التجارب في هذا الكتاب بعناية لتغطي الموضوعات الأساسية التي يحتاجها كل من طلاب هندسة الإلكترونيات والاتصالات وهندسة الحاسوب وهندسة المعلوماتية وهندسة

الطبية وهندسة الميكاترونكس وهندسة الطاقة الكهربائية وطلاب المعاهد الهندسية ذات التخصصات المماثلة.

يعكس هذا الكتاب الخبرة المتراكمة في تعليم مقرر الدارات والنظم الرقمية خلال أكثر من 40 عاماً في جامعة دمشق وعدد من جامعات القطر وفي المعهد التقاني الجامعي بكاشان فرنسا. تنظيم التجارب:

نُظمت التجارب في هذا الكتاب وفق منهجية تتماشى مع تقدم المحاضرات النظرية وفق التسلسل الآتي:

1. هدف التجربة.
2. العناصر والتجهيزات المستخدمة في التجربة.
3. مقدمة نظرية تمهد للتجربة وتذكر بالنقاط الأساسية التي تساعد على فهم التجربة.
4. تنفيذ التجربة وأخذ النتائج وتدوينها في الجداول المعدة لهذا الغرض والتي تنفذ على مرحلتين.

المرحلة الأولى:

تنفيذ التجربة بطريقة المحاكاة باستخدام أحد برامج أدوات التصميم بمساعدة الحاسوب Multisim أو Proteus بحيث يتأكد الطالب من تحقيق عمل الدارة وظيفياً مما يسهل عليه المرحلة الثانية.

المرحلة الثانية:

مرحلة التنفيذ العملي، وفيها يقوم الطالب بـ :

1. تنفيذ المخطط المنطقي للدارة موضوع الاختبار على لوحة الاختبار المعدة لهذه الغاية.
2. اتباع خطوات التنفيذ المحددة بنص التجربة.
3. قراءة وتدوين النتائج في جداول معدة لهذا الغرض.
4. الإجابة عن الأسئلة.

5. كتابة الملاحظات والاستنتاجات والتعليق على النتائج ومقارنتها بالنتائج التي حصل عليها بالمحاكاة.
6. تقويم الفائدة من التجربة.

الأستاذ الدكتور

جبر الرحين



تجارب مخبر الدارات والنظم الرقمية Digital Circuits and Systems Lab.

أهداف مخبر الدارات والنظم الرقمية:

- تطوير قدرات الطالب النظرية والعملية.
- تطوير المفهوم الفيزيائي للقوانين النظرية لفهمها بعمق.
- تطوير مقاربة علمية من خلال التأكيد على العلاقة القوية بين الجانب النظري والعملية.

بعد إنهاء التجارب المخبرية يجب أن يكون الطالب قادراً على عمل الآتي:

1. التعرف على البوابات المنطقية الأساسية والتعامل معها.
 2. فهم الجبر البوليني واستخدامه لتبسيط التوابع البولينية.
 3. فهم عمل معظم التوابع التركيبية الأساسية واستخدامها.
- ◆ نصف الجامع Half-Adder، الجامع - الكامل Full Adder.
 - ◆ الجامع الطراح الاثنائي بأربعة بتات 4-bit binary adder.
 - ◆ مفككات الرّماز Decoder وموزع (فارز Demultiplexer) المعطيات.
 - ◆ المرمز Encoder والمرمز ذو الأفضلية Priority Encoder
 - ◆ مقارن المقدار Magnitude Comparator
 - ◆ المضمم (ناخب المعطيات) Multiplexer
 - ◆ فهم عمل واستخدام وحدة الحساب والمنطق Arithmetic and Logic Unit (ALU)
4. فهم عمل وتصميم السجلات Registers واستخدامها بأنماط عمل مختلفة.
 5. فهم عمل وتصميم العدادات المتزامنة وغير المتزامنة Synchronous and Asynchronous Counters واستخدامها بأنماط عمل مختلفة.
 6. تنظيم ذاكرة النفاذ العشوائي (Random Access Memory (RAM.
 7. تصميم دارات توليد النبضات pulse generation وتحديد عرض النبضة باستخدام:

- ◆ البوابات المنطقية.
- ◆ المقاومات والمكثفات.
- ◆ وحيد الاستقرار Monostable وعديم الاستقرار Astable.
- ◆ المؤقت الزمني 555 timer.

أسماء التجارب المقترحة لمخبر المنطق الرقمي

رقم التجربة	اسم التجربة
1	البوابات المنطقية الأساسية Basic Logic Gates
2	التوابع البوليانية الأساسية Basic Boolean Functions
3	التوابع التركيبية الأساسية Basic Combinational Functions نصف الجامع Half-Adder، الجامع الكامل Full-Adder
4	الجامع الطارح الاثنائي بأربعة بتات 4-bit Adder Subtractor
5	الجامع العشري المرمز اثنائياً BCD Adder
6	تحويل الأعداد العشرية المرمزة بالعشري المرمز اثنائياً BCD إلى رمّاز الاثنائي Binary Code
7	الضارب الاثنائي Binary Multiplication
8	مفكك الرّمّاز Decoder
9	المرمّزات Encoders (المرمّز ذو الأفضليات) Priority Encoder
10	المضمم (ناخب المعطيات) Multiplexer
11	الموزع (فارز المعطيات) Demultiplexer
12	مقارن المقدار Magnitude Comparator.
13	مبدل الرّمّاز الاثنائي Binary إلى رمّاز Gray وبالعكس
14	وحدة الحساب والمنطق 74LS181 ALU
15	الماسك الأساسي SR، ماسك SR محكوم ببوابات التوجيه، الماسك D، القلابات (T, J-K, D, S-R).

	السجلات Registers أنماط عمل سجلات الإزاحة العامة Shift Registers Universal - Serial In Serial Out Shift Right (SISO-SR) - Serial In Serial Out Shift Left (SISO-SL) - Parallel In Parallel Out (PIPO) - No Change (Hold)	16
*	إظهار أرقام الأعداد العشرية على وحدات إظهار سبع قطع بطريقة المسح	17
	Synchronous Counters العدادات المتزامنة	18
	Asynchronous Counters العدادات غير المتزامنة	19
	ذاكرة النفاذ العشوائي Random Access Memory (RAM)	20
	Oscillators المهتزازات توليد النبضات 1/4 - توليد النبضات بوساطة البوابات المنطقية (عواكس وبوابات). - التحكم بعرض النبضة باستخدام مقاومة ومكثف.	21
	توليد النبضات 2/4 - وحيد الاستقرار Monostable - عديم الاستقرار Astable	22
	توليد النبضات 3/4 توليد نبضات الساعة بدارة بسيطة باستخدام بوابة NAND ومقاومة ومكثف	23
	توليد النبضات 4/4 باستخدام المؤقت الزمني 555	24

* تُعطى هذه التجارب كمشاريع ووظائف صغيرة يكلف بها الطلاب لربط المعلومات النظرية المكتسبة في المحاضرات بالمهارات التي اكتسبها في المخبر.



التجربة رقم 1

البوابات المنطقية الأساسية

Basic Logic Gates

1. هدف التجربة:

- فهم عمل البوابات المنطقية الأساسية المختلفة وإيجاد جداول الحقيقة التي تصف عملها.
- فهم كيفية التعامل مع الدارات المتكاملة صغيرة نطاق التكامل LSI واختبار عمل البوابات.

العناصر الإلكترونية:

العنصر	البيان	العدد
74LS04	دارة متكاملة بوابات INVERTER بمدخلين ومخرج وحيد	1
74LS08	دارة متكاملة بوابات AND بمدخلين ومخرج وحيد	1
74LS32	دارة متكاملة بوابات OR بمدخلين ومخرج وحيد	1
74LS00	دارة متكاملة بوابات NAND بمدخلين ومخرج وحيد	1
74LS02	دارة متكاملة بوابات NOR بمدخلين ومخرج وحيد	1
74LS86	دارة متكاملة بوابات XOR بمدخلين ومخرج وحيد	1
Power supply	وحدة تغذية مستمرة 5 V	1
حسب الحاجة	أسلاك توصيل.	

2. تمهيد نظري:

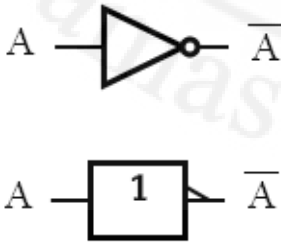
البوابات المنطقية:

توفر الشركات الصانعة الدارات المتكاملة وفق معايير ومقاييس معيارية موحدة، وتصنف الدارات المتكاملة في فئات: صغيرة نطاق التكامل SSI ومتوسطة نطاق التكامل MSI وكبيرة نطاق التكامل LSI وواسعة نطاق التكامل VLSI. تنتمي مجموعة البوابات المنطقية للفئة الأولى SSI. البوابات (AND و OR و NAND متوفرة بأحجام مختلفة، مدخلين، ثلاثة، أربعة أو ثمانية مداخل عدا بوابة XOR فهي لا تتوفر إلا بمدخلين. و NOR متوفرة بمدخلين أو أكثر، في حين البوابة XOR بمدخلين فقط وللعاكس مدخل وحيد).

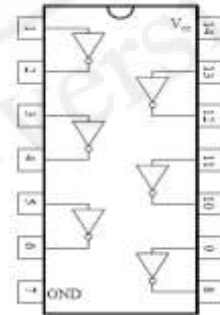
يبين الشكل مخططات للدارات المتكاملة من الفئة SSI تحوي بوابات بمدخلين موضح فيها طريقة توضع البوابات وأرقام المغارز (الأرجل). رُقمت المغارز من 1 إلى 14 وُعِلِمَ المغرز 14 بـ VCC (جهد التغذية بالقدرة) والمغرز 7 بـ GND أرضي ground. يمثل هذان المغرزان قطبي التغذية بالجهد V. تحمل كل دائرة متكاملة رقم تعريف Identification Number يدل على محتواها، مثلاً، تتضمن الدارة المتكاملة ذات الرقم 7400 أربع بوابات NAND لكل منها مدخلين.

البوابات المنطقية الأساسية ثلاث هي:

بوابة النفي NOT gate لها مدخل وحيد ومخرج وحيد تقوم بعملية قلب (عكس) القيمة المنطقية التي مدخلها أو إتمامها. تحوي الدارة المتكاملة 74-04 ستة عواكس كما هو موضح في الشكل 1 ولها 14 مغرز (رجل). توصل الرجل 14 لجهد التغذية $V_{CC} = +5V$ وتوصل الرجل 7 إلى الأرضي GND.



INPUT	OUTPUT
A	NOT A
0	1
1	0

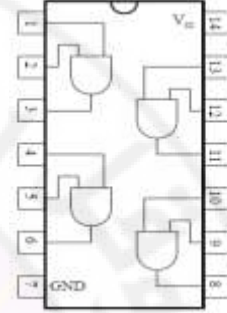


الشكل 1 بوابة النفي NOT gate

البوابة AND: تقوم بعملية الضرب المنطقي. انظر الشكل 2.2. تحوي الدارة المتكاملة 74-08 أربع بوابات، لكل منها مدخلان ومخرج وحيد. توصل الرجل 14 إلى V_{cc} والرجل 7 إلى الأرضي GND.

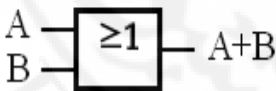


INPUT		OUTPUT
A	B	A AND B
0	0	0
0	1	0
1	0	0
1	1	1

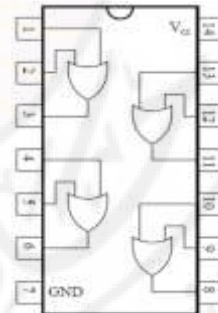


الشكل 2.2 بوابة AND

البوابة OR: تقوم بعملية الجمع المنطقي. انظر الشكل 3.2. تحوي الدارة المتكاملة 74-32 أربع بوابات. لكل منها مدخلان ومخرج وحيد. توصل الرجل 14 إلى V_{cc} والرجل 7 إلى الأرضي GND.



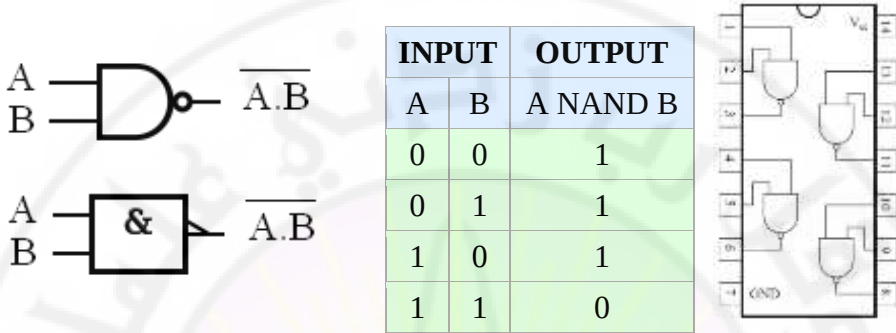
INPUT		OUTPUT
A	B	A OR B
0	0	0
0	1	1
1	0	1
1	1	1



الشكل 2.3 بوابة OR

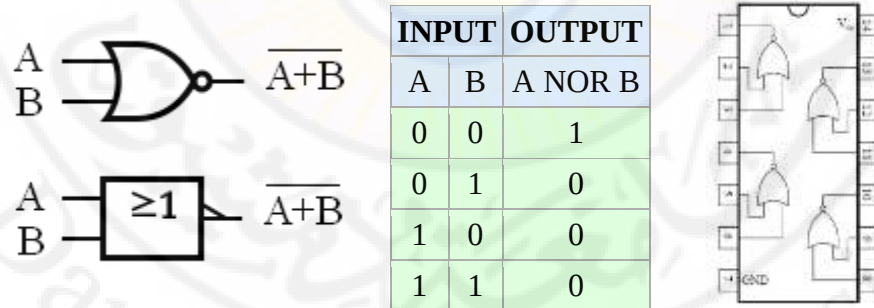
وتجدر الإشارة هنا إلى أنه يمكن تحقيق أي نظام منطقي مهما كان معقداً بواسطة بوابات AND و OR و NOT فقط. إلا أنه في الحقيقة توجد بوابات أخرى (NAND ، NOR ، XOR و XNOR) على درجة الأهمية ذاتها مستخدمة على نطاق واسع ومتوفرة تجارياً، مثلها مثل البوابات الأساسية.

- البوابة NAND: تقوم بعملية الجمع المنطقي. انظر الشكل الآتي. تحوي الدارة المتكاملة 74-32 أربع بوابات. توصل الرجل 14 إلى Vcc والرجل 7 إلى الأرضي GND.



F2.4: NAND gate

- البوابة NOR: تقوم بعملية الضرب المنطقي. انظر الشكل الآتي. تحوي الدارة المتكاملة 74LS02 أربع بوابات NOR لكل منها مدخلان ومخرج وحيد. توصل الرجل 14 إلى Vcc والرجل 7 إلى الأرضي GND.



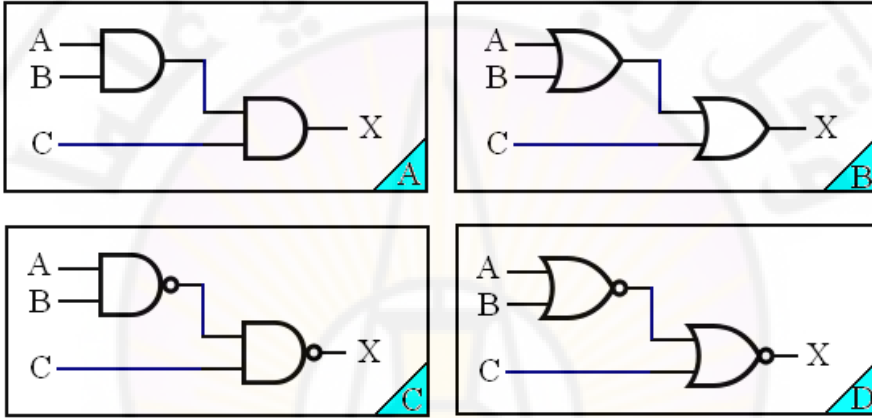
الشكل 2.5 بوابة NOR

- البوابة XOR: وتعرف باسم بوابة عدم التكافؤ. تحوي الدارة المتكاملة 74LS86 أربع بوابات XOR. تحوي الدارة المتكاملة 74LS86 أربع بوابات NOR لكل منها مدخلان ومخرج وحيد. توصل الرجل 14 إلى Vcc والرجل 7 إلى الأرضي GND.

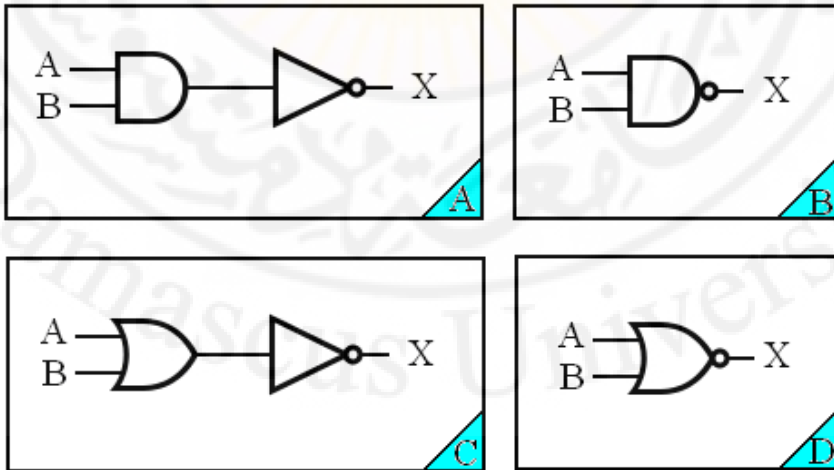
- البوابة XNOR: تعرف باسم بوابة التكافؤ. تحوي الدارة المتكاملة 74-02 أربع بوابات XNOR لكل منها مدخلان ومخرج وحيد. توصل الرجل 14 إلى Vcc والرجل 7 إلى الأرضي GND.

تمهيد قبل التنفيذ العملي:

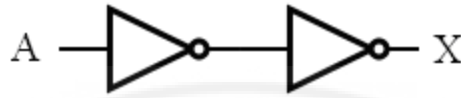
س 1: أنشئ جدول الحقيقة لكل من الدارات الآتية:



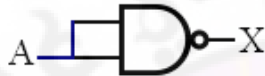
س 2: أنشئ جدول الحقيقة لكل من الدارات الآتية: قارن A مع B و C مع D. ماذا تستنتج؟



س 3: أنشئ جدول الحقيقة للدائرة الآتية. ماذا تستنتج ؟



س 4: أنشئ جدول الحقيقة للدارات الآتية. ماذا تستنتج ؟



س 5: أنشئ جدول الحقيقة لكل من الدارات الآتية. استنتج قاعدة لكل دائرة.



س 6: أنشئ جدول الحقيقة لكل من الدارات الآتية. استنتج قاعدة لكل دائرة.



3. تنفيذ التجربة

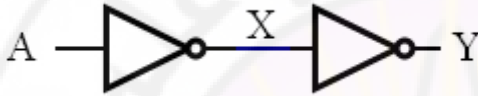
بوابة النفي NOT gate

س 7: قم بتوصيل الدارة الآتية وأكمل جدول الحقيقة.



Switch A	Input A	LED X	Output X
0			
1			

س 8: قم بتوصيل الدارة الآتية. ووصل المتغيرين X و Y إلى ثنائيين ضوئيين مستقلين وأكمل جدول الحقيقة.



المرحلة الأولى:

- المحاكاة: استخدم أحد برامج المحاكاة Multisim أو Proteus.
1. نفذ على صفحة عمل البرنامج المخطط المنطقي المرفق بنص التجربة بتوصيل مداخل جميع البوابات على التوازي.
 2. طبق تراكيب الدخل الأربعة الممكنة ودون في الجدول النتائج التي تشاهدها على مخرج كل بوابة من البوابات.
 3. طبق على المداخل تراكيب الدخل التراكيب الأربعة الممكنة ورتب نتائج المخرج لكل بوابة في جدول الحقيقة.

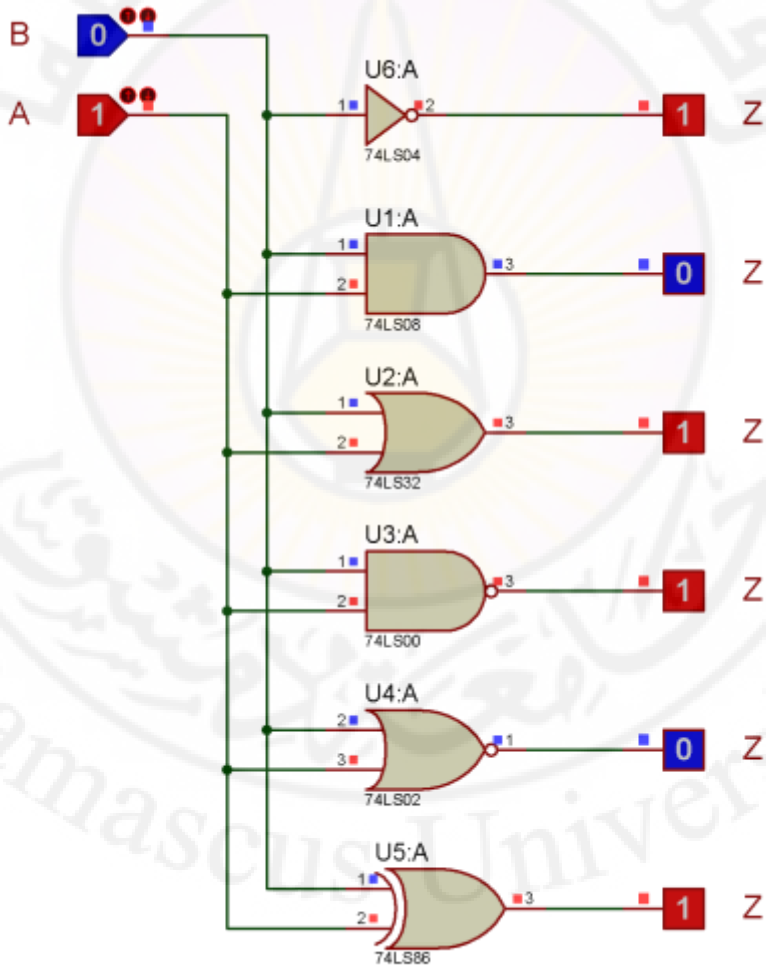
المرحلة الثانية:

التنفيذ العملي

4. نفذ على لوحة الاختبار المخطط المنطقي المرفق بالتجربة باستخدام الدارات المتكاملة المدرجة في لائحة المكونات الإلكترونية.
5. تأكد من سلامة توصيل الدارة قبل تغذيتها بالقدرة الكهربائية.
6. دَوِّن النتائج التي حصلت عليها تجريبياً وقارنها بالنتائج التي حصلت عليها بالمحاكاة.

A	B	NOT A	A AND B	A OR B	INPUT	OUTPUT	A XOR B
0	0						
0	1						
1	0						
1	1						

نتائج المحاكاة



المخطط المنطقي لاختبار البوابات المنطقية

املا الجدول الآتي بنتائجك التي حصلت عليها تجريبياً.

INPUT		OUTPUT					
A	B	NOT A	A AND B	A OR B	A NAND B	A NOR B	A XOR B
0	0						
0	1						
1	0						
1	1						

النتائج التجريبية

هل يمكن تحقيق عاكس Inverter من البوابات السابقة؟ ما هي تلك البوابات؟ ارسم المخطط الموافق لكل طريقة.



التجربة رقم 2

المنطق التركيبي Combinational Logic التوابع البوليانية الأساسية (التوابع المنطقية بمتغيرين)

1. هدف التجربة:

- إثبات إمكانية استخدام البوابة NAND كبوابة عامة بمعنى أنه يمكن تحقيق أي بوابة من البوابات الأساسية (AND, OR, NOT) ببوابات NAND فقط، وبالتالي يمكن تحقيق أي نظام رقمي ببوابات NAND فقط.
- إثبات إمكانية استخدام البوابة NOR كبوابة عامة بمعنى أنه يمكن تحقيق أي بوابة من البوابات الأساسية (AND, OR, NOT) ببوابات NOR فقط، وبالتالي يمكن تحقيق أي نظام رقمي ببوابات NOR فقط.
- دراسة جميع التوابع البوليانية بمتغيرين.
- دراسة البوابتين XOR و XNOR.

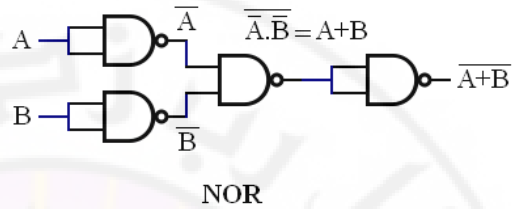
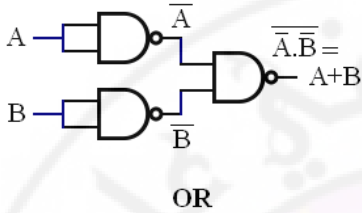
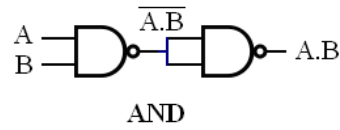
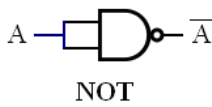
2. تمهيد نظري:

يمكن التعبير عن أي تابع بولياني وفق إحدى صيغتين:

- مجموع جداءات (SOP) Sum-Of-Products.
- جداء مجاميع (POS) Product Of Sums.

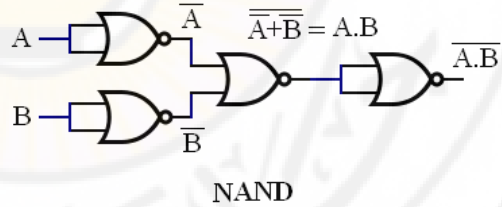
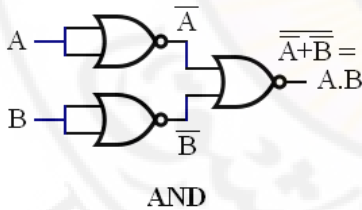
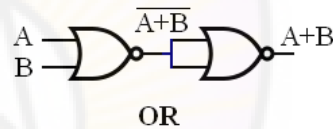
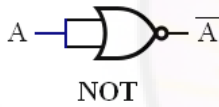
يمكن تحقيق توابع الصيغة الأولى SOP ببوابات AND-OR. وإذا عكسنا الخرج أي إذا استخدمنا المنطق AND-OR-Invert. نحصل على الصيغة الثانية جداء المجاميع POS.

يمكن استخدام البوابة NAND لتحقيق الدارات المنطقية. يوضح الشكل الآتي كيفية تحقيق البوابات الأساسية ببوابات NAND فقط.



استخدام البوابة NAND كبوابة عامة

يمكن استخدام البوابة NOR كبوابة عامة لتحقيق الدارات المنطقية، ويوضح الشكل الآتي كيفية تحقيق البوابات الأساسية ببوابات NOR فقط.



التوابع البوليانية بمتغيرين Tow Variable Functions

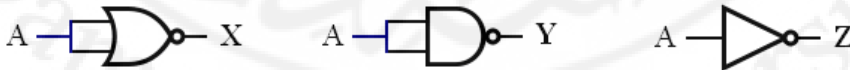
يمكن تشكيل أربعة تراكيب مختلفة بوساطة متغيرين اثنينيين A و B. ويُعبر عن قيمة الخرج المقابلة لكل تركيبة من التراكيب الأربعة بإحدى القيمتين 0 أو 1. وبذلك يكون لخرج كل تابع أربع قيم مختلفة، قيمة مقابل كل تركيبة من التراكيب الأربعة الممكنة للمتغيرين A و B. ويمكن بوساطة القيم الأربع للخرج تشكيل 16 تشكيلة مختلفة، وبذلك يتم الحصول على 16 تابعاً مختلفاً، وهذا موضح في الجدول الآتي:

variables		Functions															
A	B	F0	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13	F14	F15
0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
0	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	0	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

- بعض هذه التوابع عديمة الفائدة: $F0 = 0$ و $F15 = 1$ و $F12 = A$ و $F10 = B$
 $F5 = \bar{B}$ و $F3 = \bar{A}$ و $F1 = \overline{A+B}$ (NOR) و $F7 = \overline{A \cdot B}$ (NAND)
- البوابات: $F8 = A \cdot B$ (AND) و $F14 = A + B$ (OR) و $F6 = A\bar{B} + \bar{A}B$ (XOR) والتابع: $F9 = \overline{A\bar{B} + \bar{A}B}$ (XNOR)
- التابع $F2 = A\bar{B}$ يعني $A < B$ ، والتابع $F4 = \bar{A}B$ يعني $A > B$ ، والتابع $F11 = \bar{A} + B$ يعني $A \leq B$ ، والتابع $F13 = A + \bar{B}$ يعني $A \geq B$

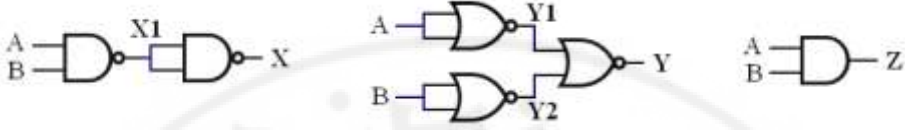
تمهيد للتجربة

س 1: املأ جدول الحقيقة الآتي. قارن X بـ Y وبـ Z . ماذا تستنتج؟



Variable	Outputs		
A	X	Y	Z
0			
1			

س 2: املأ جداول الحقيقة الآتية. قارن X بـ Y وبـ Z. ماذا تستنتج؟

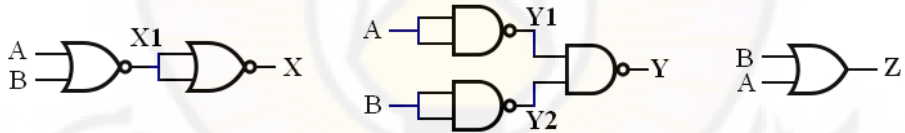


Variables		Outputs	
A	B	X1	X
0	0		
0	1		
1	0		
1	1		

Variables		Outputs		
A	B	Y1	Y2	Y
0	0			
0	1			
1	0			
1	1			

Variables		Outputs
A	B	Z
0	0	
0	1	
1	0	
1	1	

س 3: املأ جداول الحقيقة الآتية. قارن X بـ Y وبـ Z. ماذا تستنتج؟

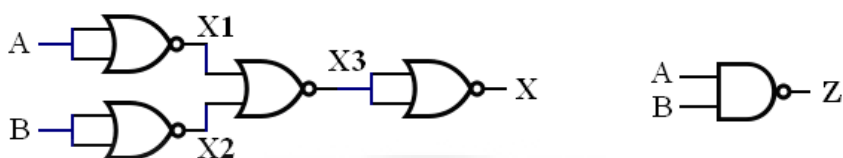


Variables		Outputs	
A	B	X1	X
0	0		
0	1		
1	0		
1	1		

Variables		Outputs		
A	B	Y1	Y2	Y
0	0			
0	1			
1	0			
1	1			

Variables		Outputs
A	B	Z
0	0	
0	1	
1	0	
1	1	

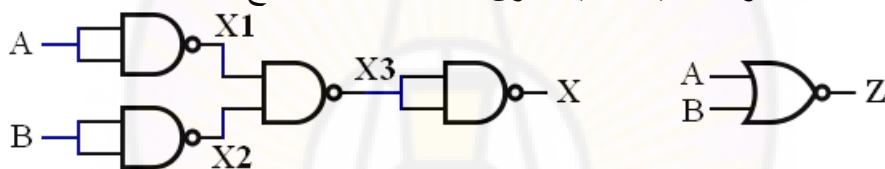
س 4: املأ جداول الحقيقة الآتية. قارن X بـ Z. ماذا تستنتج؟



Variable s		Outputs			
A	B	X1	X2	X3	X
0	0				
0	1				
1	0				
1	1				

Variables		Outputs
A	B	Z
0	0	
0	1	
1	0	
1	1	

س5: املأ جداول الحقيقة الآتية. قارن X بـ Z. ماذا تستنتج؟



Variable s		Outputs			
A	B	X1	X2	X3	X
0	0				
0	1				
1	0				
1	1				

Variables		Outputs
A	B	Z
0	0	
0	1	
1	0	
1	1	

س 6: ارسم الدارة وجدول الحقيقة للتابع : $F6 = A\bar{B} + \bar{A}B$. أكمل القاعدة: " يكون خرج بوابة XOR صحيحاً عندما يكون المدخلان "

س 7: ارسم الدارة وجدول الحقيقة للتابع : $F9 = A.B + \bar{A}.\bar{B}$. أكمل القاعدة: " يكون خرج بوابة XNOR صحيحاً عندما يكون المدخلان "

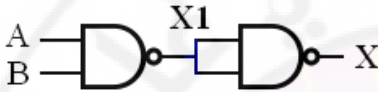
س 8: ارسم الدارة وجدول الحقيقة للتابع : $F4 = A\bar{B}$. أكمل القاعدة: " يكون خرج بوابة XNOR صحيحاً عندما يكون المدخلان A B "

س 9: ارسم الدارة وجدول الحقيقة للتابع $F13 = A + \bar{B}$: XOR. أكمل القاعدة:
" يكون خرج بوابة XNOR صحيحاً عندما يكون المدخلان B A "

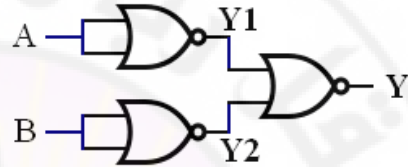
3. التنفيذ العملي:



س 10: قم بتوصيل الدارات الآتية واملأ جداول الحقيقة الموافقة.
ما التوابع التي حصلت عليها ؟

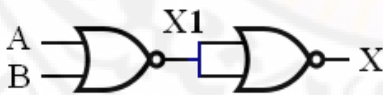


Variables		Outputs	
A	B	X1	X
0	0		
0	1		
1	0		
1	1		

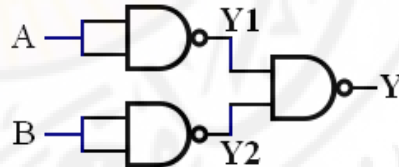


Variables		Outputs		
A	B	Y1	Y2	Y
0	0			
0	1			
1	0			
1	1			

س 11: قم بتوصيل الدارات الآتية واملأ جداول الحقيقة الموافقة. ما التوابع التي
حصلت عليها ؟



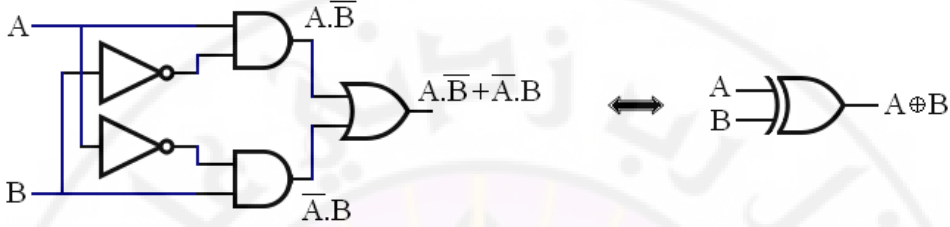
Variables		Outputs	
A	B	X1	X
0	0		
0	1		
1	0		
1	1		



Variables		Outputs		
A	B	Y1	Y2	Y
0	0			
0	1			
1	0			
1	1			

البوابة XOR:

يعدّ التابع XOR من التوابع الهامة جداً، ويعبر عنه بالعلاقة $A\bar{B} + \bar{A}B$. ولقد خُصّص له بوابة معينة ووظيفة محددة. انظر الشكل الآتي:



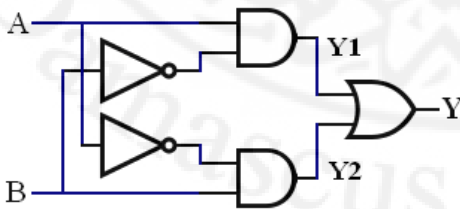
يُطلق على التابع XOR أحياناً اسم تابع "عدم التكافؤ"، نظراً لأن الخرج يكون صحيحاً عندما يكون المدخلان مختلفين.

س 12: قم بتوصيل الدارة الآتية (استخدم البوابة XOR) وأتمم جدول الحقيقة.



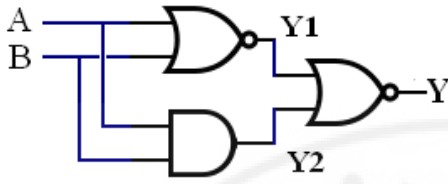
Variables		Outputs
A	B	$A \oplus B$
0	0	
0	1	
1	0	
1	1	

س 13: قم بتوصيل الدارة الآتية واملأ جدول الحقيقة.



Variables		Outputs		
A	B	Y1	Y2	Y
0	0			
0	1			
1	0			
1	1			

س 14: قم بتوصيل الدارة الآتية واملأ جدول الحقيقة.

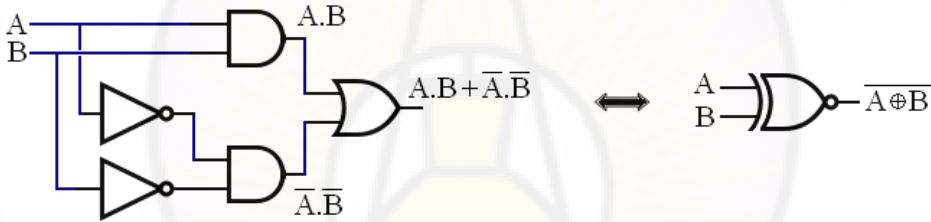


Variables		Outputs		
A	B	Y1	Y2	Y
0	0			
0	1			
1	0			
1	1			

س 15: قارن الخرج Y في الدارتين السابقتين، ما الدارة الأبسط ؟

التابع XNOR

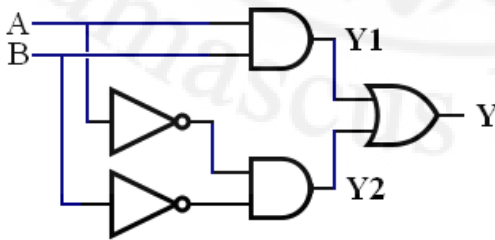
التابع XNOR هو من التوابع المهمة وله تطبيقات كثيرة، ويعبر عنه بالعلاقة $A.B + \bar{A}.\bar{B}$. انظر الشكل الآتي:



يُطلق على التابع XNOR أحياناً تابع التكافؤ، نظراً لأن الخرج يكون صحيحاً فقط عندما يكون المدخلان متماثلين.

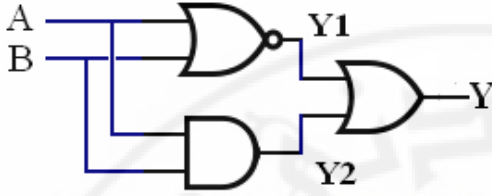
س 16: أثبت أن التعبير XNOR هو متمم التعبير XOR.

س 17: قم بتوصيل الدارة الآتية واملأ جدول الحقيقة الموافق.



Variables		Outputs		
A	B	Y1	Y2	Y
0	0			
0	1			
1	0			
1	1			

س 18: قم بتوصيل الدارة الآتية واملأ جدول الحقيقة الموافق.



Variables		Outputs		
A	B	Y1	Y2	Y
0	0			
0	1			
1	0			
1	1			

س 19: قارن الخرج Y في الدارتين السابقتين. أي من الدارتين هي الأبسط ؟

س 20: لخص بما لا يزيد عن خمسة أسطر ما الذي تعلمته من هذه التجربة.



التجربة رقم 3 التوابع التركيبية الأساسية الجامع الاثنائي Binary Adder

1. هدف التجربة:

- فهم آلية عمل نصف الجامع Half-Adder.
- فهم آلية عمل الجامع الكامل Full-Adder.

العناصر الإلكترونية

العدد	البيان	العنصر
1	دائرة متكاملة فيها أربع بوابات XOR بمدخلين	74LS86
1	دائرة متكاملة فيها أربع بوابات AND بمدخلين	74LS08
1	دائرة متكاملة فيها أربع بوابات AND بمدخلين	74LS32
حسب الحاجة	لإظهار حالة المداخل وحالة المخرجات	LED
حسب الحاجة	مفاتيح عادية أو مكروية	Switch
1	وحدة تغذية مستمرة 5 V	Power supply
حسب الحاجة	أسلاك توصيل.	

2. تمهيد نظري

نبين فيما يلي القواعد المتبعة في عملية الجمع الحسابي عند جمع عددين اثنائيين:

$$0 + 0 = 0$$

$$0 + 1 = 1$$

$$1 + 0 = 1$$

$$1 + 1 = 10 \text{ (الناتج Sum 0 والمنقول Carry للمرتبة الأعلى 1)}$$

مثال عددي:

Carry →	1 1 1
	0 1 1 0 1 1 0 0
	+ 0 1 1 0 1 0 1 0
	1 1 0 1 0 1 1 0

مثال على عملية الجمع بالاثنائي

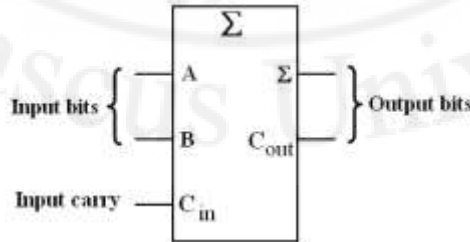
الجامع الاثنائي Binary Half-Adder

من المثال السابق نتبين بسهولة أن عملية الجمع الكاملة تحتاج إلى دارة يمكنها جمع ثلاثة أرقام اثنائية رقم من العدد الأول A ورقم من العدد الثاني B والمنقول من الرتبة السابقة Cin. أي يجب أن يكون للدارة ثلاثة مداخل ومخرجان يُطلق على هذه الدارة اسم الجامع الكامل Full Adder.

نصف الجامع Half-Adder: لجمع عددين اثنائيين طول كل منهما n-bit مع أخذ المناقيل بالحسبان، له مدخلان اثنائيان يمثلان الرقمين الاثنائيين المطلوب جمعهما، وله خرجان اثنائيان يُظهر عليهما رقمان: رقم اثنائي Σ للتعبير عن الناتج Sum ورقم اثنائي Cout للتعبير عن المنقول Carry-out.

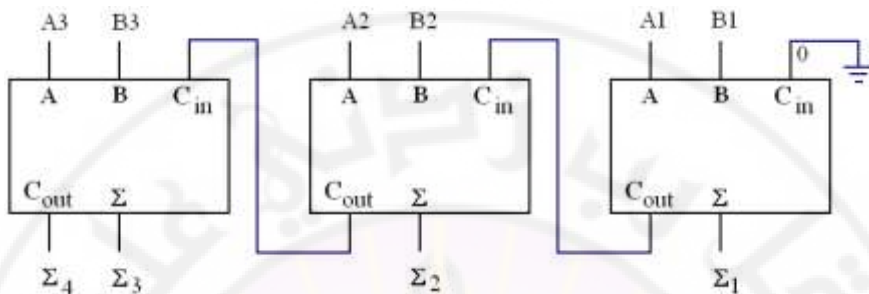
نصف الجامع الاثنائي مفيد عند جمع رقمين اثنائيين فقط، لكنه لا يصلح لجمع رقمين اثنائيين ومنقول (3-bits). لذلك وفي الحالة الأخيرة يُستخدم **الجامع الكامل Full-Adder**.

للجامع الكامل ثلاثة مداخل: مدخلان A و B للرقمين الاثنائيين والمدخل الثالث Cin للمنقول. وللجامع الكامل مخرجان: مخرج للناتج Σ (Sum) ومخرج للمنقول للمرتبة الأعلى Cout.



مخطط صندوقي لدارة الجامع الكامل Full Adder

وبالتالي لجمع عددين اثنائيين طول أطولهما n -bit يلزمنا n جامع كامل، يوصل بعضهما ببعض كما في الشكل:



مخطط صندوقي لدارة جامع اثنائي لجمع عددين اثنائيين $A=a_3a_2a_1$ و $B=b_3b_2b_1$

ملاحظة: عند جمع عددين طول كل منهما n -bits تكون النتيجة مؤلفة من $(n+1)$ -bits على الأكثر.

تمهيد نظري للتجربة:

س 1: املا جدول الحقيقة الآتي لنصف الجامع، واستنتج المعادلة البوليانية لكل من مخرجه، وارسم الدارة لكلا المخرجين.

Variables		Outputs	
A	B	C_{out}	Σ
0	0		
0	1		
1	0		
1	1		

س 2: هل المدخلان A و B متكافئان ؟

س 3: املا جدول الحقيقة الآتي للجامع الكامل، واستنتج المعادلة المنطقية لكل من المخرجين Σ و C_{out} . ارسم الدارة لكل من المخرجين.

Variables			Outputs	
A	B	C _{in}	C _{out}	Σ
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

س 4: هل A و B و C_{in} متكافئة ؟

س 5: أتمم القواعد التالية:

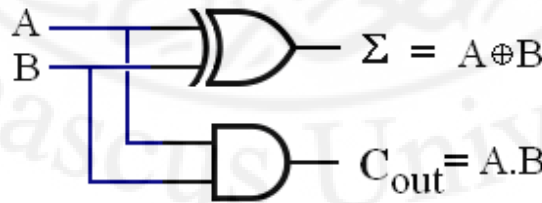
تكون قيمة الناتج $\Sigma = 1$ عندما

تكون قيمة المنقول $C_{out} = 1$ عندما

س 6: هل يمكن تشكيل دائرة جامع كامل باستخدام دارتي نصف جامع ؟ إذا كان الجواب بالإيجاب ، ارسـم مخططاً صندوقياً لهذه الدارة.

نصف الجامع Half Adder:

يُعطى تابع الخرج للناتج Sum بالعلاقة $\Sigma = A.B + \bar{A}.B = A \oplus B$ ، والمنقول للمرتبة الأعلى بالعلاقة $C_{out} = A.B$. يبين الشكل الآتي المخطط المنطقي لدائرة نصف الجامع:



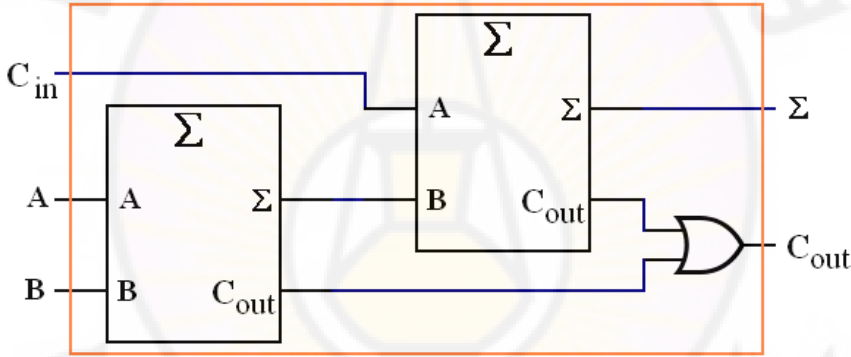
المخطط المنطقي لدائرة نصف الجامع

س 7: املاً جدول الحقيقة الآتي:

Variables		Outputs	
A	B	C _{out}	Σ
0	0		
0	1		
1	0		
1	1		

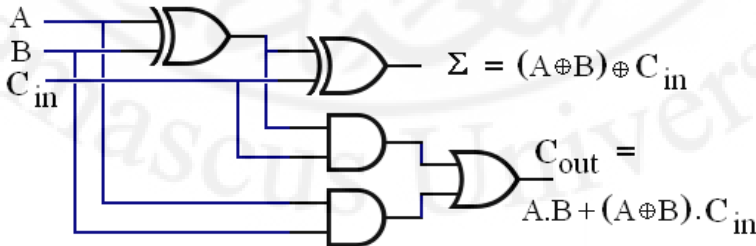
الجامع الكامل Full Adder

يبين المخطط الصندوقي الآتي كيفية بناء دارة الجامع الكامل من دارتي نصف جامع.

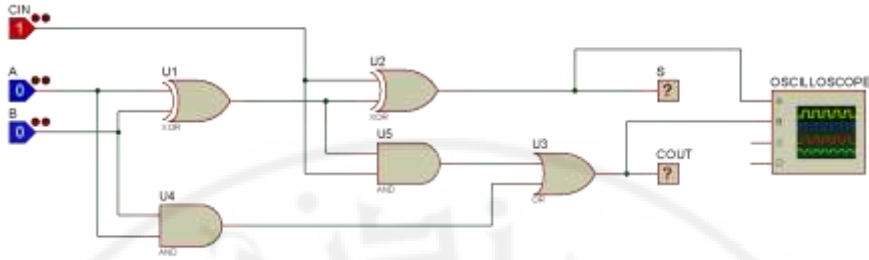


تشكيل دارة جامع كامل من دارتي نصف جامع

يُعبّر عن تابع خرج الناتج Sum بالعلاقة الآتية: $\Sigma = (A \oplus B) \oplus C_{in}$. وعن تابع خرج المنقول بالعلاقة الآتية: $C_{out} = A.B + (A \oplus B).C_{in}$. ويبين الشكل 7.6 دارة الجامع الكامل.



دارة الجامع الكامل



المخطط المنطقي لدائرة الجامع الكامل

س8: املاً جدول الحقيقة الآتي:

Variables			Outputs	
A	B	C _{in}	C _{out}	Σ
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

س9: ارسم دائرة جامع كامل بوصل دارتي نصف جامع. استخدم دائرة نصف الجامع المبينة بالشكل 4.6. واملأ جدول الحقيقة الآتي:

Variables			Outputs	
A	B	C _{in}	C _{out}	Σ
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

3. تنفيذ التجربة

المرحلة الأولى: المحاكاة باستخدام أحد برامج المحاكاة Multisim أو Proteus.



1. نفذ دائرة جامع كامل Full Adder باستخدام لوحة عمل برنامج المحاكاة.
2. قم بمحاكاة دائرة الجامع الكامل من جميع تراكيب المدخل A B Cin وتأكد من صحة النتائج التي تحصل عليها.
3. رتب نتائجك في جدول.

المرحلة الثانية: التنفيذ العملي

1. نفذ على لوحة الاختبار المخطط المنطقي الذي اختبرته في مرحلة المحاكاة.
2. تأكد من سلامة التوصيلات قبل تغذية الدارة بالقدرة.
3. ضمّن تقريرك رسم المخطط المنطقي المستخدم بعملية المحاكاة.
4. طبق على المداخل A B Cin تراكيب الدخل الواردة في الجدول ودون نتائج المحاكاة في الجدول الآتي:

Variables			Outputs	
A	B	C _{in}	C _{out}	Σ
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

جمع الأعداد الاثنائية Binary Number Addition

س 10: لجمع عددين اثنائيين نحتاج إلى عدد من الجوامع الكاملة يساوي عدد بتات العدد الأطول (عدد بتاته أكثر). افترض أننا نرغب جمع العددين الاثنائيين A و B حيث $A = a_1a_0$ و $B = b_1b_0$.

ارسم مخططاً صندوقياً باستخدام دائرة نصف جامع ودائرة جامع كامل لتحقيق الدارة لإنجاز هذه العملية.

Variables				Outputs	
A1	A0	B1	B0	C _{out}	Σ
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

س 11: لخص بما لا يزيد على خمسة أسطر النقاط المهمة التي تعلمتها من هذه التجربة.

التجربة 4

جامع طارح اثنائي بأربعة بتات

4-bit binary Adder-Subtractor

1. هدف التجربة

- فهم كيفية إجراء العمليات الحسابية الأساسية الجمع والطرح بالاثنائي
- فهم واختبار وتنفيذ عمل دائرة جامع طارح اثنائي بأربعة بتات 4-Bit Binary Adder Subtractor.

العناصر الإلكترونية اللازمة:

العدد	البيان	العنصر
1	دائرة متكاملة بوابات XOR بمدخلين ومخرج واحد	74LS86
1	دائرة متكاملة لجامع اثنائي بأربعة بتات 4-bit binary adder	74LS283
1	دائرة متكاملة بوابات XOR بمدخلين ومخرج واحد	74LS 86
حسب الحاجة	ثنائيات ضوئية لإظهار حالة المداخل والمخارج	LEDs
حسب الحاجة	مفاتيح مفردة أو مفاتيح مكروية لتأمين تشكيلات الدخل	Switchs
1	وحدة تغذية مستمرة 5 V	Power supply
حسب الحاجة	أسلاك توصيل.	

2. تمهيد نظري:

هناك أربع عمليات حسابية أساسية:

جمع Addition، وطرح Subtraction، وضرب Multiplication وقسمة.

وكما هو معروف **الضرب** هو عملية جمع العدد المضروب عدداً من المرات يساوي العدد الضارب (المضروب فيه) وبالتالي يمكن من حيث المبدأ تنفيذ عملية الضرب بالجمع المتتالي.

ويمكن تنفيذ عملية **القسمة** بطرح العدد المقسوم عليه من العدد المقسوم، وتنتهي عملية القسمة عندما تكون نتيجة الطرح أصغر من المقسوم عليه أو صفراً، عندئذ يكون ناتج القسمة الصحيح هو عدد المرات التي أمكن فيها طرح المقسوم عليه من العدد المقسوم.

وهكذا أصبح بالإمكان إجراء العمليات الحسابية الأربع بطريقة الجمع والطرح فقط.

السؤال الذي يطرح نفسه الآن هو: هل يمكن إجراء الطرح بطريقة الجمع؟ الجواب نعم، لكن كيف يتم ذلك؟ الجواب: يمكن إجراء الطرح بجمع متمم العدد المطروح إلى المطروح منه

وتجدر الإشارة هنا إلى وجود نوعين من المتممات للأعداد السالبة: متمم الأساس Radix complement ومتمم الأساس - 1. (لمزيد من التفاصيل راجع المحاضرات النظرية).

3. تنفيذ التجربة



المرحلة الأولى: المحاكاة باستخدام أحد برامج المحاكاة Multisim أو Proteus.

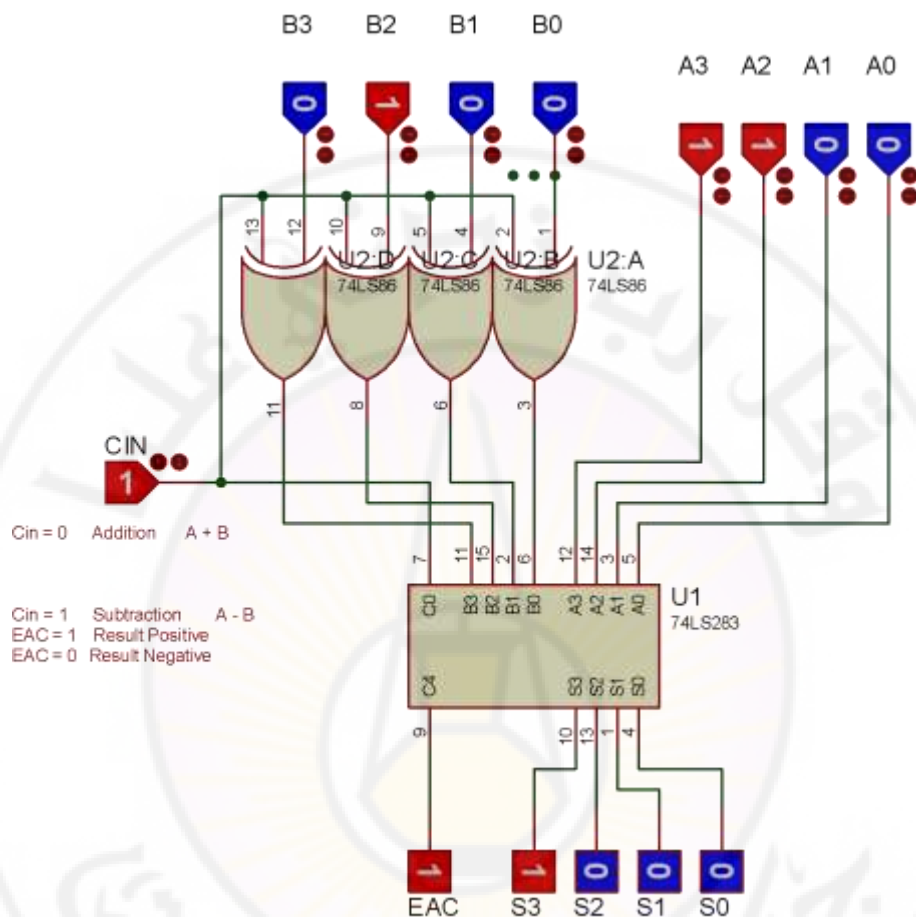
1. نفذ المخطط المنطقي المرفق على صفحة عمل برنامج المحاكاة المستخدم.

2. قم بمحاكاة الدارة باستخدام أحد برامج المحاكاة Multisim أو Proteus من أجل قيم مختلفة لكل من المدخلين $A = A_3A_2A_1A_0$ و $B = B_3B_2B_1B_0$ وتأكد من صحة النتائج التي تحصل عليها.

3. رتب نتائج المحاكاة في الجدول من أجل:

$$C_0 = 0 \text{ العملية عملية جمع } A + B$$

$$C_0 = 1 \text{ العملية عملية طرح } A - B$$



المخطط المنطقي لدارة الجامع الطارح الاثنائي بأربعة بتات

المرحلة الثانية: التنفيذ العملي

1. نفذ على لوحة الاختبار المخطط المنطقي الذي اختبرته في مرحلة المحاكاة.
2. تأكد من سلامة التوصيلات قبل تغذية الدارة بالقدرة.
3. ضمّن تقريرك رسم المخطط المنطقي المستخدم بعملية المحاكاة.
4. طبق على المداخل A B Cin تراكيب الدخل الواردة في الجدول ودوّن نتائج المحاكاة في الجدول الآتي:

قيمة الدخل بالعشري		الدخل Binary Input $B_3B_2B_1B_0$ $A_3A_2A_1A_0$	الخرج Binary Output	الخرج Binary Output
Cin = 0	Cin = 1		Cin = 0	Cin = 1
A B	A B		$C_4S_3S_2S_1S_0$	$C_4S_3S_2S_1S_0$
9 6	9 6			
14 10	14 10			
15 15	15 15			
9 14	9 14			

أسئلة:

بالرجوع إلى المخطط المنطقي

- ما نوع المتمم المستخدم في عملية الطرح وكيف يتم الحصول عليه في الدارة أعلاه.

التجربة رقم 5 الجامع العشري المرمز اثنان BCD ADDER

1. هدف التجربة:

- فهم خوارزمية جمع الأعداد العشرية المرمزة اثنان Binary Coded Decimal (BCD)

العناصر الإلكترونية

العدد	البيان	العنصر
2	دائرة متكاملة جامع اثنان بأربعة بتات 4-bit Binary Adder	74LS83
1	دائرة متكاملة تتضمن أربع بوابات AND لكل منها مدخلان	74LS08
1	دائرة متكاملة تتضمن أربع بوابات AND لكل منها مدخلان	74LS32
حسب الحاجة	لإظهار العدد العشري برمز BCD	LED
حسب الحاجة	لإظهار نتائج التحويل من الـ BCD إلى الاثنان	LED
حسب الحاجة	8 مفاتيح عادية أو وحدتان مفاتيح مكروية كل واحدة بأربعة مفاتيح	Switch
1	وحدة تغذية مستمرة 5 V	Power supply
حسب الحاجة	أسلاك توصيل.	

2. تمهيد نظري:

تذكير بالعمليات الحسابية بالـ BCD.

الجمع بالـ BCD BCD Addition.

لإجراء عملية الجمع بالـ BCD نقوم بالعمليات الآتية.

1. نبدل كل رقم في كل عدد من العددين المطلوب جمعهما بمكافئه الاثنان المؤلف من 4-bit (انظر المثال).

2. نرتب الأعداد تحت بعضها البعض حسب المرتبة التي يشغلها كل رقم كما هو موضح في المثال الآتي.
3. نجمع الأرقام في كل عمود من الأعمدة (رقم من العدد الأول + رقم من العدد الثاني + المنقول من المرتبة السابقة).
4. ننظر إلى نتيجة جمع (رقم من العدد الأول + رقم من العدد الثاني + المنقول من المرتبة السابقة) فإذا كانت النتيجة أكبر من 9 فهذا يعني وجود منقول للمرتبة التالية ولإظهار المنقول علينا تصحيح النتيجة بإضافة القيمة 0110. أما إذا كانت النتيجة أقل أو تساوي 1001 عندئذ لا حاجة للتصحيح.

مثال اجمع الأعداد الآتية بالـ BCD

$$\begin{array}{r}
 3 + 4 = (?) , \quad 23 + 46 = (?) , \quad 47 + 24 = (?) \\
 \begin{array}{r}
 0011 \quad 3 \\
 0100 \quad + 4 \\
 \hline
 0111 \quad 7
 \end{array}
 \quad
 \begin{array}{r}
 0010 \quad 0011 \quad 23 \\
 0100 \quad 0110 \quad + 46 \\
 \hline
 0111 \quad 1001 \quad 69
 \end{array}
 \quad
 \begin{array}{r}
 \overset{1}{\downarrow} \\
 0100 \quad 0111 \quad 47 \\
 0010 \quad 0100 \quad + 24 \\
 \hline
 0111 \quad 1011 \quad 71 \\
 0000 \quad 0110 \\
 0111 \quad \textcircled{1} \quad 1011
 \end{array}
 \end{array}$$

المنقول الناتج عن التصحيح يؤخذ بالحسبان في المرحل التالية



3. تنفيذ التجربة

المرحلة الأولى: المحاكاة

1. استخدام أحد برامج المحاكاة Multisim أو Proteus.
2. نفذ المخطط المنطقي دائرة جامع الـ BCD على صفحة عمل البرنامج المستخدم.
3. قم بمحاكاة الدارة من أجل تراكيب الدخل المختلفة الواردة في الجدول.
4. تأكد أن الدارة تحقق العمل الوظيفي لعملية التحويل.
5. دون نتائج مشاهداتك في الجدول الآتي.

المرحلة الثانية: التنفيذ العملي

1. نفذ على لوحة الاختبار المخطط المنطقي الذي اختبرته في مرحلة المحاكاة.

- وكون نتائج مساهداتك في الحفل المخصص في الجدول الاتي:

49

ملاحظة: يمكن الاستعاضة عن دائرة كاشف المنقول بدارة مقارن المقدار
74LS85.
ارسم مخطط التوصيل باستخدام دائرة المقارن.



التجربة رقم 6

تحويل الأعداد العشرية المرمزة بالعشري المرمز اثنائياً BCD إلى رمّاز الاثنائي Binary Code

1. هدف التجربة:

- فهم خوارزمية تحويل الأعداد العشرية المرمزة بالـ BCD إلى رمّاز الاثنائي.

العناصر الإلكترونية:

العدد	البيان	العنصر
2	دائرة جامع اثنائي متكاملة بأربعة بتات 4-bit Binary Adder	74LS83
8	ثنائيات ضوئية لإظهار العدد العشري برّمّاز BCD	LED
7	ثنائيات ضوئية لإظهار نتائج التحويل من الـ BCD إلى الاثنائي	LED
	8 مفاتيح عادية أو وحدتان مفاتيح مكروية كل واحدة بأربعة مفاتيح	Switch
1	وحدة تغذية مستمرة 5 V	Power supply
حسب الحاجة	أسلاك توصيل.	

2. تمهيد نظري:

مقدمة:

تُدخل المعطيات المكونة من محارف (أرقام وأحرف وعلامات وإشارات) إلى الحاسوب عن طريق لوحة المفاتيح Keyboard التي تقوم بترميزها وفق رمّاز ASCII. وتنفذ العمليات الحسابية ضمن الحاسوب بالاثنائي، لذلك يجب تحويل الأعداد العشرية إلى أعداد اثنائية قبل معالجتها.

على سبيل المثال عند إدخال العدد العشري 237_{10} المكون من ثلاثة محارف، تُدخّل الأرقام على التتالي مرمزة وفق رمّاز ASCII كما هو موضح:

رمّاز ASCII الموافق أرقام العدد

2	0011 0010
3	0011 0011
7	0011 0111

لاحظ أن البتات الأربعة الأقل دلالة في رمّاز الـ ASCII تمثل رمّاز BCD الموافق لكل رقم من الأرقام المُدخلة، وبالتالي، لتحويل رمّاز ASCII إلى الرمّاز BCD يكفي حذف البتات الأربعة الأكثر دلالة.

تمثيل BCD للعدد 237_{10} :

0010	→ رقم مرتبة المئات
0011	→ رقم مرتبة العشرات
0111	→ رقم مرتبة الآحاد

لاحظ في هذا المثال أن الرمّاز 0010 في العدد المُدخل يمثل مئتين، والـ 0011 يمثل ثلاثين ، والـ 0111 يمثل سبعة، لهذا السبب هناك إجرائية بسيطة لتحويل الـ BCD إلى اثنائي.

تحويل رمّاز الـ BCD إلى الاثنائي Binary

آلية التحويل:

افترض أن العدد المطلوب تحويله إلى اثنائي مؤلف من رقمين A للآحاد و B للعشرات. يُمثّل كل رقم من أرقام نظام العد العشري بأربعة بتات (4-bit) $(a_3 a_2 a_1 a_0)$ ، لكل بت من هذه البتات وزن قيمته 2^i ، يحدده الموضع i الذي يشغله كل بت والذي يطلق عليه الترميز 8.4.2.1.

للتعبير عن العدد BA بالـ BCD تستبدل كل رقم برّمّاز BCD الموافق فنحصل على:

$$BA \Rightarrow B_3 B_2 B_1 B_0 \quad A_3 A_2 A_1 A_0$$

لا يحتاج الرقم الذي يمثل مرتبة الآحاد إلى عملية تحويل إلى الاثنائي (يحافظ على حالته)، على حين يضرب رمز كل رقم من أرقام العدد الممثل بترميز الـ BCD الواقعة على يساره بوزن المرتبة العشرية التي يشغلها ذلك الرقم.

واللحصول على نتيجة التحويل بالاثناني نجمع بواسطة جوامع اثنانية القيمة المكافئة للرقم الموجود في منزلة الأحاد إلى نتيجة ضرب أحد مكونات العدد في المرتبة الأعلى، تُكرر هذه العملية حسب عدد أرقام العدد المطلوب تحويله. يُنفذ التحويل على مراحل يتوقف عددها على عدد البتات المساوية 1 في كل رقم من أرقام الترميز BCD.

تحليل العدد العشري $A_{10} = (A_{n-1} A_{n-2} \dots A_i \dots A_0)_{10}$ إلى مركباته

$$A = (a_3 a_2 a_1 a_0)10^{n-1} + \dots + (a_3 a_2 a_1 a_0)10^i + \dots + (a_3 a_2 a_1 a_0)10^0$$

باستبدال كل رقم عشري برمز BCD الموافق نكتب:

$$A = (a_3 a_2 a_1 a_0)10^{n-1} + \dots + (a_3 a_2 a_1 a_0)10^i + \dots + (a_3 a_2 a_1 a_0)10^0$$

$$\text{حيث } 10_{10} = (8 + 2)_{10} = (2^3 + 2^1)_{10} = (1000 + 10)_2$$

وبالتعويض نحصل على:

$$A = (a_3 a_2 a_1 a_0)(8+2)^{n-1} + \dots + (a_3 a_2 a_1 a_0)(8+2)^i + \dots + a_3 a_2 a_1 a_0$$

$$A = (a_3 a_2 a_1 a_0)(2^3 + 2^1)^{n-1} + \dots + (a_3 a_2 a_1 a_0)(2^3 + 2^1)^i + \dots + (a_3 a_2 a_1 a_0).1$$

$$A = (a_3 a_2 a_1 a_0)(1000^3 + 10^1)^{n-1} + \dots + (a_3 a_2 a_1 a_0)(1000^3 + 10^1)^i + \dots + a_3 a_2 a_1 a_0$$

ملاحظات:

1. عند ضرب عدد اثناني بـ 2^i نضيف عن يمين العدد المضروب عدداً من الأصفار يساوي i .

2. أكبر قيمة عشرية يمكن تحويلها هي 99 ويحتاج تمثيلها بالاثناني إلى سبعة بتات.

$$BA = 99_{10} = 1100011_2$$

يبقى المثال خير وسيلة للتوضيح.

تحويل عدد عشري رمز اثنائياً مكون من رقمين عشريين BA إلى اثناني.

$$\begin{aligned}
 (B_3 B_2 B_1 B_0 A_3 A_2 A_1 A_0)_{BCD} &= (B_3 B_2 B_1 B_0)(10)_{10}^1 + (A_3 A_2 A_1 A_0)(10)_{10}^0 \\
 &= B_3 B_2 B_1 B_0 (8+2)_{10}^1 + A_3 A_2 A_1 A_0 \\
 &= B_3 B_2 B_1 B_0 (1000)_2 + B_3 B_2 B_1 B_0 (10)_2 + A_3 A_2 A_1 A_0
 \end{aligned}$$

مراحل تنفيذ عملية التحويل:

الخطوة الأولى:

$$\begin{array}{r}
 C_{04} \ C_{03} \ C_{02} \ C_{01} \\
 \hline
 A_3 \ A_2 \ A_1 \ A_0 \\
 + \quad B_3 \ B_2 \ B_1 \ B_0 \ 0 \\
 \hline
 C_{04} \ S_4 \ S_3 \ S_2 \ S_1 \ A_0
 \end{array}$$

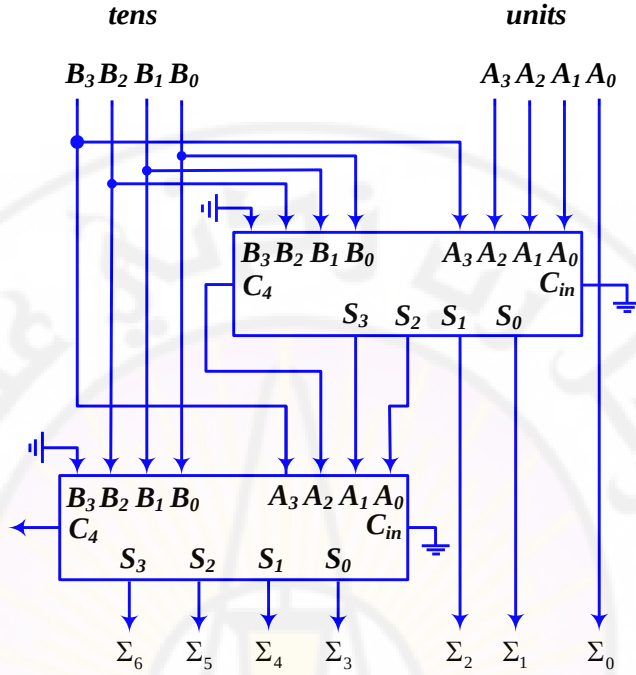
$B \times 2 = B \times (10)_2$

الخطوة الثانية:

$$\begin{array}{r}
 C_{41} \ C_{31} \ C_{21} \ C_{11} \\
 C_{04} \ S_4 \ S_3 \ S_2 \ S_1 \ A_0 \\
 + \quad B_3 \ B_2 \ B_1 \ B_0 \ 0 \ 0 \ 0 \ 0 \\
 \hline
 \Sigma_7 \ \Sigma_6 \ \Sigma_5 \ \Sigma_4 \ \Sigma_3 \ \Sigma_2 \ \Sigma_1 \ A_0
 \end{array}$$

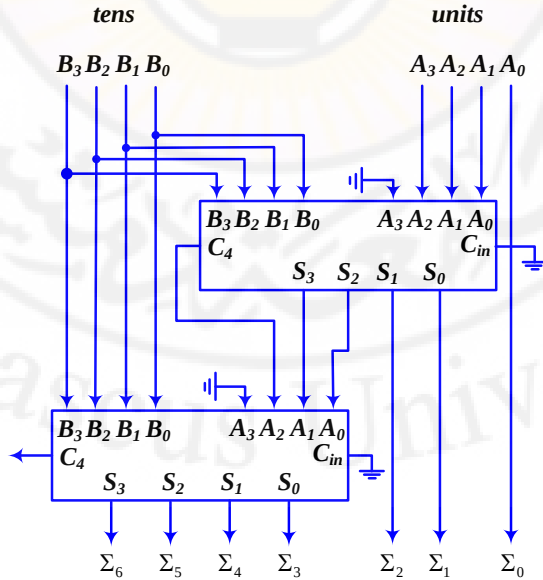
$B \times 8 = B \times (1000)_2$

وكما أسلفنا لا يمكن أن تتجاوز نتيجة التحويل في مثالنا القيمة الاثنائية 1100011_2 والتي لا تحتاج لأكثر من سبعة بتات وبالتالي يكون لدينا $C_{14} = C_{13} = \Sigma_7 = 0$ ، وهكذا تحتاج عملية التحويل إلى دارتي جامع اثنائي من طول 4-bit توصل كما في الشكل:



مخطط صندوقي لدارة التحويل من BCD إلى Binary

طريقة ثانية للتوصيل



طريقة ثانية للمخطط الصندوقي لدارة تحويل الـ BCD إلى اثنائي



3. تنفيذ التجربة

المرحلة الأولى: المحاكاة

1. استخدام الدارات أحد برامج المحاكاة Multisim أو Proteus.

2. نفذ المخطط المنطقي على صفحة العمل للبرنامج المستخدم.

3. قم بمحاكاة الدارة من أجل تراكيب الدخل المختلفة الواردة في الجدول.

4. تأكد من أن الدارة تحقق العمل الوظيفي لعملية التحويل.

5. دوّن نتائج مشاهداتك في الجدول الآتي.

قيمة الدخل بالعشري		الدخل بالاثنائي		الخرج
B A		Binary Input B B ₃ B ₂ B ₁ B ₀	A A ₃ A ₂ A ₁ A ₀	Binary Output $\sum_7 \sum_6 \sum_5 \sum_4 \sum_3 \sum_2 \sum_1 \sum_0$
9	9			
12	15			
6	7			
9	9			
12	15			
14	8			

نتائج المحاكاة

المرحلة الثانية: التنفيذ العملي

1. نفذ المخطط المنطقي الذي اختبرته في مرحلة المحاكاة على لوحة الاختبار.

2. تأكد من سلامة التوصيلات قبل تغذية الدارة بالقدرة.

3. ضمّن تقريرك رسم المخطط المنطقي المستخدم بعملية المحاكاة.

4. طبق على مداخل الدارة تراكيب BCD الواردة في الجدول ودوّن نتائج مشاهداتك في الجدول الآتي:

قيمة الدخل بالعشري		الدخل بالاثنائي	الخرج
B A		Binary Input B A	Binary Output
B ₃ B ₂ B ₁ B ₀ A ₃ A ₂ A ₁ A ₀			$\Sigma_7 \Sigma_6 \Sigma_5 \Sigma_4 \Sigma_3 \Sigma_2 \Sigma_1 \Sigma_0$
9	9		
12	15		
6	7		
9	9		
12	15		
14	8		

نتائج التنفيذ الفيزيائي (الدارة)



التجربة رقم 7 الضارب الاثنائي لضرب عددين اثنائيين 4-bit by 3-bit

هدف التجربة:

- فهم خوارزمية الضرب في نظام العد الاثنائي.
- فهم كيفية تنفيذ عملية الضرب.
- تنفيذ ومحاكاة دارة الضارب واختبارها وظيفياً.
- تنفيذ دارة الضارب فيزيائياً واختبارها عملياً.

العناصر الإلكترونية:

العدد	البيان	العنصر
2	دائرة متكاملة 4-bit binary Adder	74LS283
3	دائرة متكاملة بوابات AND بمدخلين ومخرج وحيد	74LS08
حسب الحاجة	مفاتيح مفردة أو مكروية	Switches
1	وحدة تغذية مستمرة 5 V	Power supply
حسب الحاجة	أسلاك توصيل.	

1. تمهيد نظري:

مبدأ تصميم دارة ضارب اثنائي لضرب عددين اثنائيين A ب B :

- العدد المضروب $A = a_3a_2a_1a_0$ Multiplicand من طول 4-bit.
- العدد الضارب $B = b_2b_1b_0$ Multiplier من طول 3-bit.

مقاربة المسألة:

ضرب العددين كما لو أننا نستخدم الورقة والقلم باستثناء أن جمع الجداءات الجزئية يتم تراكمياً، نجمع كل سطرين بدلاً من تحصيل جميع نواتج الضرب الجزئية أولاً ومن ثم نجمعها دفعة واحدة للحصول على نتيجة الضرب النهائية، وهذا يعقد كثيراً تصميم الدارة، نجمع في كل مرة سطرين من سطور نواتج

الضرب الجزئية (نتيجة الجمع السابقة مع ناتج الضرب الجزئي بالرقم التالي من العدد الضارب) وهذا يبسط دارة الضرب كثيراً.

الخطوة الأولى:

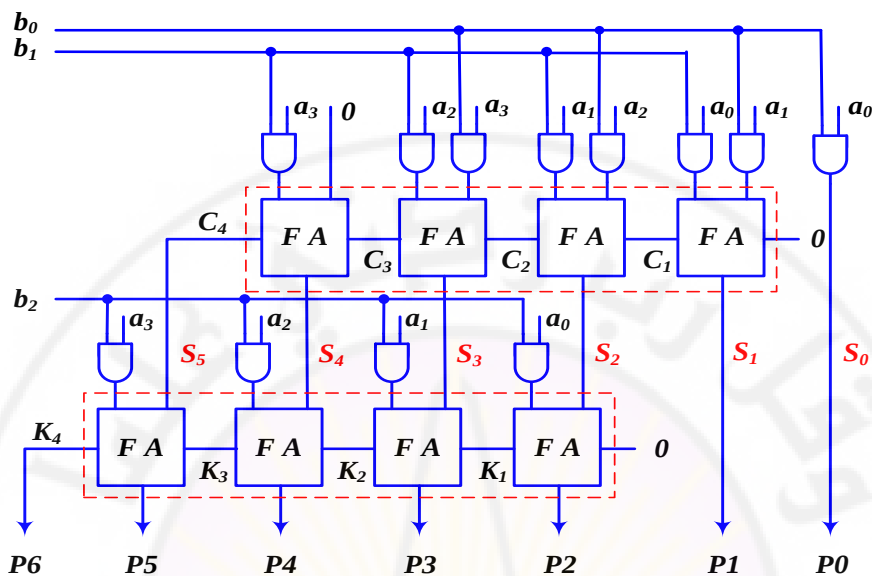
- إيجاد نواتج الضرب الجزئية بالرقم الأقل وزناً b_0 (ضرب الرقم الأقل وزناً b_0 من العدد الضارب بالعدد $A: (b_0.A)$.
- إيجاد نواتج الضرب الجزئية بالرقم الثاني b_1 بالعدد $A: (b_1.A)$ وإزاحتها مرتبة إلى اليسار.
- جمع النتائج السابقة $\Sigma_0 = b_0A + b_1A0$ ، حيث $A0$ يرمز إلى الجداء b_1A بعد إزاحته مرتبة إلى اليسار.

الخطوة الثانية:

- إيجاد نواتج الضرب الجزئية بالرقم الثالث b_2 بالعدد $A: (b_2.A)$.
- جمع نواتج الضرب الجزئية بعد إزاحتها مرتبتين إلى اليسار مع نتيجة الجمع في الخطوة السابقة: $\Sigma_1 = \Sigma_0 + b_2A00$ حيث b_2A00 يرمز إلى الجداء b_2A بعد إزاحته مرتبتين إلى اليسار.

$A =$							$B =$						
		b_7		b_1		a_3		a_2		a_1		a_0	
		C_1		C_3		C_2		C_1		C_0		C_0	
$b_0A =$						b_0a_3		b_0a_2		b_0a_1		b_0a_0	
$b_1A =$						b_1a_3		b_1a_2		b_1a_1		b_1a_0	
$\Sigma_0 =$		C_4		$(b_1a_3 + C_3)$		$(b_0a_3 + b_1a_2 + C_2)$		$(b_0a_2 + b_1a_1 + C_1)$		$(b_0a_1 + b_1a_0)$		b_0a_0	
		$S5$		$S4$		$S3$		$S2$		$S1$		$S0$	
		K_1		K_2		K_1		K_0		K_0		K_0	
$b_2A =$						b_2a_3		b_2a_2		b_2a_1		b_2a_0	
$\Sigma_1 =$		K_1		$(S5 + b_2a_3 + K_2)$		$(S4 + b_2a_2 + K_1)$		$(S3 + b_2a_1 + K_0)$		$(S2 + b_2a_0)$		$P1$	
		$P6$		$P5$		$P4$		$P3$		$P2$		$P1$	

للتبسيط رمزنا ب Si و Pi و Ci و Ki إلى نواتج الجمع الحسابي والمناقل في صفي الجوامع الكاملة في الدارة.



دائرة الضارب

2. تنفيذ التجربة

المرحلة الأولى: المحاكاة



1. استخدام الدارات أحد برامج المحاكاة Multisim أو Proteus.
2. نفذ المخطط المنطقي على صفحة العمل للبرنامج المستخدم.
3. نفذ عملية المحاكاة من أجل تراكيب دخل مختلفة (أعداد مختلفة لكل من الضارب والمضروب).
4. تأكد من أن الدارة تحقق العمل الوظيفي لعملية التحويل.
5. دوّن نتائج المحاكاة في الجدول الآتي.

المرحلة الثانية: التنفيذ العملي

1. نفذ على لوحة الاختبار المخطط المنطقي الذي اختبرته في مرحلة المحاكاة.
2. تأكد من سلامة التوصيلات قبل تغذية الدارة بالقدر.
3. ضمّن تقريرك رسم المخطط المنطقي المستخدم لدائرة الضارب.

4. طبق على مداخل الدارة تراكيب دخل مختلفة (أعداد مختلفة لكل من الضارب والمضروب).
5. دوّن نتائجك في الجدول الآتي.



التجربة رقم 8 مفككات الرمّاز Decoders

1. هدف التجربة:

- التعرف على بنية مفكك الرمّاز.
- فهم عمل ووظيفة مفكك الرمّاز وإدراك أهميته في النظم الرقمية.

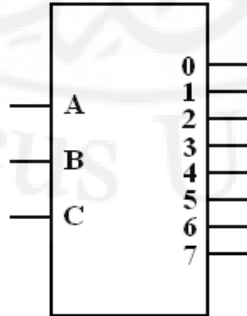
العناصر الإلكترونية:

العنصر	البيان	العدد
74LS138	دائرة متكاملة تحوي أربعة مضمّات 4MUX2to1	1
LEDs	ثنائيات ضوئية لإظهار حالة المداخل والمخارج	حسب الحاجة
Switch	مفاتيح مفردة أو مفاتيح مكروية لتأمين تشكيلات الدخل	حسب الحاجة
Power supply	وحدة تغذية مستمرة 5 V	1
	أسلاك توصيل.	حسب الحاجة

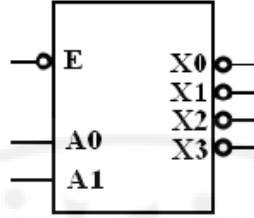
2. تمهيد نظري:

الوظيفة الأساسية لمفكك الرمّاز هي الدلالة على وجود رمّاز (تركيبية محددة من البتات) على مداخله تجعل أحد مخارجه يأخذ قيمة منطقية مختلفة عن قيم باقي المخارج (قيمة الخرج المنتخب 1 وباقي المخارج 0's أو قيمة الخرج المنتخب 0 وباقي المخارج 1's).

يبين الشكل (2.7أ) مخططاً رمزياً رسومياً لمفكك من النوع الأول. ويبين الشكل (2.7ب) مخططاً رمزياً رسومياً لمفكك من النوع الثاني



الشكل (2.7أ): قيمة الخرج المنتخب 1 والباقي أصفار



الشكل (2.7.ب): قيمة الخرج المنتخب 0 والباقي وحدان

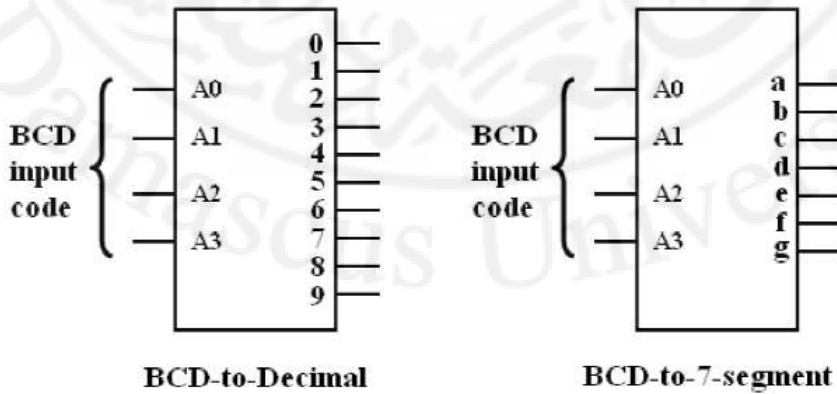
مثال:

ليكن $ABC = 011$ عندها تكون قيمة الخرج 3 في الشكل (2.7.أ) واحدة وباقي المخارج أصفار، في حين تكون قيمة المخرج 3 في الشكل (2.7.ب) صفراً وباقي المخارج وحدان.

يبين الشكل الآتي نوعين هامين من أنواع مفككات الرّمّاز:

- مفكك رّمّاز العشري المرمز اثنانياً إلى عشري BCD-to-Decimal.
- مفكك رّمّاز العشري المرمز اثنانياً إلى سبع قطع BCD-to-7-Segment.

يقبل المفككان الرّمّاز BCD على دخليهما حيث يفعل الأول مخرجاً واحداً من أصل 10 تبعاً للرّمّاز BCD المطبق على الدخل، على حين يفعل الثاني القطع اللازمة لإظهار القيمة العشرية الموافقة للرّمّاز BCD على وحدة الإظهار ذات السبع قطع.



الشكل 3.7

س 1: يبين الجدول الآتي جدول الحقيقة لمفك رمّاز 4-to-2 استنبط التعبير لكل مخرج وارسم الدارة لتحقيق المفك.

Inputs		Outputs			
A1	A0	X0	X1	X2	X3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

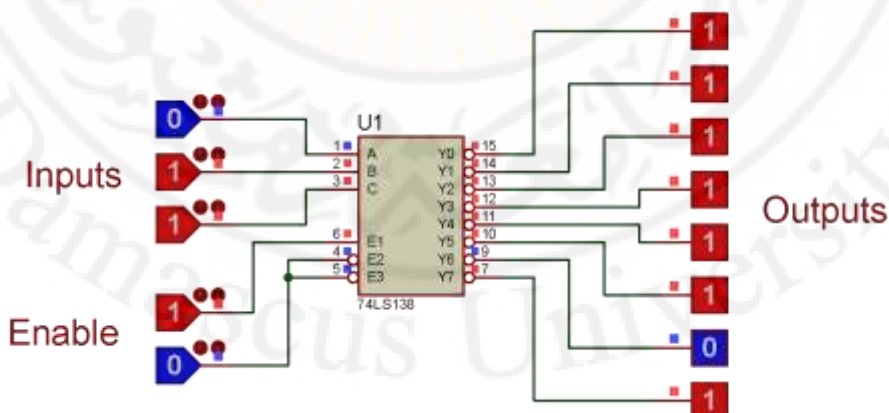
س 2: ما المستوى المنطقي الفعال في مفك الرمّاز السابق، عالٍ High أم منخفض Low؟

س 3: اكتب جدول الحقيقة لمفك رمّاز 2-to-4 decoder المستوى المنطقي للخروج فيه منخفض Low وأوجد التعبير البولياني لكل مخرج من المخارج وارسم الدارة التي تحقق هذا المفك.

3. تنفيذ التجربة



استخدم الدارة المتكاملة 74LS138 (مفك رمّاز 3 to 8) المستوى الفعال في الدخل 1 والمستوى في الخرج 0، المستويات الفعالة لمداخل التأهيل $E_1 = 1$ ، $E_2 = E_3 = 0$.



المرحلة الأولى: المحاكاة باستخدام أحد برامج المحاكاة Multisim أو Proteus.

1. نفذ المخطط المنطقي لإدارة مفكك الرماز على صفحة عمل برنامج المحاكاة.
2. تأكد من سلامة التوصيل.
3. قم بمحاكاة مفكك الرماز بتطبيق تراكيب دخل مختلفة وتأكد من صحة النتائج التي تحصل عليها.
4. رتب نتائجك في الجدول الآتي:

E ₃ E ₂ E ₁	معطيات الدخل	معطيات الخرج
	C B A	Y ₇ Y ₆ Y ₅ Y ₄ Y ₃ Y ₂ Y ₁ Y ₀
0 0 0	0 0 0	
1 0 1	0 1 1	
0 1 1	1 1 1	
0 0 1	0 0 0	
	0 0 1	
	0 1 0	
	0 1 1	
	1 0 0	
	1 0 1	
	1 1 0	
	1 1 1	

المرحلة الثانية: التنفيذ العملي

1. نفذ دائرة مفكك الرماز على لوحة الاختبار.
2. تأكد من سلامة وصحة التوصيلات قبل تغذية الدارة بالقدرة.
3. قم بتطبيق تراكيب دخل مختلفة وبحالة التأهيل وعدمه وتأكد من صحة النتائج وسلامة العمل.
4. دون النتائج التي تحصل عليها في الجدول الآتي:

$E_3E_2E_1$	معطيات الدخل	معطيات الخرج
	C B A	$Y_7Y_6Y_5Y_4Y_3Y_2Y_1Y_0$
0 0 0	0 0 0	
1 0 1	0 1 1	
0 1 1	1 1 1	
0 0 1	0 0 0	
	0 0 1	
	0 1 0	
	0 1 1	
	1 0 0	
	1 0 1	
	1 1 0	
	1 1 1	

لاحظ أن الدارة مؤهلة وأن قيمة الدخل 110 وبالتالي المخرج الموافق هو $Y_6 = 0$ وباقي المخرج وحدان.



التجربة رقم 9 المرمّزات Encoders

1. هدف التجربة:

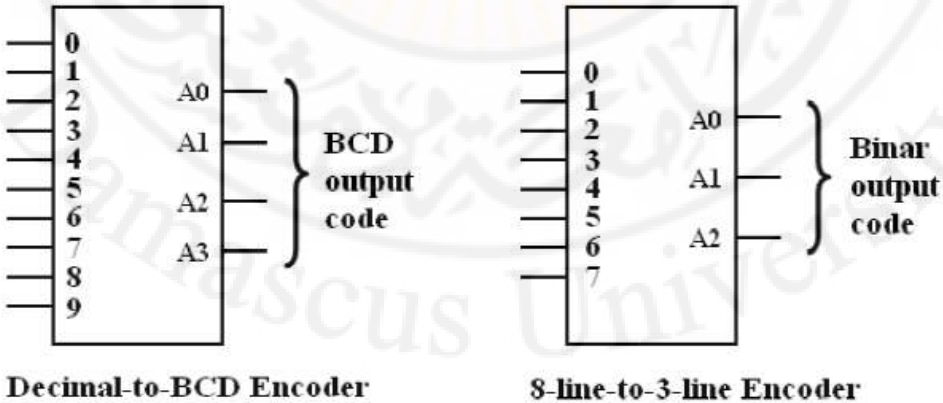
- التعرف على بنية المرمز
 - فهم عمل ووظيفة المرمز وإدراك أهميته في النظم الرقمية.
- العناصر الإلكترونية اللازمة:**

العنصر	البيان	العدد
74H148	دائرة متكاملة تحوي أربعة مضمّمات 4MUX2to1	1
LEDs	ثنائيات ضوئية لإظهار حالة المداخل والمخارج	حسب الحاجة
Switch	مفاتيح مفردة أو مفاتيح مكروية لتأمين تشكيلات الدخل	حسب الحاجة
Power supply	وحدة تغذية مستمرة 5 V	1
أسلاك توصيل.		حسب الحاجة

2. تمهيد نظري:

يعمل المرمز عكس عمل مفكك الرّمّاز، وهو نوعان: مرمز عادي ومرمز ذو أفضلية.

يقبل المرمز العادي أن يكون مدخل واحد من بين مداخله فعلاً وباقي المداخل غير مفعلة، ويقوم بتبديل الرّمّاز إلى الرّمّاز الموافق في الخرج. انظر الشكل 4.7



الشكل 4.7

أمثلة: إذا كان المدخل 4 فعالاً في كلا المرمرين عندها يكون الرّماز على خرج Decimal-to-BCD Encoder هو ABCD=0100 ويكون الخرج على 8-to-3 Encoder هو ABC=100.

س 1: يبين الجدول الآتي جدول الحقيقة لمرمر 4-to-2 encoder استنبط التعبير البولياني (المعادلة) لكل مخرج وارسم الدارة المنطقية التي تحقق المرمر.

Inputs				Outputs	
D ₃	D ₂	D ₁	D ₀	Z ₁	Z ₀
1	1	1	0	0	0
1	1	0	1	0	1
1	0	1	1	1	0
0	1	1	1	1	1

س 2: ما المستوى المنطقي الفعال في المرمر السابق High أم Low؟

س 3: اكتب جدول الحقيقة لمرمر 4-line-to-2-line ليكون المستوى المنطقي فيه فعالاً عند المستوى العالي High.

المرمر ذو الأفضلية Priority Encoder

يُعد المرمر ذو الأفضليات من الدارات الرقمية ذات الأهمية الخاصة من حيث تطبيقاته ويظهر ذلك جلياً في عمليات المقاطعة إذ ترتب تلبية طلبات المقاطعة حسب درجة أهمية الطالب.

وسوف نختبر في هذه التجربة الدارة المتكاملة 74HC148 لمرمر أفضلية 8 to 3 (المستوى الفعال فيه 0).

الأفضلية فيه للمدخل ذي الدليل الأعلى.

3. تنفيذ التجربة



استخدم الدارة المتكاملة 74LS138 (مفك رماز 8 to 3) المستوى الفعال في الدخل 1

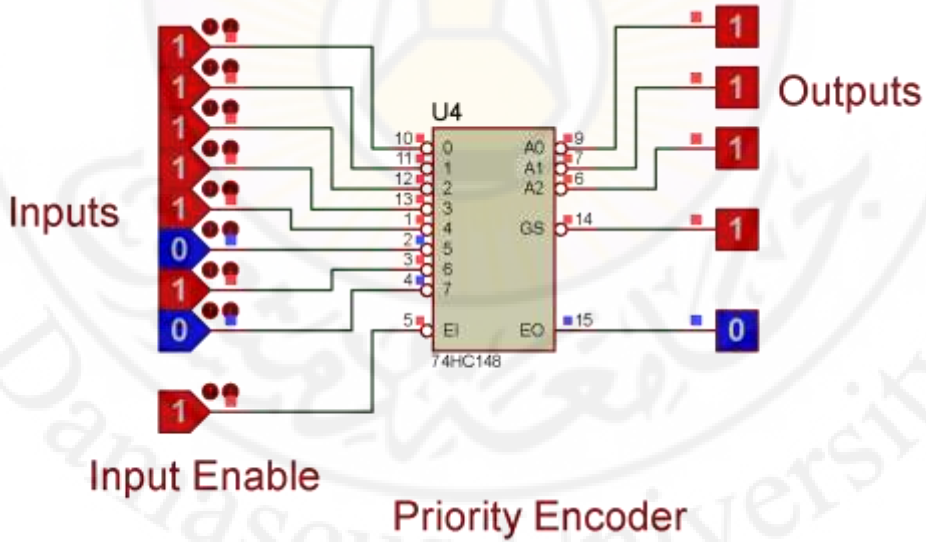
والمستوى في الخرج 0، المستويات الفعالة لمداخل التأهيل $E_1 = 1$ ، $E_2 = E_3$. = 0

المرحلة الأولى: المحاكاة باستخدام أحد برامج المحاكاة Multisim أو Proteus.

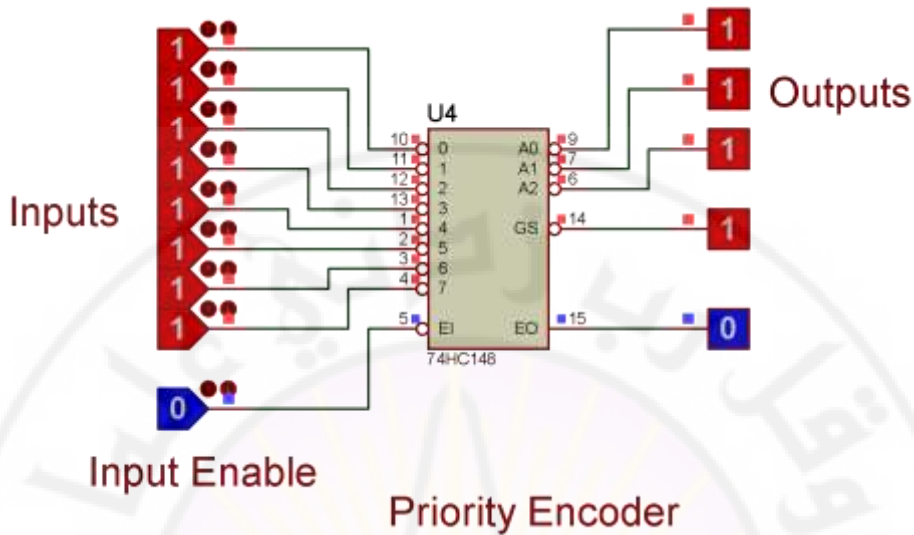
1. نفذ المخطط المنطقي لدارة المرمز ذي الأفضلية على صفحة عمل برنامج المحاكاة.
2. تأكد من سلامة التوصيل.
3. قم بمحاكاة مفك المرمز بتطبيق تراكيب دخل مختلفة وتأكد من صحة النتائج التي تحصل عليها.
4. رتب نتائجك في جدول:

المرحلة الثانية: التنفيذ العملي

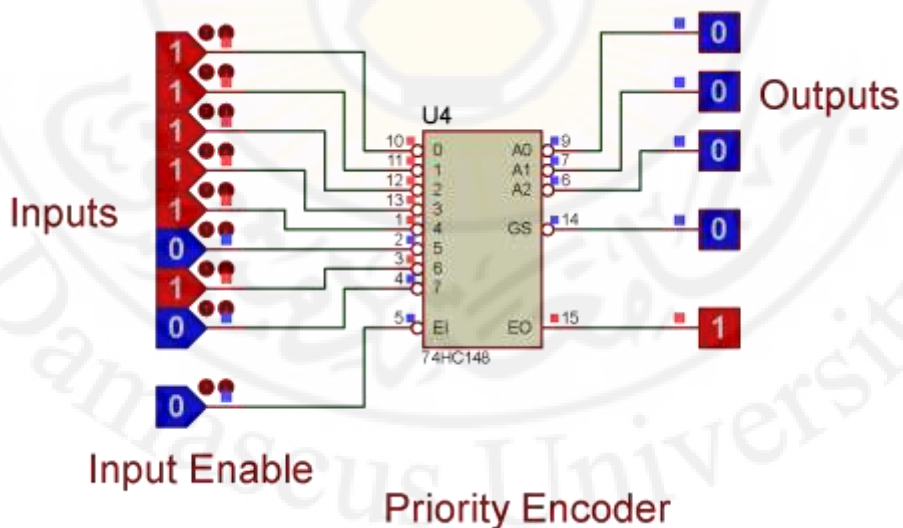
1. نفذ دارة المرمز ذي الأفضلية على لوحة الاختبار.
2. تأكد من سلامة وصحة التوصيلات قبل تغذية الدارة بالقدرة.
3. قم بتطبيق تراكيب دخل مختلفة بحالة التأهيل وعدمه وتأكد من صحة النتائج وسلامة العمل.
4. دوّن النتائج التي تحصل عليها في الجدول.



الرمز غير مفعّل $EI = 1$ ، لاحظ أن تغييرات المداخل في هذه الحالة لا تؤثر على الخرج

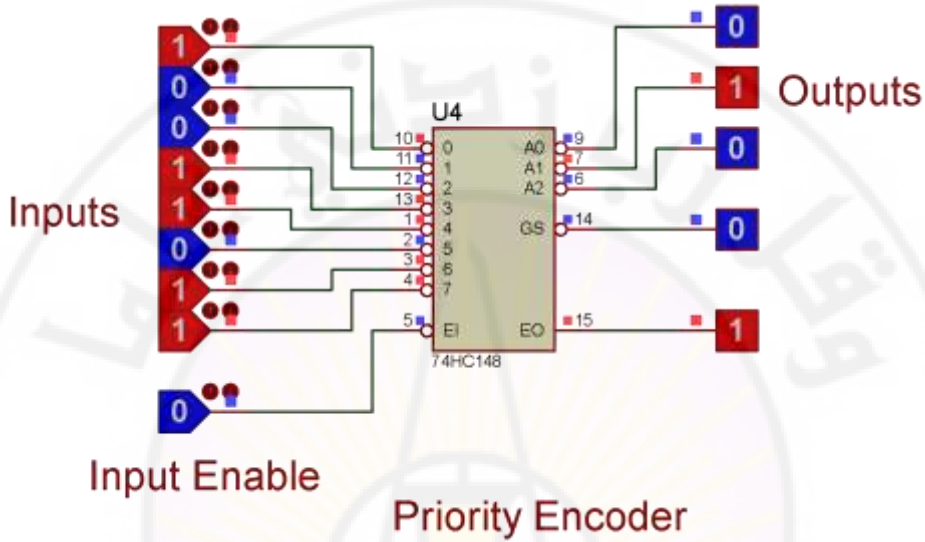


الرمز مفعّل $EI = 0$ ، لاحظ عدم وجود أي من المداخل مفعلاً وبالتالي جميع المخرجات غير مفعلة وهذا يمكن أن يدل وكأن المدخل D0 مفعّل لكن المخرج GS غير مفعّل، وهذا يدل على أن قيمة الخرج غير معتمدة.



الرمز مفعّل $EI = 0$ ، لاحظ أن المخرج $GS = 0$ وهذا يشير إلى أن قيمة الخرج معتمدة. وبما أن المدخل D7 ذا الأفضلية العليا مفعّل فإن تفعيل باقي

المداخل لا يؤثر على قيمة الخرج وتبقى 000 أي جميع المخارج مفعلة للدلالة على المدخل D7.



الرمز مفعّل $EI = 0$ لاحظ أن المخرج $GS = 0$ وهذا يشير إلى أن قيمة الخرج معتمدة

وبما أن المدخل D5 مفعّل فإن تفعيل المداخل ذات الأفضلية الدنيا لا يؤثر على قيمة الخرج وهي 010 وهذا يشير إلى أن المدخل D5 هو ذو الأفضلية العليا من بين المداخل المفعلة.



التجربة رقم 10

المضمم (ناخب المعطيات) Multiplexer

1. هدف التجربة:

- التعرف على بنية وطريقة عمل واستخدام ناخب المعطيات.
- تعلم كيفية اختيار مدخل واحد من بين مجموعة مداخل المعطيات وإظهاره على الخرج.
- تعلم كيفية اختيار عدد من بين مجموعة أعداد يتكون كل منها من n-bit، وإظهاره على الخرج.

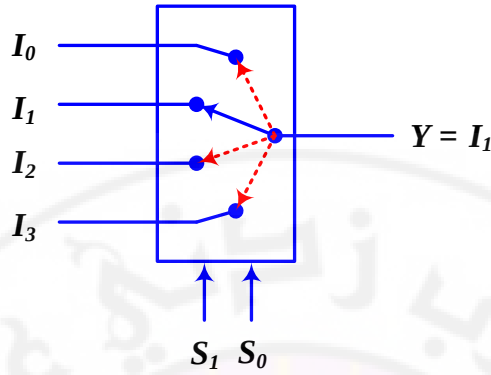
العناصر الإلكترونية اللازمة:

العنصر	البيان	العدد
74LS157	دائرة متكاملة تحوي أربعة مضممات 4MUX2to1	1
LEDs	ثنائيات ضوئية لإظهار حالة المداخل والمخارج	حسب الحاجة
Switch	مفاتيح مفردة أو مفاتيح مكروية لتأمين تشكيلات الدخل	حسب الحاجة
Power supply	وحدة تغذية مستمرة 5 V	1
	أسلاك توصيل.	حسب الحاجة

2. تمهيد نظري:

- المضمم Multiplexer أو ناخب المعطيات Data Selector هو دائرة لها مجموعتان من المداخل ومخرج وحيد.
 - مداخل المعطيات Data inputs
 - مداخل الاختيار Selection inputs لانتقاء مدخل واحد من بين مداخل المعطيات لإظهاره على الخرج.
 - مدخل تأهيل Enable input.

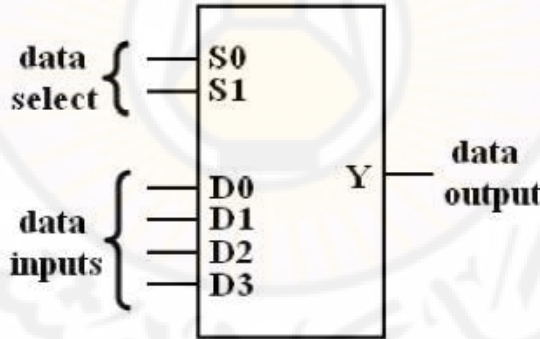
يمكن تمثيل المضمم بمفتاح كهربائي متعدد الوضعيات. يبين الشكل مضمماً MUX 4to1 وفيه يتم التحكم بوضعية المفتاح عن طريق مداخل الانتخاب S1S0



4-to-1 Multiplexer

مخطط تمثيلي لناخب معطيات بأربعة مداخل للمعطيات

يسمح المضمم Multiplexer باختيار (انتقاء) قيمة مدخل واحد من بين قيم مداخل المعطيات لينقلها إلى مخرجه الوحيد. يتم اختيار المدخل بناء على قيمة بتات لانتخاب S_1S_0 .



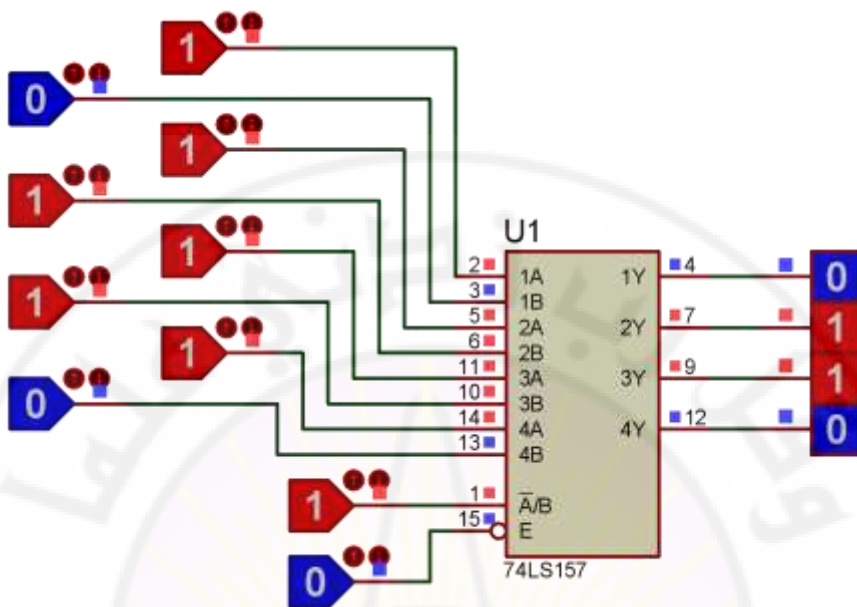
الشكل 5.7

مثال: ليكن $D_3D_2D_1D_0=1010$ و $S_1S_0=01$ عندها يكون الخرج $Y=1$

3. تنفيذ التجربة:



سنقوم بهذه التجربة بانتقاء عدد من بين عددين A أو B يتألف كل منهما من أربعة بتات لإظهاره على الخرج، وبالتالي يلزمنا أربعة مضممات MUX 2to1.



الدائرة المتكاملة 74LS157 تتضمن أربعة مضمات MUX2to1

المرحلة الأولى: المحاكاة باستخدام أحد برامج المحاكاة Multisim أو Proteus.

1. نفذ المخطط المنطقي لدائرة المضم على صفحة عمل برنامج المحاكاة.
2. تأكد من سلامة التوصيل.
3. قم بمحاكاة المضم بتطبيق قيم مختلفة لكل من العددين A و B وتأكد من صحة النتائج التي تحصل عليها.
4. رتب نتائجك في الجدول الآتي:

Selection Inputs S1S0	Data input B ₃ B ₂ B ₁ B ₀	معطيات الدخل A ₃ A ₂ A ₁ A ₀	معطيات الخرج Data Output Y ₃ Y ₂ Y ₁ Y ₀
0 0	1 0 1 0	0 1 0 1	
0 1	0 0 1 1	1 1 1 0	
1 0	1 0 1 1	1 1 0 1	
1 1	1 1 1 1	0 1 1 1	

المرحلة الثانية: التنفيذ العملي

1. نفذ دائرة المضمم على لوحة الاختبار.
2. تأكد من سلامة وصحة التوصيلات قبل تغذية الدارة بالقدرة.
3. اختبر دائرة المضمم بتطبيق قيم مختلفة لكل من العددين A و B وتأكد من صحة النتائج وسلامة العمل.
4. دوّن النتائج التي تحصل عليها في الجدول الآتي:

Selection Inputs S1S0	Data input الدخل B ₃ B ₂ B ₁ B ₀	معطيات الدخل A ₃ A ₂ A ₁ A ₀	معطيات الخرج Data Output Y ₃ Y ₂ Y ₁ Y ₀
0 0	1 0 1 0	0 1 0 1	
0 1	0 0 1 1	1 1 1 0	
1 0	1 0 1 1	1 1 0 1	
1 1	1 1 1 1	0 1 1 1	

أسئلة:

ما قيمة الخرج عندما يكون المدخل $E = 1$ ؟
وماذا يحصل في الخرج إذا غيّرت في قيم S1S0 في الوقت الذي يكون المدخل $E = 0$ ؟

التجربة رقم 11

المفرق (فارز المعطيات) Demultiplexer

1. هدف التجربة:

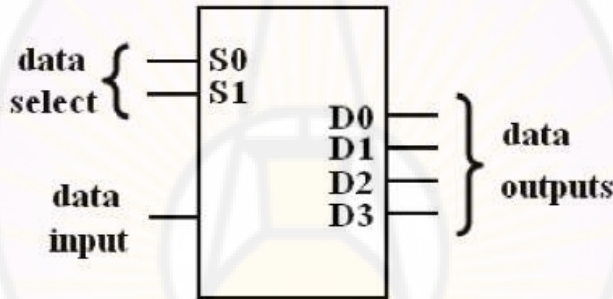
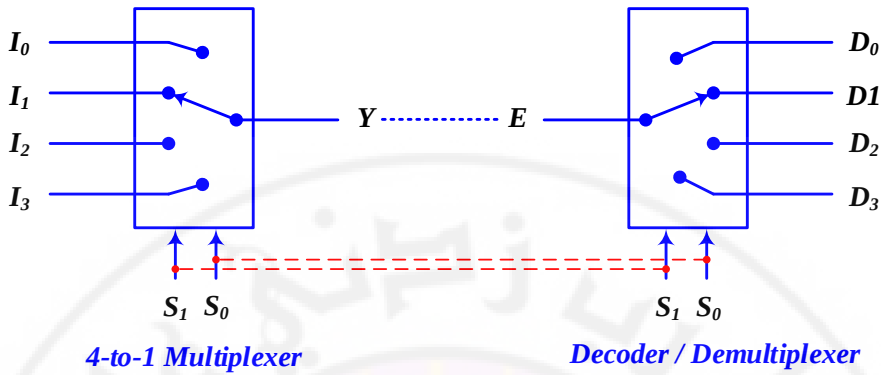
- فهم بنية وعمل المفرق وتطبيقاته
- العناصر الإلكترونية:

العنصر	البيان	العدد
74LS157	دائرة متكاملة تحوي أربعة مضمات 4MUX2to1	1
LEDs	ثنائيات ضوئية لإظهار حالة المداخل والمخارج	حسب الحاجة
Switch	مفاتيح مفردة أو مفاتيح مكروية لتأمين تشكيلات الدخل	حسب الحاجة
Power supply	وحدة تغذية مستمرة 5 V	1
	أسلاك توصيل.	حسب الحاجة

2. تمهيد نظري:

يعمل مفرق المعطيات Demultiplexer عكس عمل المضمم. فهو يسمح بإخراج القيمة الموجودة على مدخله الوحيد وإظهارها على المخرج الذي يحدده (ينتقيه) الرمز الموجود على مداخل الانتخاب S_1S_0 .

ويوضح الشكل مبدأ عمل المفرق. وهنا تجدر الإشارة إلى أنه يمكن استخدام هذه الدارة كمفك رماز Decoder أو كمفرق Denultiplexer لذلك تُعرف هذه الدارة باسم Decoder / Demultiplexer.



الشكل 6.7: Decoder / Demultiplexer

ملاحظة: لاحظ أن المداخل والمخارج في الدارة السابقة فعّالة عند المستوى المنطقي العالي، والعكس ممكن أيضاً.

س 1: يصف الجدول التالي عمل مفرق DMUX 1-to-4 استنبط المعادلة البوليانية لكل مخرج من مخارج المفرق وارسم الدارة المنطقية الموافقة.

Inputs			Outputs			
Din	S ₁	S ₀	D ₀	D ₁	D ₂	D ₃
X	0	0	Din	0	0	0
X	0	1	0	Din	0	0
X	1	0	0	0	Din	0
X	1	1	0	0	0	Din

3. تنفيذ التجربة:

المرحلة الأولى: المحاكاة باستخدام أحد البرامج Multisim أو Proteus.



1. نفذ المخطط المنطقي الموافق للشكل المبين على واجهة العمل لبرنامج المحاكاة
2. طبق إشارات مختلفة في الشكل من مولد الإشارة على مداخل المضمم الموصل خرجة إلى مدخل المفرق.
3. غير قيم تراكيب مداخل الانتقاء (في هذه الدارة يتم انتقاء الخرج الذي ستظهر إشارة الدخل عليه ودون في جدول نتائج مشاهداتك).

المرحلة الثانية: التنفيذ العملي

1. نفذ دارة المخطط المنطقي الموافق للشكل المبين على لوحة الاختبار.
2. تأكد من سلامة وصحة مخطط التوصيل قبل تغذية الدارة بالقدرة.
3. طبق إشارات مختلفة في الشكل من مولد الإشارة على مداخل المضمم الموصل خرجة إلى مدخل المفرق.
4. غير قيم تراكيب مداخل الانتقاء ودون في جدول نتائج مشاهداتك (مداخل الانتقاء موصلة على التوازي إلى كل من المضمم والمفرق).



التجربة 12

مقارن المقدار لمقارنة عددين اثنانين طول كل منهما 4-bit

Magnitude Comparator

1. هدف التجربة:

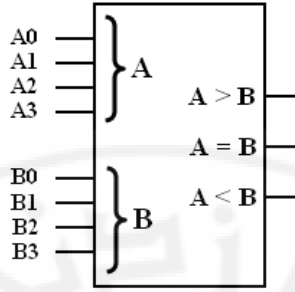
- التعرف على عمل واستخدام مقارن المقدار بأربعة بتات 4-bit Magnitude Comparator.
- فهم طريقة توصيل أكثر من دائرة مقارن 74LS85 لمقارنة أعداد تزيد أطوالها على 4-bit.

العناصر الإلكترونية:

العدد	البيان	العنصر
1	دائرة متكاملة تتضمن مقارناً لمقارنة أعداد اثنانين طول كل منها 4-bit	74LS85
حسب الحاجة	ثنائيات ضوئية لإظهار حالة المداخل والمخارج	LEDs
حسب الحاجة	مفاتيح مفردة أو مفاتيح مكروية لتأمين تشكيلات الدخل	Switch
1	وحدة تغذية مستمرة 5 V	Power supply
حسب الحاجة	أسلاك توصيل.	

2. تمهيد نظري:

الوظيفة الأساسية لمقارن المقدار هي مقارنة عددين (مقارنين) اثنانين A و B لتحديد العلاقة بينهما وهي واحدة من ثلاث: $(A > B, A = B, A < B)$.
يبين الشكل الآتي مخططاً رسمياً لدائرة مقارن مقدار لمقارنة عددين اثنانين طول كل منهما 4-bit.



الشكل 1.7 مقارن مقدار اثنائي بأربعة بتات

ليكن العددين $A = a_3a_2a_1a_0$ و $B = b_3b_2b_1b_0$. عند مقارنة العددين A و B تكون نتيجة المقارنة واحدة من ثلاث: $A > B$ أو $A = B$ أو $A < B$. وبالتالي يكون لدائرة مقارن المقدار ثلاثة مخارج $A > B$ أو $A = B$ أو $A < B$ ، وللدلالة على نتيجة المقارنة تكون قيمة أحد مخارج المقارن 1 وقيمة المخرجين الباقين 0.

$A = B$ يتساوى العددين إذا تساوى كل بت من العدد A مع البت المقابل له في العدد B ،

أي إذا كان $a_0 = b_0$ و $a_1 = b_1$ و $a_2 = b_2$ و $a_3 = b_3$. يمكن الكشف عن المساواة بين البتات باستخدام بوابة XNOR لكل زوج من البتات المتقابلة في العددين A و B . حيث يأخذ خرج بوابة الـ XNOR القيمة 1 عندما يكون البتان المتقابلان متساويان عدا ذلك تكون قيمته 0. وبالتالي يتساوى العددين A و B إذا كانت مخارج البوابات جميعاً تساوي الواحد 1's. ($A > B$) يكون العدد A أكبر من B إذا كانت قيمة $a_3 = 1$ و $b_3 = 0$ ، أما إذا كانت قيمة $a_3 = 0$ و $b_3 = 1$ فعندئذ يكون $A < B$ ، أما إذا كان $a_3 = b_3$ فيكون خرج بوابة الـ XNOR3 ونرمز لذلك بـ $x_3 = 1$ عندها ننتقل لمقارنة البتين a_2 و b_2 ونجري المحاكمة ذاتها وهكذا، وبهذه الطريقة تُستنتج توابع مخارج المقارن.

$$A > B = a_3\bar{b}_3 + x_3a_2\bar{b}_2 + x_3x_2a_1\bar{b}_1 + x_3x_2x_1a_0\bar{b}_0$$

$$A < B = \bar{a}_3b_3 + x_3\bar{a}_2b_2 + x_3x_2\bar{a}_1b_1 + x_3x_2x_1\bar{a}_0b_0$$

$$(A = B) = x_3x_2x_1x_0 = 1$$

تمهيد للتجربة:

س 1: يبين الجدول الآتي العلاقة بين عددين اثنائيين، طول كل منهما 1-bit استنبط التعبير لكل خرج وارسم الدارة اللازمة لتحقيق الخرج.

Inputs		Outputs					
A	B	X1 A=B	X2 A≠B	X3 A<B	X4 A>B	X5 A≥B	X6 A≤B
0	0	1	0	0	0	1	1
0	1	0	1	1	0	0	1
1	0	0	1	0	1	1	0
1	1	1	0	0	0	1	1

$$X_1(A = B) = \overline{A}\overline{B} + AB$$

$$X_2(A \neq B) = \overline{A}B + A\overline{B}$$

$$X_3(A < B) = \overline{A}B$$

$$X_4(A > B) = A\overline{B}$$

$$X_5(A \geq B) = \overline{A}\overline{B} + AB = A$$

$$X_6(A \leq B) = \overline{A}B + \overline{A}\overline{B} = \overline{A}$$

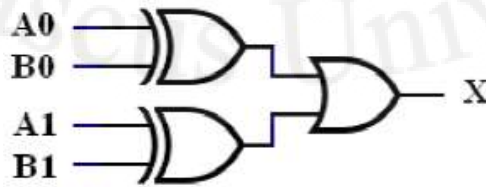
س 2: ما العلاقة بين X_2 و X_1 وبين X_3 و X_5 ، وبين X_4 و X_6

$$X_2 = \text{Not} X_1$$

$$X_3 = \overline{X_5}$$

$$X_4 = \overline{X_6}$$

دائرة مقارن لمقارنة عددين طول كل منهما 2-bit



س 3: كرر السؤال السابق من أجل أعداد طول كل منها 2-bit

$A_1A_0 B_1B_0$	$A = B$	$A \neq B$	$A < B$	$A > B$	$A \geq B$	$A \leq B$	X
0 0 0 0							
0 0 0 1							
0 0 1 0							
0 0 1 1							
0 1 0 0							
0 1 0 1							
0 1 1 0							
0 1 1 1							
1 0 0 0							
1 0 0 1							
1 0 1 0							
1 0 1 1							
1 1 0 0							
1 1 0 1							
1 1 1 0							
1 1 1 1							

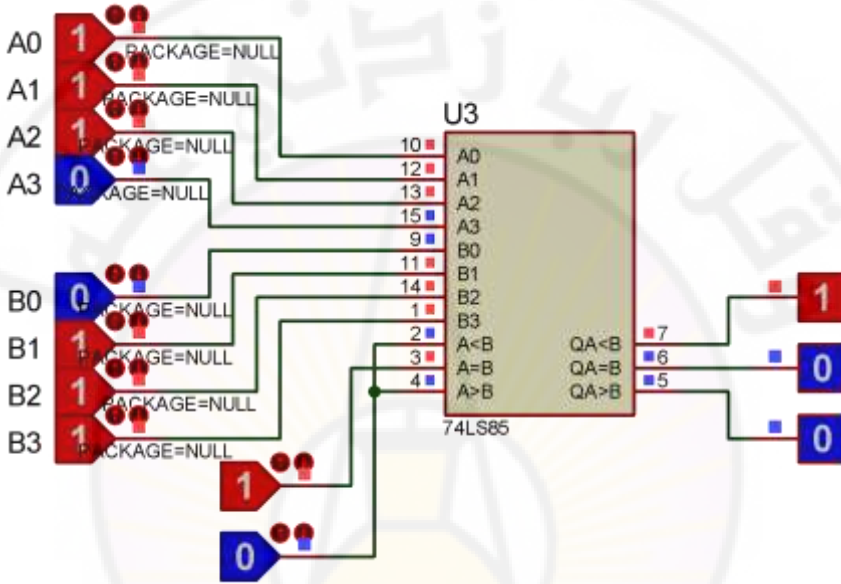
س 4: أوجد قيمة X واملأ العمود X بالنتائج حيث إن $A = A_1A_0$ و $B = B_1B_0$

س 5: ما التابع X الذي نحصل عليه من الدارة السابقة؟ استنتج معادلة التابع X بطريقة جداول كارنو وقارنها بالتابع X المشتق من الدارة.



3. تنفيذ التجربة:

مقارن لمقارنة أعداد من طول 4-bit



مخطط التوصيل لدارة مقارن مقدار لمقارنة عددين اثنائين من طول 4-bit

المرحلة الأولى: المحاكاة باستخدام أحد برامج المحاكاة Multisim أو Proteus.

1. نفذ المخطط المنطقي لدارة مقارن المقدار على صفحة عمل برنامج المحاكاة.

2. تأكد من سلامة العمل الوظيفي للمقارن.

3. قم بمحاكاة المقارن بتطبيق قيم مختلفة لكل من العددين A و B وتأكد من صحة النتائج التي تحصل عليها.

4. رتب نتائجك في الجدول الآتي:

المرحلة الثانية: التنفيذ العملي

1. نفذ دارة مقارن المقدار على لوحة الاختبار.

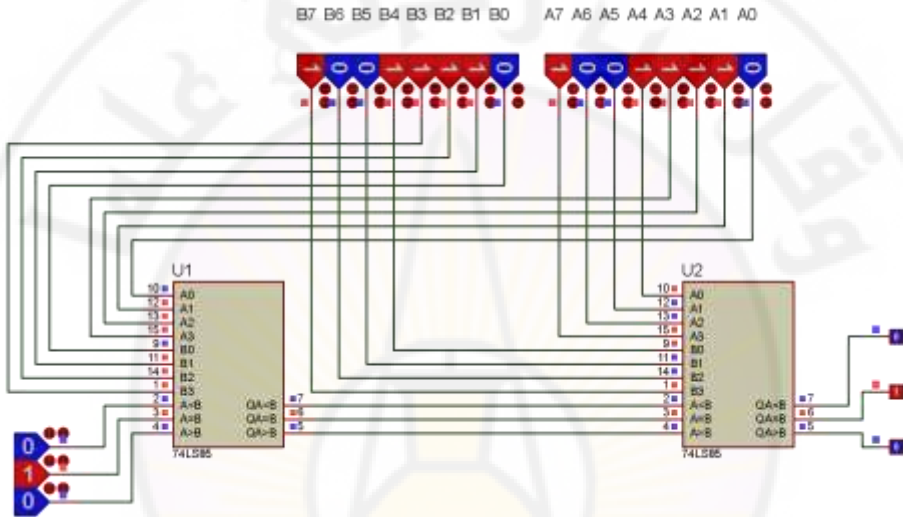
2. تأكد من سلامة وصحة التوصيلات قبل تغذية الدارة بالقدرة.

3. اختبار دارة المقارن للتأكد من صحة وسلامة عملها.

4. دَوْن النتائج التي تحصل عليها في الجدول الآتي:

مقارن لمقارنة أعداد من طول 8-bit

يمكن الاكتفاء بإجراء المحاكاة فقط.



مخطط توصيل مقارن مقدار مشكل من دارتي مقارن 74LS85 من طول 4-bit
لمقارنة عددين من طول 8-bit

التجربة رقم 13

مبدل رمّاز يبدل الرمّاز الاثنائي إلى رمّاز غراي وبالعكس

Binary to Gray Conversion & visversa

1. هدف التجربة:

- فهم آلية تصميم وتنفيذ مبدل رمّاز يبدل الرمّاز الاثنائي الطبيعي إلى رمّاز غراي الموافق له وبالعكس يبدل رمّاز غراي بالرمّاز الاثنائي الطبيعي الموافق.

العناصر الإلكترونية اللازمة:

العنصر	البيان	العدد
74LS86	دائرة متكاملة تحوي أربع بوابات XOR	2
74LS157	دائرة متكاملة تحوي أربعة مضمّات 2 MUX 2 to 1	1
LED	أربعة لإظهار مداخل الدارة + أربعة لإظهار مخارج الكتلة الأولى + أربعة لإظهار مخارج الكتلة الثانية + أربعة لإظهار مخارج المضمّم + واحد لمدخل الانتخاب	حسب الحاجة
	مفاتيح عادية أو مفاتيح مكروية	حسب الحاجة
Power supply	وحدة تغذية مستمرة 5 V	1
	أسلاك توصيل.	حسب الحاجة

2. تمهيد نظري:

مقدمة:

يُعدّ رمّاز غراي Gray code أو الترميز المنعكس Reflected code واحداً من الرمّازات الهامة. يُستخدم هذا الرمّاز في ترميز الصفوف والأعمدة على مخططات كارنو التي تشترط وتحقيق التجاور المنطقي بين المربعات المتجاورة هندسياً (نقول عن مربعين: إنهما متجاوران هندسياً إذا اشتركا بضلع، ونقول عن تركيبتين منطقيتين: إنهما متجاورتان منطقياً إذا اختلفتا ببِت واحد)، بمعنى أن المسافة الفاصلة بينهما تساوي واحد.

يتميز ترميز جراي بأنه لا يحدث تشويشاً أو ما يسمى glitch عند الانتقال من تركيبة إلى تركيبة تليها مباشرة، وهذا هام في الدارات الرقمية. وكما هو معروف أن الأنظمة الرقمية تستخدم نظام العد الاثنائي لذلك لا بد من إيجاد علاقة تحويل تسمح بالانتقال من النظام الاثنائي إلى نظام جراي وبالعكس.

المطلوب:

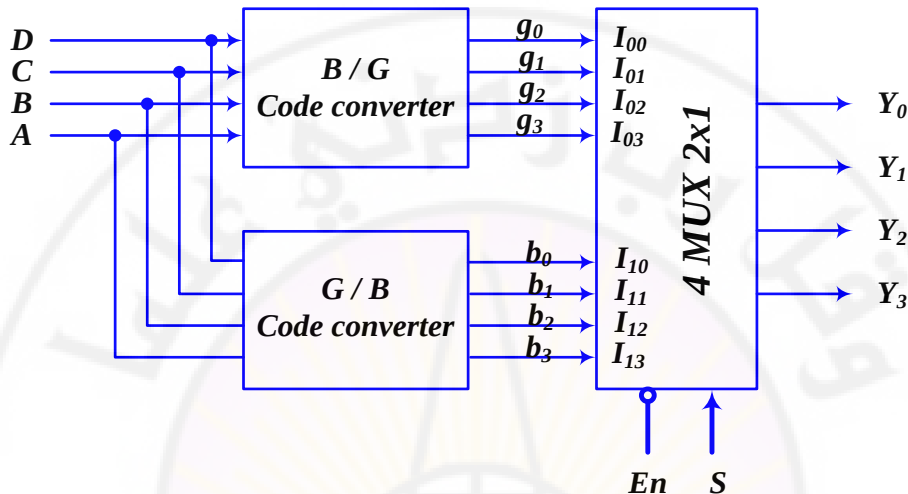
تصميم وتنفيذ دارة مبدل رمّاز Code conversion لتبديل الرمّاز الاثنائي الطبيعي المؤلف من أربعة بتات 4-bit برمّاز جراي الموافق Gray Code والعكس بالعكس من رمّاز جراي إلى الرمّاز الاثنائي الموافق له. بحيث يمكن اختيار اتجاه التبديل عن طريق مدخل انتخاب S يسمح باختيار اتجاه عملية التبديل: على سبيل المثال إذا كان $S = 0$ تكون العملية هي عملية تبديل من الرمّاز الموجود على مداخل الدارة إلى رمّاز جراي الموافق له B/G، على حين يتم تبديل الرمّاز الموجود على $S = 1$ بتبديل رمّاز جراي بالاثنائي G/B.

المخطط الصندوقي للدارة

مما سبق تقديمه يمكن الاستنتاج بسهولة أن الدارة تتكون من ثلاث كتل: كتلة للتحويل من اثنائي إلى جراي وكتلة للتحويل من جراي إلى اثنائي مداخلهما مشتركة أي أن الكتلة الأولى تعتبر الرمّاز الموجود على المداخل هو رمّاز اثنائي فتحوله إلى جراي. على حين تعتبر الكتلة الثانية أن الرمّاز الموجود على المداخل هو رمّاز جراي فتحوله إلى اثنائي. أما الكتلة الثالثة فهي كتلت مضمّم (ناخب معطيات) له مجموعتان من المداخل، الأولى موصلة إلى مخارج كتلة التحويل من اثنائي إلى جراي، والمجموعة الثانية موصولة إلى مخارج كتلة التحويل من جراي إلى اثنائي. حيث يسمح مدخل الانتخاب S في المضمّم باختيار مخارج كتلة التحويل من اثنائي إلى جراي أو مخارج كتلة التحويل من جراي إلى اثنائي وذلك تبعاً لقيمة S. يوضح الشكل أدناه مخططاً صندوقياً لمبدل الرمّاز بأربعة بتات وهو مكون من ثلاث كتل:

- كتلة تبديل الرمّاز الاثنائي برمّاز جراي.
- كتلة تبديل رمّاز جراي بالرمّاز الاثنائي.

- كتلة المضمّم لاختيار خرج إحدى الكتلتين B/G أو G/B لإظهاره على خرج المضمّم $Y_3Y_2Y_1Y_0$.



En	S	Y_3	Y_2	Y_1	Y_0
0	0	g_3	g_2	g_1	g_0
0	1	b_3	b_2	b_1	b_0

مخطط صندوقي لدارة المبدل

تصميم دارة المبدل:

إنشاء جدول الحقيقة لمبدل الرّمّاز واستنتاج توابع خرج الكتلتين الأولى والثانية. لتحويل الرّمّاز الاثنائي *Binary* الطبيعي إلى رّمّاز غراي *Gray* الموافق، نستخدم العلاقتين الآتيتين:

$$g_n = b_n$$

$$g_i = b_{i+1} \oplus b_i$$

بتطبيق هاتين العلاقتين نحصل على مدخلات جدول الحقيقة، ومنه نستنتج الحدود الأصغرية لكلّ تابع من توابع الخرج $g_3g_2g_1g_0$ كما هو مبين جانب الجدول.

توابيع الخرج لمبدل الرماز اثنائي/غراي بصيغة مجموع حدود أصغرية

$$g_3 = \Sigma_m (8, 9, 10, 11, 12, 13, 14, 15) = b_3$$

$$g_2 = \Sigma_m (4, 5, 6, 7, 8, 9, 10, 11)$$

$$g_1 = \Sigma_m (2, 3, 4, 5, 10, 11, 12, 13)$$

$$g_0 = \Sigma_m (1, 2, 5, 6, 9, 10, 13, 14)$$

b_3	b_2	b_1	b_0	g_3	g_2	g_1	g_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

الشكل 3.1 جدول الحقيقة وتوابيع الخرج لمبدل الرماز اثنائي/غراي

استنتاج المعادلات المنطقية لتوابيع الخرج لمبدل الرماز الاثنائي برماز غراي B/G

b_1b_0	00	01	11	10
b_3b_2			1	1
00			1	1
01	1	1		
11	1	1		
10			1	1

g_1

b_1b_0	00	01	11	10
b_3b_2		1		1
00		1		1
01		1		1
11		1		1
10		1		1

g_0

b_1b_0	00	01	11	10
b_3b_2				
00				
01	1	1	1	1
11				
10	1	1	1	1

g_2

$$g_3 = b_3$$

$$g_2 = \bar{b}_3b_2 + b_3\bar{b}_2 = b_3 \oplus b_2$$

$$g_1 = b_2\bar{b}_1 + \bar{b}_2b_1 = b_2 \oplus b_1$$

$$g_0 = \bar{b}_1b_0 + \bar{b}_1b_0 = b_1 \oplus b_0$$

استنتاج المعادلات المنطقية لتبديل رمّاز غراي بالاثنائي (G/B) Binary

g_1g_0	g_3g_2	00	01	11	10
00	00			1	1
01	01	1	1		
11	11			1	1
10	10	1	1		

b_0

g_1g_0	g_3g_2	00	01	11	10
00	00				
01	01	1	1	1	1
11	11				
10	10	1	1	1	1

b_1

g_1g_0	g_3g_2	00	01	11	10
00	00		1		1
01	01	1		1	
11	11		1		1
10	10	1		1	

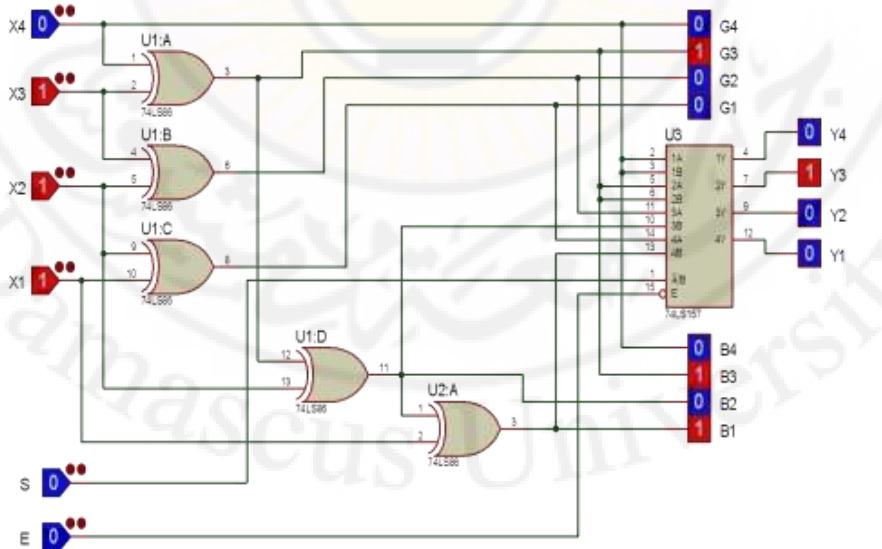
b_2

$$b_3 = g_3$$

$$b_2 = \bar{g}_3g_2 + g_3\bar{g}_2 = g_3 \oplus g_2$$

$$b_1 = \bar{g}_3\bar{g}_2g_1 + \bar{g}_3g_2\bar{g}_1 + g_3\bar{g}_2g_1 + g_3g_2\bar{g}_1 = \bar{g}_3(g_2 \oplus g_1) + g_3(\bar{g}_2 \oplus \bar{g}_1) = g_3 \oplus g_2 \oplus g_1$$

$$\begin{aligned}
 b_0 &= \bar{g}_3\bar{g}_2\bar{g}_1g_0 + \bar{g}_3\bar{g}_2g_1\bar{g}_0 + \bar{g}_3g_2\bar{g}_1\bar{g}_0 + \bar{g}_3g_2g_1g_0 + g_3\bar{g}_2\bar{g}_1g_0 + g_3\bar{g}_2g_1\bar{g}_0 + g_3g_2\bar{g}_1\bar{g}_0 + g_3g_2g_1g_0 \\
 &= \bar{g}_3\bar{g}_2(g_1 \oplus g_0) + \bar{g}_3g_2(g_1 \oplus g_0) + g_3\bar{g}_2(g_1 \oplus g_0) + g_3g_2(g_1 \oplus g_0) \\
 &= \bar{g}_3[g_2 \oplus (g_1 \oplus g_0)] + g_3[g_2 \oplus (g_1 \oplus g_0)] \\
 &= g_3 \oplus [g_2 \oplus (g_1 \oplus g_0)] \\
 &= g_3 \oplus g_2 \oplus g_1 \oplus g_0
 \end{aligned}$$



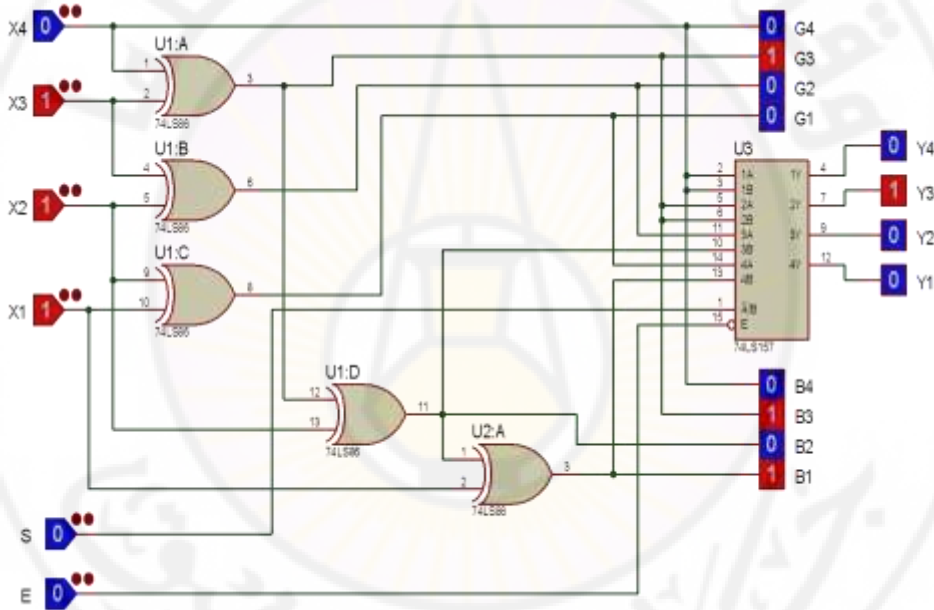
المخطط المنطقي لمبدل الرمّاز من الاثنائي إلى رمّاز غراي وبالعكس



3. تنفيذ التجربة:

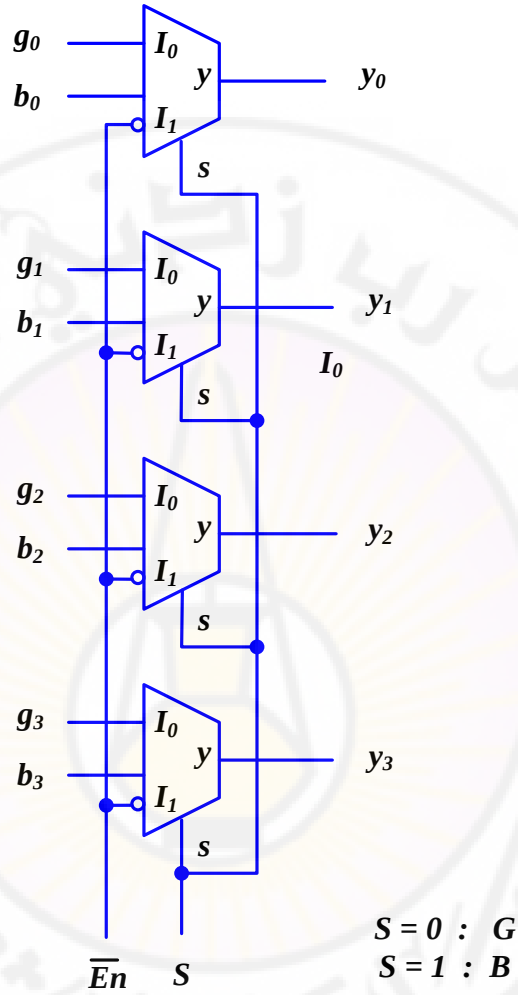
المرحلة الأولى: المحاكاة

1. استخدام أحد برامج المحاكاة Multisim أو Proteus.
2. نفذ المخطط المنطقي على صفحة عمل البرنامج المستخدم.
3. قم بمحاكاة الدارة من أجل تراكيب الدخل المختلفة الواردة في الجدول.
4. تأكد أن الدارة تحقق العمل الوظيفي لعملية التحويل.
5. دون نتائج مشاهداتك في الجدول الآتي.



المرحلة الثانية: التنفيذ العملي

1. نفذ على لوحة الاختبار المخطط المنطقي الذي اختبرته في مرحلة المحاكاة.
2. تأكد من سلامة التوصيلات قبل تغذية الدارة بالقدرة.
3. ضمّن تقريرك رسم المخطط المنطقي المستخدم بعملية المحاكاة.
4. طبق على مداخل الدارة تراكيب الدخل الواردة في الجدول ودون نتائج مشاهداتك في الحقل المخصص في الجدول الآتي:



مخطط صندوق يوضح محتوى الدارة المتكاملة 74LS157 المكونة من أربعة مضممات
MUX2to1



التجربة رقم 14 وحدة الحساب والمنطق Arithmetic and Logic Unit

هدف التجربة:

- فهم آلية عمل وحدة الحساب والمنطق (الدائرة المتكاملة 74181).
- معرفة كيفية استخدام الدائرة المتكاملة 74181 في بناء وحدة حساب ومنطق لمعالجة معطيات (معاملات) صحيحة من أطوال مختلفة 4، 8، 12 بت

مقدمة:

وحدة الحساب والمنطق هي دائرة رقمية تركيبية يمكن أن تُنفَّذ فيها عمليات (توابع) حسابية وعمليات (توابع) منطقية (بت مقابل بت bitwise operations) بين عددين اثنانين صحيحين متساويين في الطول.

تُعدّ وحدة الحساب والمنطق الكتلة الأساسية في كثير من دوائر الحساب، بما في ذلك وحدة المعالجة المركزية (CPU) في الحواسيب الصغيرة. هناك نوعان من المنافذ في وحدة الحساب والمنطق:

منافذ الدخل:

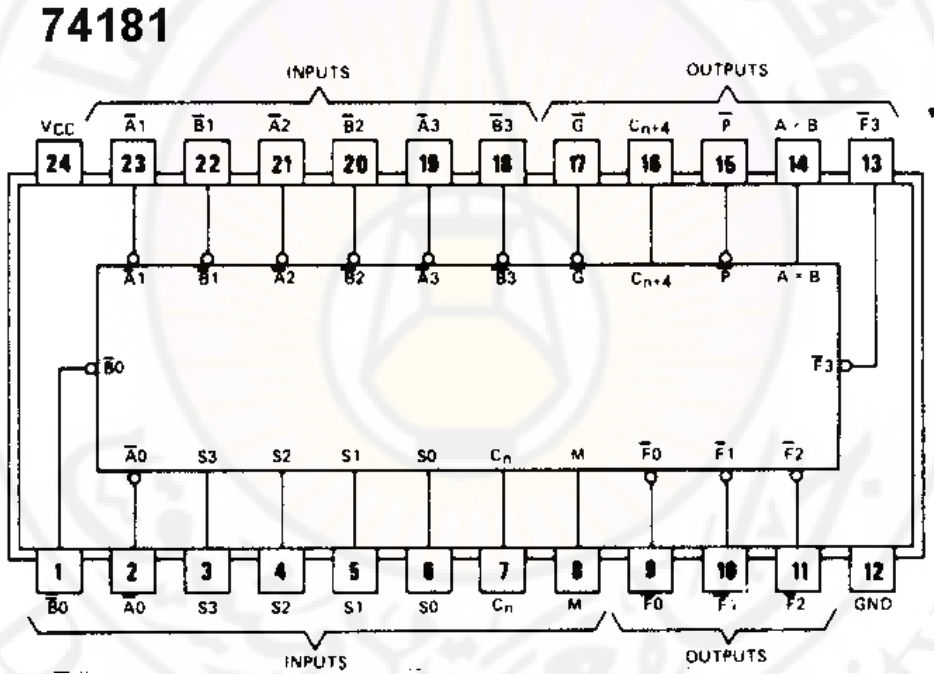
- مداخل المعطيات (المعاملات) $A_3A_2A_1A_0$ و $B_3B_2B_1B_0$ التي تُجرى عليها العمليات الحسابية والمنطقية المختلفة.
- C_n (المنقول من المرتبة السابقة).
- M مدخل للاختيار بين العمليات الحسابية أو المنطقية.
- مداخل رمّازات التحكم $S_3S_2S_1S_0$ تحدد نوع العملية المطلوب إنجازها.

منافذ الخرج:

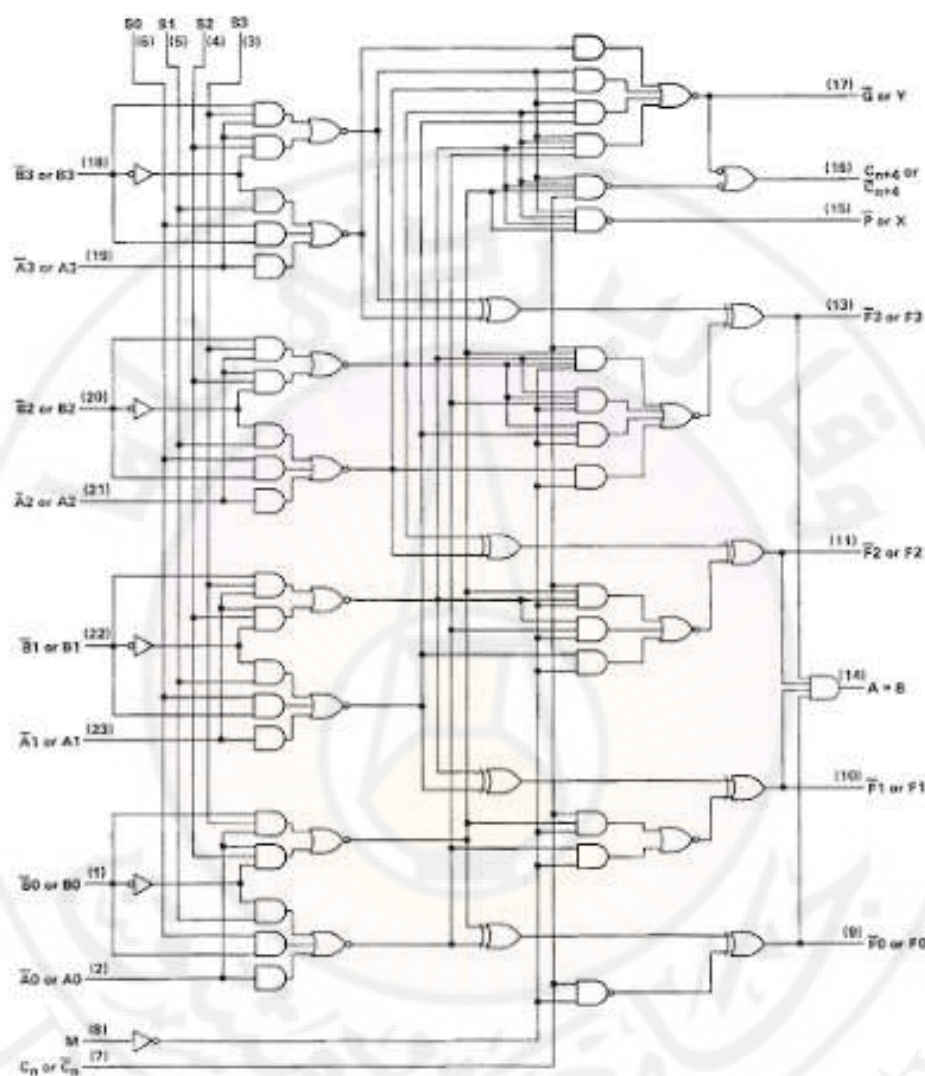
- $F_3F_2F_1F_0$ تظهر عليها نتائج العملية المنفذة.
- $A = B$ يستخدم مع عملية الطرح لفحص المساوات بين الدخيلين A و B .
- C_{n+4} معكوس المنقول C_{out} إلى المرتبة الأعلى.

- G توليد المنقول Carry generate.
- P ناشر المنقول Carry Propagate.

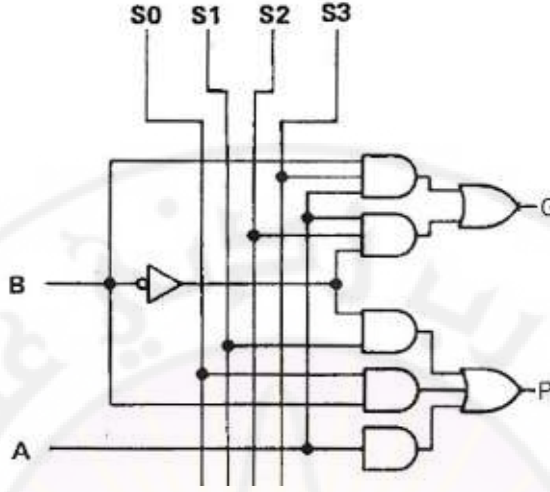
يحتاج بناء وحدة الحساب والمنطق 74181 إلى 75 بوابة مختلفة من عائلة TTL السلسلة 74xx. ولقد استُخدمت أول وحدة حساب ومنطق كاملة مصنوعة على شريحة واحدة كنواة لوحدة الحساب والمنطق في وحدات المعالجة المركزية في كثير من الحواسيب والحواسيب الصغيرة والدارات الأخرى. يبين الشكل 1 المخطط المنطقي لدارة وحدة الحساب والمنطق 74181



الشكل 1



الشكل 1 المخطط المنطقي لدارة وحدة الحساب والمنطق 74LS181



الشكل 2 المخطط المنطقي لدائرة حساب مولد المنقول G وناشر المنقل P لكل بت لوحدة الحساب والمنطق

العمليات التي يمكن تنفيذها على الدارة 74181:

- عمليات حسابية
- عمليات منطقية

يمكن تنفيذ 32 عملية مختلفة في هذه الدارة على أعداد اثنائية صحيحة طول كل منها 4-bit (16 عملية حسابية* و 16 عملية منطقية) لذلك جُهزت الدارة بمجموعتين من المداخل للمعطيات (المعاملات) طول كل منها 4-bit، وبمداخل للتحكم بعمل الدارة:

- المدخل M، يسمح في الاختيار بين العمليات الحسابية ($M = 0$) أو العمليات المنطقية ($M = 1$).
- المداخل $S_3S_2S_1S_0$ تسمح في كل نمط من أنماط تشغيل وحدة الحساب والمنطق، في اختيار عملية (تابع) واحدة من بين العمليات (التابع) الـ 16 الحسابية أو التابع الـ 16 المنطقية لتنفيذها على المعاملات المطبقة على مداخل وحدة الحساب والمنطق (انظر الجدول 1). على سبيل المثال إذا كانت $M = 0$ و $S_3S_2S_1S_0 = 1001$ يكون نمط العملية حسابياً والعملية عملية جمع اثنائي بما في ذلك المنقول $Z = (A + B + C_{in})$.
- المدخل C_n للمنقول من مرحلة سابقة (يستخدم في العمليات الحسابية).

- والدارة مجهزة أيضاً بأربعة مخارج $F_3F_2F_1F_0$ لإظهار نتائج العمليات المنفذة على المعاملات، وعدد من المخارج الإضافية $A = B$ و C_{n+4} للمنقول إلى المرتبة الأعلى (يستخدم في العمليات الحسابية) و ناشر المنقول P ومولد المنقول G ، مستخدمان في تسريع عملية الجمع $Carry$ $lookahead$.

يوضح الجدول 1 العمليات المنطقية والحسابية المختلفة لوحدة الحساب والمنطق 74181 وإعدادات رمّازات مداخل التحكم M و $S_3S_2S_1S_0$ التي تحدد نوع العملية حسابية أو منطقية، والعملية أو التابع الذي تنفذه الدارة 74181.

ملاحظة: لا تحتاج العمليات الحسابية إلى أكثر من التوابع الحسابية الآتية: (جمع ، طرح، زيادة واحد Increment و إنقاص واحد Decrement) على حين تستخدم باقي التوابع لأغراض أخرى لا مجال لذكرها.

يبين الجدول 1 العمليات المنطقية والحسابية المختلفة لوحدة الحساب والمنطق 74181

SELECTION					ACTIVE-HIGH DATA		
					M = H LOGIC FUNCTIONS	M = L: ARITHMETIC OPERATIONS	
S3	S2	S1	S0			$C_n = H$ (no carry)	$C_n = L$ (with carry)
L	L	L	L		$F = \bar{A}$	$F = A$	$F = A \text{ PLUS } 1$
L	L	L	H		$F = \overline{A+B}$	$F = A + B$	$F = (A + B) \text{ PLUS } 1$
L	L	H	L		$F = \overline{AB}$	$F = A + \bar{B}$	$F = (A + \bar{B}) \text{ PLUS } 1$
L	L	H	H		$F = 0$	$F = \text{MINUS } 1 \text{ (2's COMPL)}$	$F = \text{ZERO}$
L	H	L	L		$F = \overline{AB}$	$F = A \text{ PLUS } \overline{AB}$	$F = A \text{ PLUS } \overline{AB} \text{ PLUS } 1$
L	H	L	H		$F = \bar{B}$	$F = (A + B) \text{ PLUS } \overline{AB}$	$F = (A + B) \text{ PLUS } \overline{AB} \text{ PLUS } 1$
L	H	H	L		$F = A \oplus B$	$F = A \text{ MINUS } B \text{ MINUS } 1$	$F = A \text{ MINUS } B$
L	H	H	H		$F = \overline{AB}$	$F = \overline{AB} \text{ MINUS } 1$	$F = \overline{AB}$
H	L	L	L		$F = \overline{A+B}$	$F = A \text{ PLUS } AB$	$F = A \text{ PLUS } AB \text{ PLUS } 1$
H	L	L	H		$F = \overline{A \oplus B}$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } 1$
H	L	H	L		$F = B$	$F = (A + \bar{B}) \text{ PLUS } AB$	$F = (A + \bar{B}) \text{ PLUS } AB \text{ PLUS } 1$
H	L	H	H		$F = AB$	$F = AB \text{ MINUS } 1$	$F = AB$
H	H	L	L		$F = 1$	$F = A \text{ PLUS } A$	$F = A \text{ PLUS } A \text{ PLUS } 1$
H	H	L	H		$F = A + \bar{B}$	$F = (A + B) \text{ PLUS } A$	$F = (A + B) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	L		$F = A + B$	$F = (A + \bar{B}) \text{ PLUS } A$	$F = (A + \bar{B}) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	H		$F = A$	$F = A \text{ MINUS } 1$	$F = A$

مزايا الدارة 74181 Advantages

- صغر الحجم: أصغر بآلاف المرات من الدارة المركبة من عناصر مستقلة.
- خفة الوزن.
- رخص الثمن.

- وثوقية عالية لعدم وجود توصيلات ملحومة.
- استهلاك طاقة قليل.

المساوئ Disadvantages

- عدم إمكانية الإصلاح فإذا تعطل أي عنصر داخل الدارة تستبدل الدارة بالكامل.
- ضرورة التعامل مع الدارة بعناية.

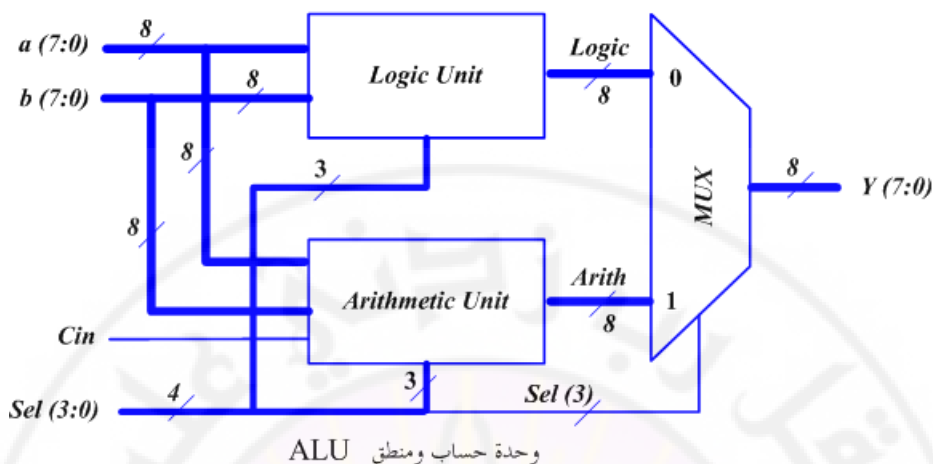
العناصر الإلكترونية:

العنصر	البيان	العدد
18174LS	لوحة حساب ومنطق 4-bit ALU	2
LED	8	3
LED	4	4
LED	1	2
Micro-Switches	مفاتيح ميكروية 1، 1×4 ، 2×8	1
Power supply	وحدة تغذية مستمرة 5 V	1
أسلاك توصيل من أطوال مختلفة		حسب الحاجة

تنفيذ التجربة:

سنقوم بتنفيذ واختبار وحدة حساب ومنطق ثمانية بتات 8-bit باستخدام دارتين 74LS181





الشكل 3 مخطط صندوقي لوحدة الحساب والمنطق بثمانية بتات المطلوب تنفيذها

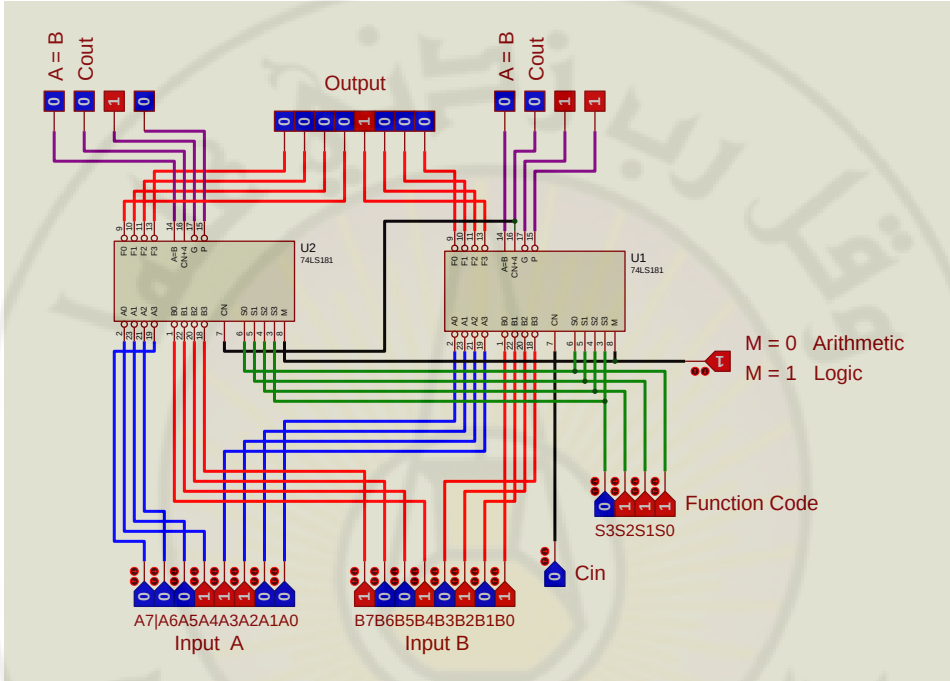
المرحلة الأولى: المحاكاة باستخدام أحد برامج المحاكاة Multisim أو Proteus.

1. نفذ المخطط المنطقي المبين في الشكل 4 لوحدة حساب ومنطق بثمانية بتات 8-bit على ورقة العمل لبرنامج المحاكاة لمعالجة معطيات اثنائية صحيحة من طول 8-bit.
2. اجعل قيمة $M = 0$ وتحقق من تنفيذ العمليات الحسابية كما هو محدد في جدول وحدة الحساب والمنطق المعطى. دَوِّن نتائجك في جدول من أجل جميع تراكيب $S_3S_2S_1S_0$.
3. غير قيمة M إلى $M = 1$ وتحقق من تنفيذ العمليات المنطقية بصورة صحيحة كما هو محدد في الجدول المعطى لوحدة الحساب والمنطق. دَوِّن نتائجك في جدول من أجل جميع تراكيب $S_3S_2S_1S_0$.

المرحلة الثانية: التنفيذ العملي

1. قم بتوصيل دارة وحدة الحساب والمنطق بثمانية بتات 8-bit المبين في الشكل 4 على لوحة الاختبار.
2. تأكد من صحة وسلامة التوصيل قبل تغذية الدارة بالقدرة.
3. اجعل قيمة $M = 0$ وتحقق من تنفيذ العمليات الحسابية بصورة صحيحة كما هو محدد في جدول وحدة الحساب والمنطق المعطى. دَوِّن نتائجك في جدول من أجل جميع تراكيب $S_3S_2S_1S_0$.

4. غير قيمة M إلى $M = 1$ وتحقق من تنفيذ العمليات المنطقية كما هو محدد في الجدول المعطى لوحدة الحساب والمنطق. دُون نتائجك في جدول من أجل جميع تراكيب $S_3S_2S_1S_0$.



الشكل 4 مخطط توصيل وحدة حساب ومنطق بثمانية بتات 8-bit ALU

التجربة رقم 15

القلاب JK

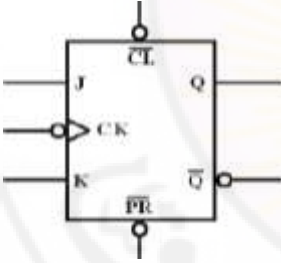
The JK Flip-Flop

1. هدف التجربة:

- فهم بنية وعمل القلابات JK.
- تعلّم بعض تطبيقات قلابات JK.

2. تمهيد نظري:

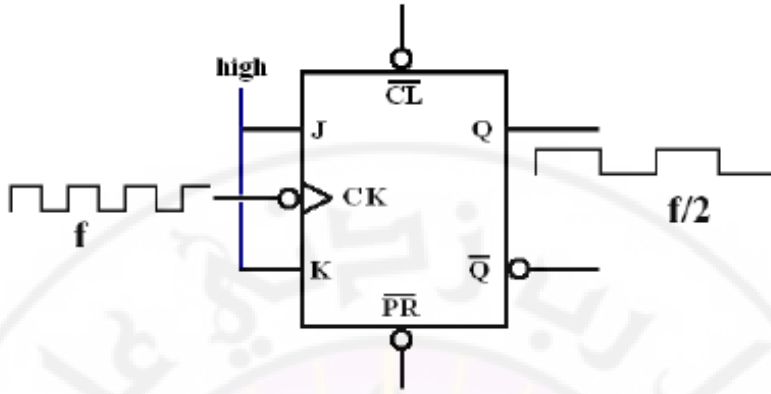
حالة الدخل $SR=11$ ممنوعة في مواسك وقلابات S-R ووضع الراحة فيها $SR=00$. في حين تم تجاوز هذه المشكلة في القلاب JK الذي يؤدي عمل القلاب S-R نفسه زد على ذلك انتقال خرج القلاب J-K إلى الحالة المتتمة عند ورود الحافة الفعالة لنبضة الساعة في الوقت الذي يكون فيه $J=K=1$ ، وسندرس القلاب J-K الذي يقدح بالحافة (الموجبة أو السالبة).



Inputs			Outputs		Comment
J	K	CK	Q	$\bar{Q}$	
0	0	↓	Q_0	$\bar{Q}_0$	No change
0	1	↓	0	1	Reset
1	0	↓	1	0	Set
1	1	↓	$\bar{Q}_0$	Q_0	Toggle

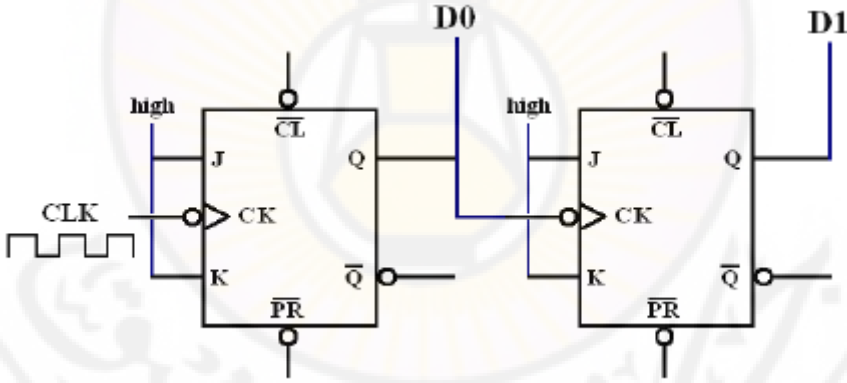
الشكل 1.9 قلاب J-K يقدح بالحافة الهابطة

- يتغير خرج القلاب تبعاً لقيم الدخل عند ورود الحافة الفعالة لنبضة الساعة (في حالتنا الحافة الهابطة)، ولهذا السبب توصف مداخل القلاب J-K على أنها متزامنة.
- المدخلان $\bar{CL}$ و $\bar{PR}$ غير متزامنين (مداخل مباشرة) فعّالان عند المستوى المنطقي 0، يصفر القلاب مباشرة $Q=0$ عند تفعيل $\bar{CL}$ أي فور انتقال $\bar{CL}$ إلى المستوى المنطقي 0، على حين يأخذ الخرج Q القيمة $Q=1$ عند تفعيل $\bar{PR}$ أي عندما يكون $\bar{PR}=0$
- التطبيق الشائع لقلابات J-K هو مقسم تردد. انظر الشكل الآتي.



الشكل 2.9 القلاب JK كمقسم تردد

تطبيق شائع آخر للقلابات J-K هو استخدامه في بناء العدادات: فلتشكل عداد بـ n-bit، يجب استخدام n قلاباً. يبين الشكل 3.9 عداد بـ 2-bit.



الشكل 3.9 عداد بـ 2-bit

3. تنفيذ التجربة:

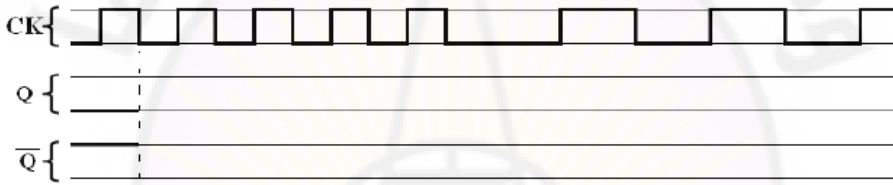


س 1 : افترض أن الإشارات الخارجية الآتية تغذي مداخل قلاب J-K (الشكل 9.1).

أكمل رسم إشارات المخارج.

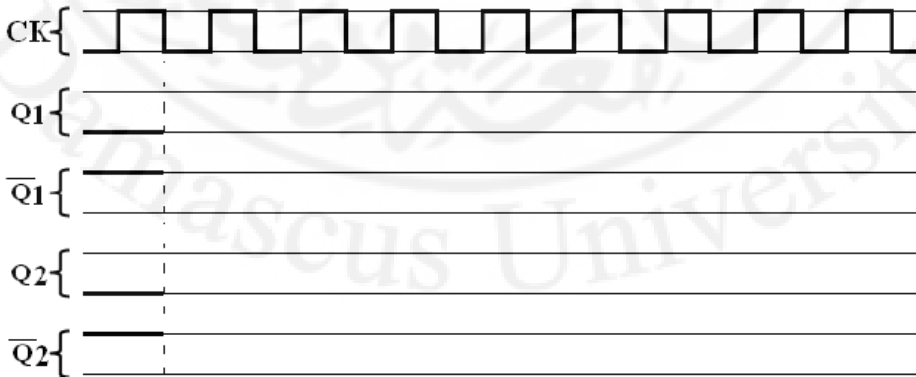


س 2: افترض أن الإشارات الخارجية الآتية تغذي مدخل الساعة لمقسم التردد (الشكل 9.2) أكمل رسم إشارات المخارج.



س 3 : افترض أن تردد إشارة الساعة 16MHz، وأننا بحاجة إلى أن يكون التردد ساعة التزامن 4MHz بدلاً من 16MHz (هناك علاقة مستقرة بالزمن بين دخل الساعة الجديدة والساعة الأصلية). ارسم دائرة مقسم التردد وساعة الدخل وساعة الخرج.

س 4 : افترض أن الإشارة الخارجية الآتية تغذي مدخل CK لعداد 2-bit (الشكل 9.3). أكمل رسم إشارات المخارج.



الشكل 4.9

س 5 : حصلنا في السؤال السابق على عداد 2-bit. اكتب في كل من الحالات الآتية التتابع المعدود:

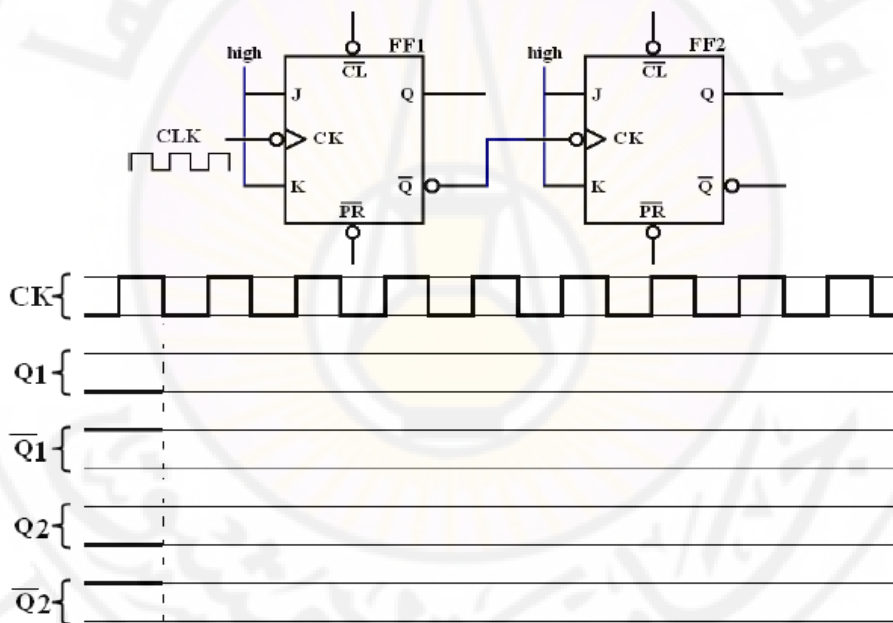
$$D_1D_0 = Q_2Q_1$$

$$D_1D_0 = \overline{Q_2}\overline{Q_1}$$

$$D_1D_0 = Q_2\overline{Q_1}$$

$$D_1D_0 = \overline{Q_2}Q_1$$

س 6 : لاحظ في الدارة الآتية أن القلاب الثاني مقاد من $\overline{Q_1}$ في القلاب الأول. أكمل إشارات الخرج في الشكل الآتي.



س 7 : افترض بأن الدارة السابقة (السؤال السابق) هي دارة عداد ب 2-bit. اكتب في كل من الحالات الآتية التسلسل الناتج:

$$D_1D_0 = Q_2Q_1$$

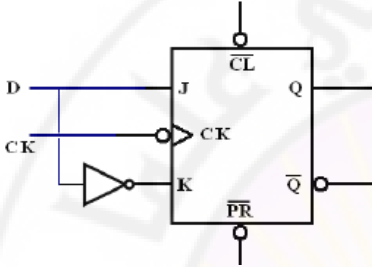
$$D_1D_0 = \overline{Q_2}\overline{Q_1}$$

$$D_1D_0 = Q_2\overline{Q_1}$$

$$D_1D_0 = \overline{Q_2}Q_1$$

س 8 : هل يمكن الحصول على عداد 2-bit عكسي (عداد تنازلي) من العدادين السابقين؟ إذا كان الجواب نعم، بيّن أي من الدارتين يجب استخدامها؟ وأي خرج يجب استخدامه من أجل البتين D_1D_0 ؟

س 9 : لتكن لدينا الدارة الآتية، املاً جدول الحقيقة الآتي. أي نوع من القلايات هذه الدارة تشبه؟



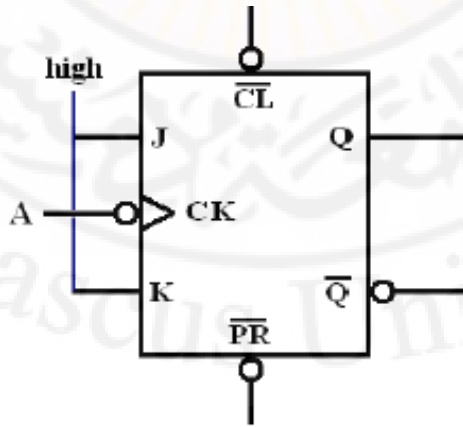
Inputs		Outputs	
D	CK	Q	$\bar{Q}$
0	↓		
1	↓		

س 10 : يمكن استخدام الدارة السابقة (في السؤال السابق) كذاكرة 1 bit memory. كيف يمكن وضع Set وإرجاع Reset هذه الذاكرة من دون استخدام المدخلين CK والقلاب D؟

التنفيذ العملي 1: عمل قلاب J-K:

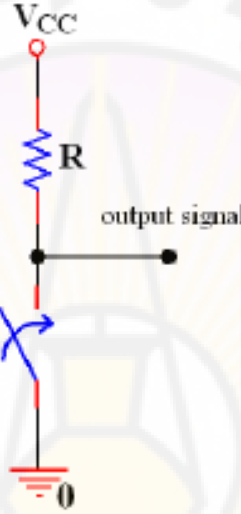


- قم بتوصيل الدارة الآتية. المدخل A (الذي يأتي من وحدة مداخل عادية) موصل لمدخل الساعة، الحالة الابتدائية له $A = 0$.



س 11 : ما الذي يجب حدوثه عند كل نبضة؟ ($A=1$ ثم $A=0$) ؟

- س 12 : جرّب عدة نبضات. هل تحصل حقاً على ما هو متوقع؟ لماذا؟
- عندما تتبدل حالة مفتاح، فإن الإشارة المولدة لن تكون مجرد انتقال بسيط من حالة إلى أخرى، لأنها عرضة للارتداد، انظر الشكل الآتي.
 - للحصول على إشارة خالية من الارتداد يجب استخدام وحدة مداخل خالية من الارتداد بدلاً من وحدة المداخل العادية.



س 13: استبدل وحدة المداخل العادية INPUTS بوحدة مداخل خالية من الارتداد. قم بتشغيل المفتاح (المدخل A) بشكل متكرر. هل تحصل على النتيجة المتوقعة؟

س 14 : استخدم وحدة مداخل خالية من الارتداد لتوليد نبضة ساعة للقلاب JK. استخدم وحدة مداخل عادية normal INPUTS لتوليد نبضات مداخل قلاب JK.

- طبق على مداخل القلاب JK القيم المبينة في الجدول الآتي.
- طبق نبضة على مدخل الساعة. يجب تطبيق تراكيب الدخل وفق الترتيب الوارد في الجدول: السطر 1 ثم السطر 2 ثم السطر 3 ...
- املأ الجدول بنتائجك.

لاحظ أن Q_0 يرمز إلى الخرج قبل نبضة الساعة، و Q هو الخرج بعد ورود نبضة الساعة.

#	Variables		Outputs	
	J	K	Q ₀	Q
1	1	0		
2	0	0		
3	1	1		
4	0	0		
5	1	1		
6	1	0		
7	0	1		
8	0	1		
9	1	0		

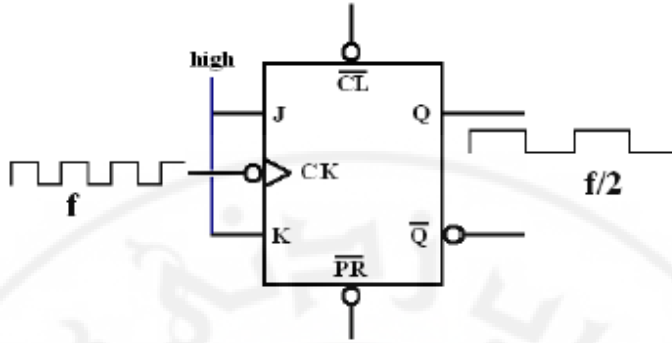
س 15 : بالاعتماد على الجدول في السؤال السابق، وبضم سطرين معاً، املأ الجدول الآتي.

#	Inputs		Outputs	Your Comment
	J	K	Q	
2+4	0	0		
7+8	0	1		
6+9	1	0		
3+5	1	1		

س 16 : اختبر مداخل $\overline{CL}$ و $\overline{PR}$ بوصلها لحظياً إلى 0 لحالات خرج مختلفة. قم بوصف ماذا يحدث، واستنتج وظيفة هذه المداخل.

التنفيذ العملي 2: تطبيقات قلابات JK

- قم بتوصيل الدارة الآتية. استخدم إشارة الساعة لتغذية المدخل CK في القلاب JK.
- قم بتوصيل إشارة هذه الساعة والمخرج Q إلى مخارج الـ LEDs (وحدة المخارج).
- غير تردد الساعة بين 1Hz و 10Hz.



س 17 : اضبط تردد الساعة على 1Hz. حاول أن تعدّ خلال دقيقة عدد المرات التي تتغير فيها حالة كل من الدخل والخرج بين ON و OFF. ما العلاقة بين الأعداد؟

س 18 : اضبط تردد الساعة على 1Hz. حاول متابعة تتابع العد على الثنائيات الضوئية LEDs. قم بتسجيل 10 عدات متعاقبة.

س 19 : قم بتوصيل مدخل CK للقلاب الثاني مع الخرج $\bar{Q}$ للقلاب الأول. أعد السؤال السابق.

س 20 : لخص النقاط الهامة التي تعلمتها من هذه التجربة بما لا يزيد على خمسة أسطر.

التجربة رقم 16 سجل إزاحة عام

UNIVERSAL SHIFT REGISTER

1. هدف التجربة:

- فهم طريقة عمل السجل العام.
- تصميم ومحاكاة دائرة سجل إزاحة عام يعمل وفق أنماط العمل الآتية.

- Serial In Serial Out Shift Right (SISO-SR)
- Serial In Serial Out Shift Left (SISO-SL)
- Parallel In Parallel Out (PIPO)
- No Change (Hold)

- تنفيذ واختبار الدارة عملياً.

العناصر الإلكترونية:

العدد	البيان	العنصر
1	دائرة متكاملة تحوي أربعة قلابات من نوع D	74LS175
2	دائرة متكاملة تحوي مضَمَمين 2MUX4-to-1	74LS153
حسب الحاجة	ثنائيات ضوئية بألوان مختلفة	LEDs
حسب الحاجة	مفاتيح منزلة	Micro switches
1	لوحة اختبار	Breadbord
1	وحدة تغذية مستمرة	Power supply
حسب الحاجة	أسلاك توصيل.	

2. تمهيد نظري:

مقدمة:

يُعدّ السجل نوعاً من الدارات المنطقية المتتابعة (Sequential Logic Circuits) مُعدّاً لتخزين المعطيات بشكل مؤقت لحين الحاجة إليها.

تُبنى السجلات عادةً من قلابات D عددها يساوي عدد البتات المطلوب تخزينها (قلاب لكل بت). يشكل القلاب D اللبنة الأساسية في بناء الدارات السجلات وفي بناء جميع القلابات.

توفر الشركات الصانعة سجلات إزاحة عامة Universal Shift Registers تعمل وفق أنماط تشغيل متعددة مجهزة بمدخل للمعطيات ومدخل تمكن المستخدم من اختيار نمط التشغيل.

المطلوب:

بناء سجل إزاحة عام بأربعة بتات يعمل وفق أنماط التشغيل المبينة في جدول أنماط التشغيل.

لتحقيق ذلك يلزمنا أربعة مضّمّات Multipliers (عدد المضّمّات يساوي عدد بتات السجل) وعدد مدخل المعطيات في المضّمّ الواحد يساوي عدد أنماط تشغيل السجل، وبالتالي يلزمنا أربعة مضّمّات وكل مضّمّ له أربعة مدخل للمعطيات $D_3D_2D_1D_0$ وفيه مدخلان S_1S_0 لاختيار نمط تشغيل السجل. ويلزمنا أربعة قلابات من نوع D أيضاً لتخزين المعطيات.

أنماط تشغيل السجل

S_1S_0	Mode of Operation نمط التشغيل
0 0	No Change يحافظ السجل على محتواه
0 1	Serial In Serial Out Left Shift دخل تسلسلي خرج تسلسلي
1 0	إزاحة إلى اليمين Serial In Serial Out Right Shift دخل
1 1	تسلسلي خرج تسلسلي إزاحة إلى اليسار
	Parallel In Parallel Out الدخل على التفرع والخرج على التفرع

ملاحظة: يمكن اختيار رماز مختلف لأنماط التشغيل غير ذلك المحدد في الجدول، كما يمكن تصميم سجل إزاحة عام عدد أنماط التشغيل فيه أكثر من أربعة.

3. تنفيذ التجربة:

تمهيد قبل التنفيذ العملي:

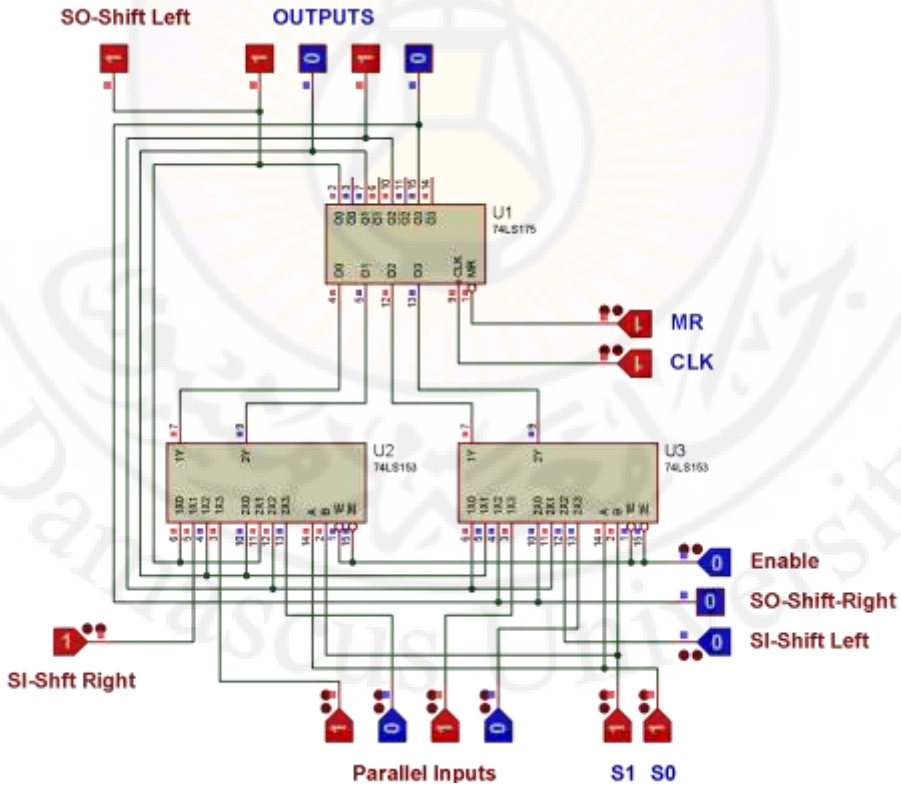
لفهم عمل الدارة قم بتحليل المخطط المنطقي المرفق وتأكد أنه يحقق الوظيفة المطلوبة (راجع المحاضرات النظرية أو كتاب التصميم



الرقمي)، ولفهم عمل الدارات المتكاملة المستخدمة في التجربة قم بدراسة النشرات الفنية الخاصة بكل دارة من الدارات المستخدمة في التجربة. قم بمحاكاة التصميم المقترح المبين في المخطط المنطقي المرفق وتأكد من أنه يحقق أنماط التشغيل المحددة بالجدول.

التفيذ العملي للتجربة:

بعد التأكد من أن الدارة تحقق العمل الوظيفي للدارة قم بتوصيل دارة المخطط المنطقي عملياً على لوحة الاختبار. استخدم عدداً من المفاتيح لتحديد قيم مداخل المعطيات ومداخل اختيار نمط التشغيل ومدخل ساعة النظام. استخدم ثنائيات ضوئية لإظهار قيم مداخل الانتخاب، ومداخل التحكم، ومداخل ومخارج السجل (مخارج القلايات).



المخطط المنطقي لسجل إزاحة عام بأربعة بتات

عمل إضافي:

نرغب في بناء سجل إزاحة عام بستة أنماط للتشغيل كما هو محدد بالجدول الآتي:

$S_2S_1S_0$	Mode of Operation	نمط التشغيل
0 0 0	No Change	يحافظ السجل على محتواه
0 0 1	Serial InSerial Out Right Shift	دخل تسلسلي خرج تسلسلي إزاحة إلى اليمين
0 1 0	Serial In Serial Out Left Shift	دخل تسلسلي خرج تسلسلي إزاحة إلى اليسار
0 1 1	Parallel In Parallel Out	الدخل على التفرع والخرج على التفرع
1 0 0	Circular Shift Right Register (Ring Counter)	سجل إزاحة إلى اليمين دوراني
1 0 1	Johnson Counter	عداد جونسون

1. ما عدد المضمّمات التي تحتاجها لتنفيذ سجل الإزاحة الجديد وما عدد مداخل المعطيات وعدد مداخل الانتخاب في المضمّم الواحد؟
2. كم قلاب يلزمك لتحقيق سجل الإزاحة الجديد؟

التجربة رقم 17

إظهار أرقام الأعداد العشرية المرمزة بالـ BCD على وحدات إظهار بسبع قطع

7-Segment Display Multiplexer

1. هدف التجربة:

- فهم أحد التطبيقات الهامة لعدد من الدارات المتكاملة كالمضّمّات ومفكّكات الرماز والعدادات ووحدات الإظهار ذات السبع قطع.
- إظهار الأعداد العشرية المرمزة اثنانياً BCD numbers على وحدات إظهار بسبع قطع.
- إظهار أرقام عدد على التتالي رقم – رقم (بطريقة المسح). تتألف الأعداد العشرية التي ستظهر على وحدات الإظهار من أربعة أرقام عشرية، ويمكن تعميم طريقة الإظهار هذه لإظهار الأعداد بغضّ النظر عن عدد أرقامها.

المكونات الإلكترونية

العدد	البيان	العنصر
2	دائرة متكاملة تحوي مضّمّين 2MUX 4 to 1	74LS153
1	دائرة متكاملة تحوي مفكك رماز BCD إلى سبع قطع	74LS47
1	مفكك رماز 3 to 8 Decoder	74LS238
1	IC تحوي قلابين نوع D	74LS74
4	وحدة إظهار BCD سبع قطع	
حسب الحاجة	مفاتيح عادية أو مفاتيح مكروية	
1	وحدة تغذية مستمرة 5 V	Power supply
حسب الحاجة	أسلاك توصيل.	

2. تمهيد نظري:

مبدأ عمل الدارة:

تُطبق الأرقام الأربعة $A_3A_2A_1A_0$ و $B_3B_2B_1B_0$ و $C_3C_2C_1C_0$ و $D_3D_2D_1D_0$ المطلوب إظهارها على مداخل المضمّات، وبما أن كل رقم يحتاج إلى 4-bit لترميزه، فهذا يعني أن كل رقم من أرقام العدد يحتاج إلى مضمّم بأربعة مداخل $I_3I_2I_1I_0$ للمعطيات وله مدخلا انتخاب S_1S_0 .

تُوصل مخارج المضمّات الأربعة إلى مداخل مفك رماز BCD إلى سبع قطع (74LS47)، فعندما تكون $S_1S_0 = 00$ تُمرّر بتات رقم الأحاد D إلى مداخل مفك رماز السبع قطع لتغذي مخارجه $QaQbQcQdQeQfQg$ مداخل وحدات الإظهار الأربع على التوازي. وتجدر الإشارة هنا إلى أن أرقام العدد تظهر دورياً على التتالي رقماً – رقماً (رقم واحد بكل لحظة، D يليه C يليه B ثم A).

يتم انتقاء وحدة الإظهار عن طريق مفك رماز 2 to 4 decoder تفعلّ مخارجه مصاعد (مهابط) وحدات الإظهار دورياً الواحدة تلو الأخرى.

تُغذى مداخل مفك الرماز 2 to 4 من مخارج عداد دوري اثنائي (مبني بواسطة قلابين نوع D الدارة 74LS74)، يعد وفق التتابع $Q_1Q_0 = 00 \rightarrow 01 \rightarrow 10 \rightarrow 11$ ، وتغذي مخارجه مداخل الانتقاء S_1S_0 في المضمّات الأربعة.

يُقدح العداد بنبضات ساعة Clock ترددها كاف (بحدود 60 Hz) لظهور الأعداد بثبات عند المشاهدة.

تمهيد قبل التنفيذ العملي:

1. ادرس المخطط المنطقي المرفق بعناية وتأكد من سلامته (راجع المحاضرات النظرية أو كتاب التصميم الرقمي).
2. لفهم عمل وطريقة توصيل الدارات المتكاملة المستخدمة في التجربة (حَمِل النشرات الفنية المتعلقة بالعناصر المستخدمة وقم بدراستها).
3. قم بمحاكاة التصميم المقترح المبين في المخطط المنطقي المرفق باستخدام أحد برامج المحاكاة Multisim أو Proteus وتأكد من أنه يحقق الوظيفة المطلوبة.

3. تنفيذ التجربة:

التنفيذ العملي:



تأكد من صحة العمل الوظيفي للدائرة وقم بتوصيل دائرة المخطط المنطقي عملياً على لوحة الاختبار.

1. تأكد من سلامة التوصيل قبل تغذية الدائرة بالقدرة.
2. استخدم عدداً مناسباً من المفاتيح لتحديد قيم مداخل المعطيات.
3. طبق مجموعة الأعداد العشرية الواردة في الجدول على مداخل الدائرة بعد ترميزها بال BCD، واقرأ النتائج التي تظهر على وحدات الإظهار واملاً الجدول الآتي:

الدخل بالعشري Decimal Input	الدخل BCD Input				الخرج بالعشري على وحدات الاظهار			
	A ₃ A ₂ A ₁ A ₀	B ₃ B ₂ B ₁ B ₀	C ₃ C ₂ C ₁ C ₀	D ₃ D ₂ D ₁ D ₀	D ₃	D ₂	D ₁	D ₀
5678								
1234								
9753								
7685								
6963								



التجربة رقم 18

العدادات المتزامنة Synchronous Counters

مقدمة:

العداد هو نوع من أنواع السجلات حيث تُحفظ فيه قيمة العدّ التي تم الوصول إليها لينتقل منها إلى القيمة التالية بعد ورود نبضة الساعة.

تُصنف العدادات في صنفين: عدادات متزامنة Synchronous Counters وعدادات غير متزامنة Asynchronous Counters.

توفر الشركات الصانعة عادة عدادات عامة على شكل دارات متكاملة ضمن رقائق بلاستيكية خاضعة لمعايير وأبعاد معيارية، بحيث يمكن تشغيلها وفق أنماط عد متعددة يختار المستخدم منها النمط الذي يحتاجه.

العناصر الإلكترونية:

العدد	البيان	العنصر
1	دارة متكاملة لعداد متزامن عام يمكن تشغيله بأنماط عد متعددة	74LS93
1	دارة متكاملة تحوي مفكك رماز من BCD إلى 7-Seg.	4774LS
1	وحدة إظهار بسبع قطع 7-Seg display	
1	وحدة تغذية مستمرة 5 V	Power supply
حسب الحاجة	أسلاك توصيل.	

تمهيد نظري:

تُعدّ مسألة تصميم العدادات المتزامنة من أسهل مسائل التصميم في الدارات التتابعية كون عدد الحالات وتتابع العد محددة مسبقاً فيه وبالتالي جدول العبور يحدده تتابع العد.

مثال: تصميم عداد دوري متزامن يعد وفق تتابع العد الاثنائي الآتي:

→ 00 → 01 → 10 → 11 →

باستخدام قلابات من نوع J-K تقدر بالحافة الصاعدة.

$Q_N \rightarrow Q_{N+1}$	J	K
0 → 0	0	X
1 → 0	1	X
0 → 1	X	1
1 → 1	X	0

جدول العبور للقلاب J-K

(A B) _N	(A B) ₁ ^{N+}
0 0	0 1
1 0	1 0
0 1	1 1
1 1	0 0

جدول العبور للعداد

J	K	Q^{N+1}
0	0	Q^N
0	1	0
1	0	1
1	1	$\overline{Q^N}$

الجدول الوظيفي للقلاب JK

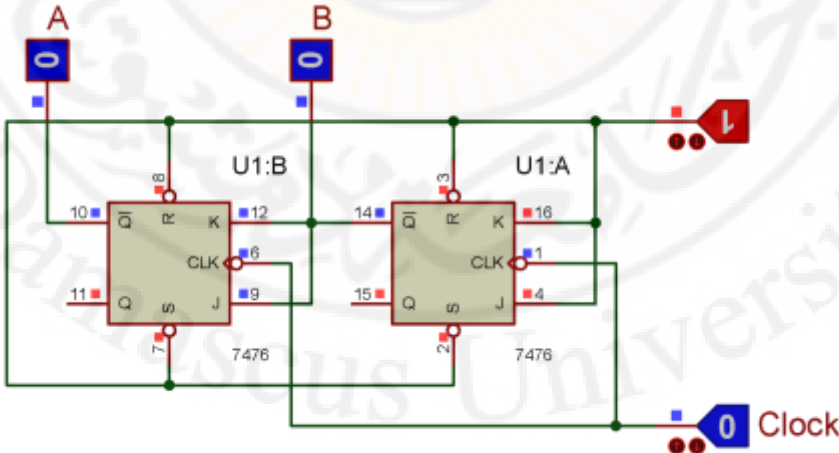
إيجاد معادلات مداخل القلابات:

بالإلقاء نظرة على جدول الانتقالات نلاحظ أن القلاب B يغير حالته عند كل نبضة من نبضات الساعة، وبالتالي، يمكن استنتاج معادلات دخله مباشرة:

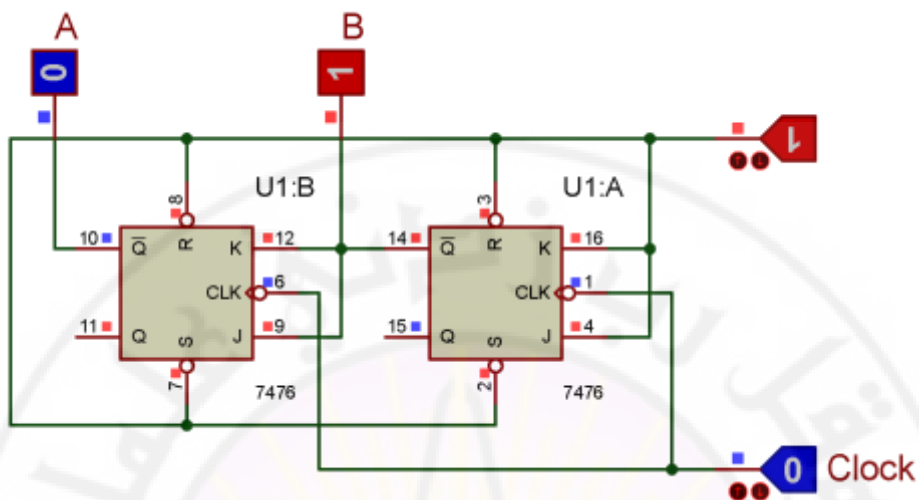
$$J_B = K_B = 1$$

ولإيجاد معادلات مداخل القلاب A نستخدم جداول كارنو (جدول لكل مدخل).

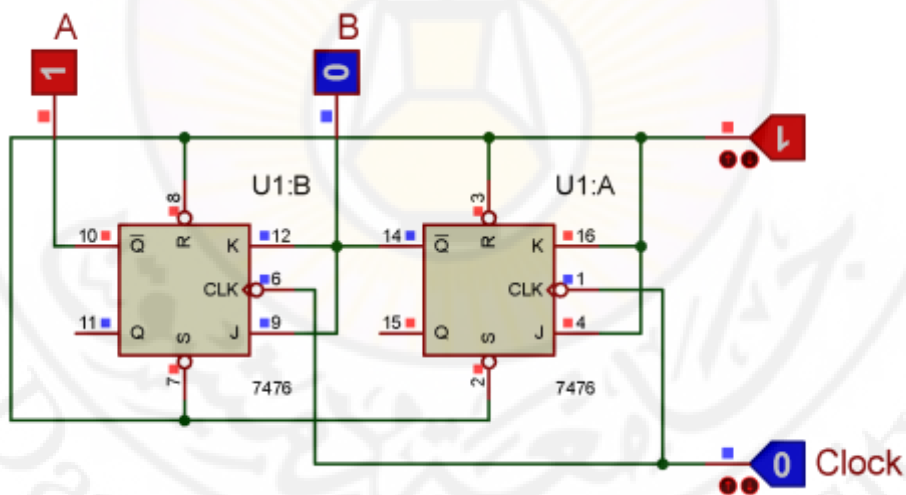
دائرة العداد ومراحل العد:



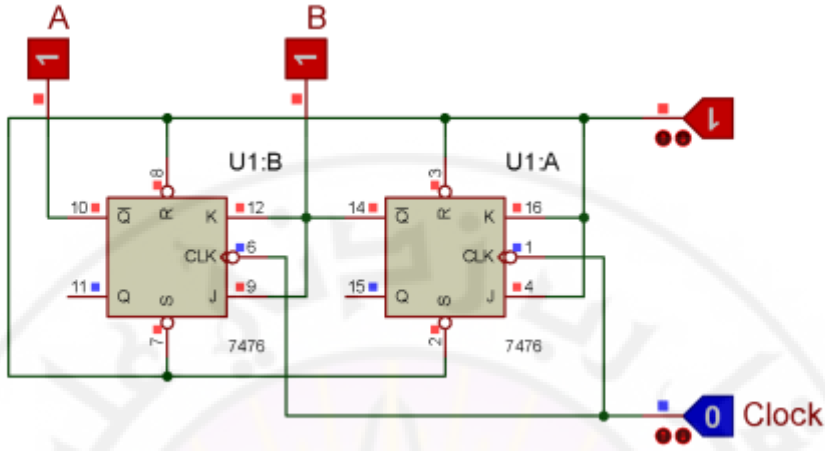
الحالة الابتدائية (بداية العد)



بعد تطبيق أول نبضة



بعد تطبيق النبضة الثانية



بعد تطبيق النبضة الثالثة

وهكذا تتكرر عملية العد.



تنفيذ التجربة:

باستخدام دائرة العداد 74LS93

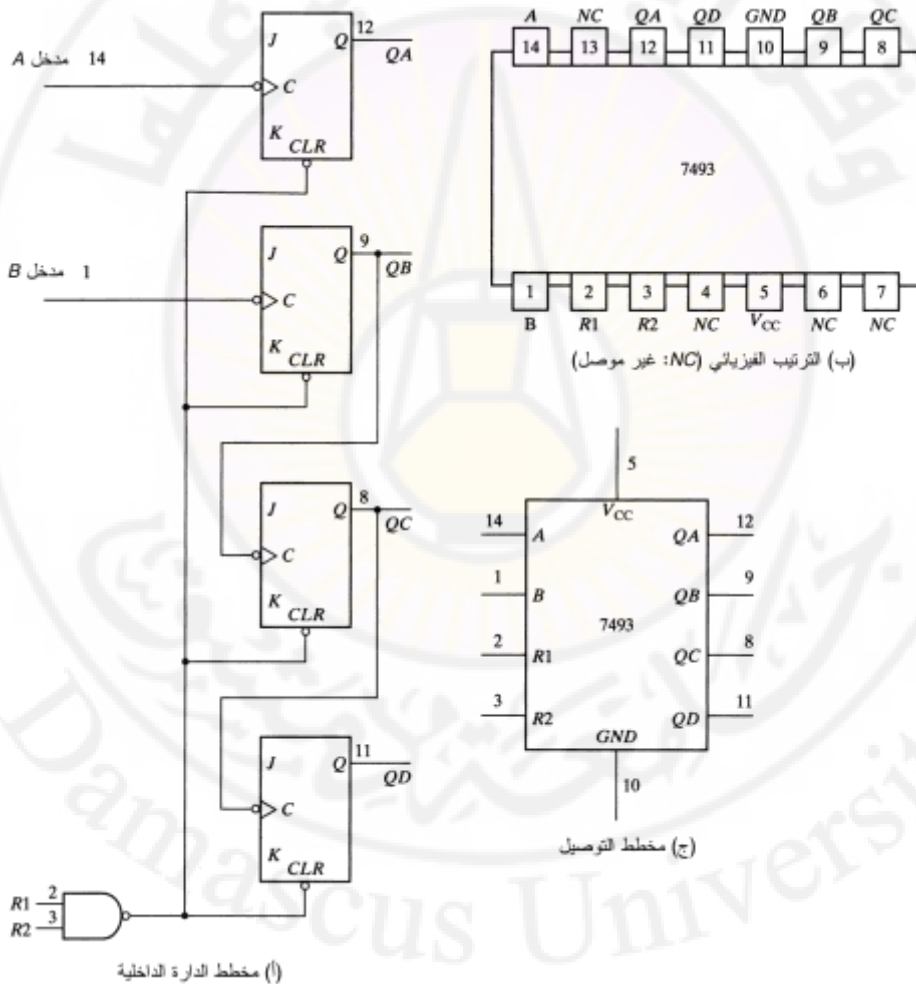
المرحلة الأولى: المحاكاة

باستخدام أحد برامج المحاكاة Multisim أو Proteus.

- 0 نفذ المخطط المنطقي لدائرة العداد على ورقة العمل لبرنامج المحاكاة ليعمل وفق نمط العد الاثنائي الطبيعي بأربعة بتات (16 حالة).
- 1 قم بتوصيل مخارج العداد إلى راسم إشارة لمشاهدة تغيرات مخارج القلابات وللتأكد من صحة عمل العداد.
- 2 غير طريقة توصيل دائرة العداد ليعمل العداد وفق نمط العد العشري المرمز اثنائياً BCD.
- 3 قم بتوصيل مخارج العداد إلى مداخل مفك رماز من BCD إلى 7-Seg.
- 4 قم بتوصيل مخارج مفك الرماز إلى وحدة إظهار 7-Seg. Display.
- 5 تأكد من أن العداد يحقق تتابع العد المحدد بنمط العد.
- 6 غير توصيلات دائرة العداد ليعد وفق نمط العد الثماني Octal.
- 7 كرر الخطوات 4 و 5 و 6.

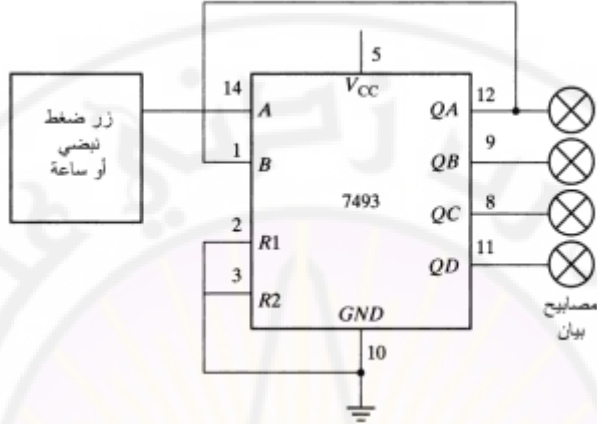
المرحلة الثانية: التنفيذ العملي

1. قم بتوصيل دارة العداد ليعد وفق أنماط العد المذكورة في الخطوات 1 و 3 و 7.
2. تأكد من صحة وسلامة التوصيل قبل تغذية الدارة بالقدرة.
3. تأكد من صحة النتائج التي تشاهدها على وحدة الإظهار.
4. دوّن نتائجك التي حصلت عليها في جداول.

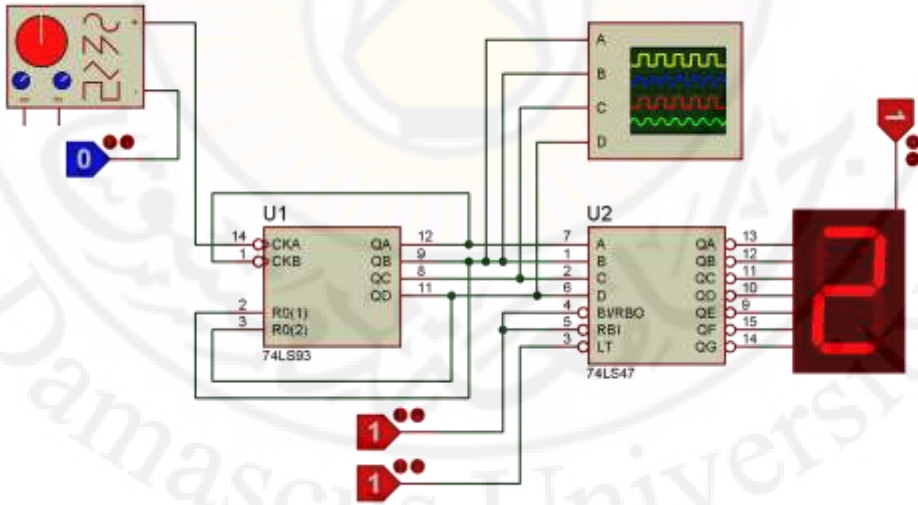


المخطط المنطقي لدارة العداد 74LS93 ومخطط توضع المغازر (الأرجل)

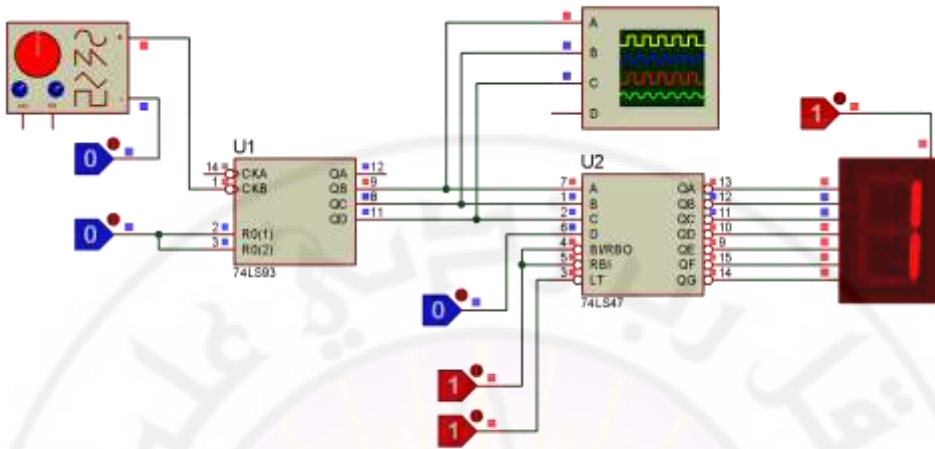
توصيل الدارة للعمل كعداد اثنائي بأربعة بتات 4-bit binary counter



مخطط التوصيل للعمل كعداد اثنائي بأربعة بتات



مخطط التوصيل للعمل كعداد عشري مع إظهار إشارات خرج العداد



مخطط التوصيل للعمل كعداد ثماني مع إظهار إشارات خرج العداد



التجربة رقم 19

العدادات غير المتزامنة Asynchronous Counters

1. هدف التجربة:

- فهم طريقة تصميم العدادات غير المتزامنة.
- دراسة سلوك العداد في حالة وجود حالات غير مستخدمة في العد.

العناصر الإلكترونية:

العدد	البيان	العنصر
1	دائرة متكاملة لعداد متزامن عام يمكن تشغيله بأنماط عد متعددة	
1	دائرة متكاملة مفكك رماز من BCD إلى 7-Seg.	
1	وحدة إظهار بسبع قطع 7-Seg display	
1	وحدة تغذية مستمرة 5 V	Power supply
حسب الحاجة	أسلاك توصيل.	

2. تمهيد نظري:

لتصميم عداد غير متزامن، يجب تحديد معادلات مداخل القلابات المستخدمة في بناء دارته (مثلاً J و K) وذلك لجعل مخرجها تنتقل من الحالة الراهنة PS إلى الحالة التالية NS. تُظهر الجداول الآتية (وتشرح) المداخل J و K المطلوبة لنقل خرج القلاب من الحالة الراهنة Q^N إلى الحالة التالية Q^{N+1} .

J	K	Q^{N+1}
0	0	Q^N
0	1	0
1	0	1
1	1	$\overline{Q^N}$

Q^N	Q^{N+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

جدول الحقيقة الجدول الوظيفي وجدول الانتقالات للقلاب JK

يُقاد القلاب الأول في العدادات غير المتزامنة عادةً من ساعة خارجية على حين تُحدّد نبضات قيادة القلابات الأخرى من بين مخارج القلابات الأخرى في دائرة العداد.

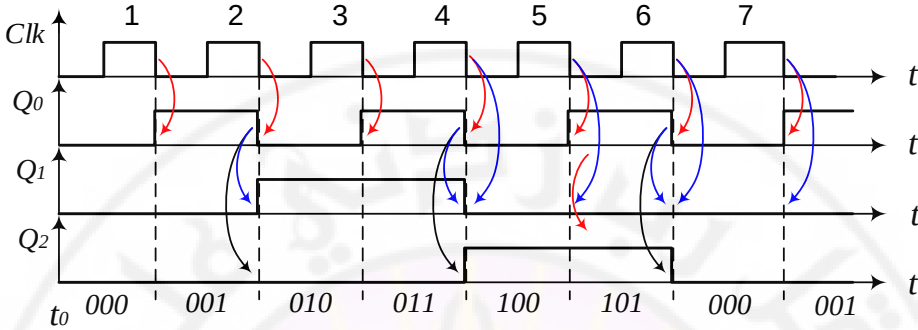
يبقى المثال خير وسيلة لشرح تصميم العدادات غير المتزامنة. سنصمم عداداً دورياً غير متزامن يعد ست عدات modulo-6، وفق تتابع العد الآتي:

→ 000 → 001 → 010 → 011 → 100 → 101 →

مثّل بالرسم جدول الانتقالات Present-Next State للعداد على شكل مخطط زمنيّ بما أن عدد العدّات ست، فإنه يلزمنا ثلاثة بتات، وبالتالي ثلاثة قلابات، مخارجها $Q_2Q_1Q_0$ ، إذ يجب تحديد القلابات التي تغيّر حالاتها عند كل تركيبة من تراكيب العد المستخدمة. انظر الجدول الآتي. T11.2

Count #	Present state $Q_2Q_1Q_0$	Next state $Q_2Q_1Q_0$	F-F to toggle
0	0 0 0	0 0 1	. . F0
1	0 0 1	0 1 0	. F1F0
2	0 1 0	0 1 1	. . F0
3	0 1 1	1 0 0	F2F1F0
4	1 0 0	1 0 1	. . F0
5	1 0 1	0 0 0	F2F0 .

تحديد نبضات قيادة القلابات: بإنشاء المخطط الزمني الموافق لمتتابع العد المعطى نحصل على الشكل الآتي:



من المخطط نلاحظ أن القلاب Q_0 يغير حالته عند كل نبضة من نبضات الساعة Clk ، لذلك فإن Clk تصلح لقيادته، ولا توجد حاجة لحساب معادلات مدخله، إذ يكفي وصل مدخليه J و K إلى المستوى المنطقي 1 أي $J = K = 1$.

القلاب Q_0 يصلح لقيادة القلاب Q_1 نظراً لأن القلاب Q_1 يغير حالته عند الحواف الهابطة لخرج القلاب Q_0 لكن ليس جميعها إذ إنه لا يغير حالته عند الحافة الهابطة للقلاب Q_1 الموافقة للنبضة السادسة للساعة، ونظراً لأن القلابات لا تغير حالاتها إلا عند ورود الحافة الفعالة لنبضة القيادة، وبالتالي لا تهتمنا قيم المداخل عند نبضات الساعة الفردية، لذلك نضع X عدم اكتراث "don't care" في مربعات جداول كارنو لكل من J و K الموافقة (المربعات: 0,2,4).

القلاب Q_2 يغير حالته عند كل الحواف الهابطة للقلاب Q_0 لكن ليس جميعها، لذلك فإن القلاب Q_0 يصلح لقيادة القلاب Q_2 ، ونظراً لأن القلابات لا تغير حالاتها إلا عند ورود الحافة الفعالة لنبضة القيادة وبالتالي لا تهتمنا قيم المداخل عند نبضات الساعة الفردية، لذلك نضع X عدم اكتراث في مربعات جداول كارنو لكل من J و K الموافقة (المربعات: 0,2,4).

إيجاد معادلات مداخل القلابات:

استنتجنا من المخطط الزمني أنّ القلاب Q_0 مقاد من نبضات الساعة مباشرة وبأن $J_0 = K_0 = 1$.

واستنتجنا أيضاً أنّ القلاب Q_1 يقاد من خرج القلاب Q_0 ويجب حساب معادلات مدخله، وباستخدام مخططات كارنو وجدول الانتقالات للقلاب $J-K$ نجد:

$Q_2Q_1 \backslash Q_0$	0	1
00	X	1
01	X	X
11	X	X
10	X	0

$Q_2Q_1 \backslash Q_0$	0	1
00	X	X
01	X	1
11	X	X
10	X	X

$$J_1 = \overline{Q_2}$$

$$K_1 = 1: \text{معادلات مداخل القلاب } Q_1$$

من المخطط الزمني نستنتج أيضاً أنه يجب قيادة القلاب Q_2 من خرج القلاب Q_0 ، ويجب إيجاد معادلات مداخله J_2 و K_2 ، وباستخدام مخططات كارنو وجدول الانتقالات نجد:

$Q_2Q_1 \backslash Q_0$	0	1
00	X	0
01	X	1
11	X	X
10	X	X

$Q_2Q_1 \backslash Q_0$	0	1
00	X	X
01	X	X
11	X	X
10	X	1

$$J_2 = Q_1$$

$$K_2 = 1: \text{معادلات مداخل القلاب } Q_2$$

يجب اختيار نبضة القيادة لكل قلاب. القلاب الأول F_0 يغير حالته عند كل نبضة من نبضات الساعة، لذلك نختار الساعة الخارجية. يبدل القلاب F_1 حالته عند العدّات 1 و 3 وذلك عند انتقال القلاب السابق من 1 إلى 0 عند هذه العدّات، وبالتالي فإن القلاب F_1 منقاد من القلاب F_0 . القلاب F_2 يبدل حالته عند العدّات 3 و 5. فقط القلاب الأول Q_0 من بين القلابين السابقين (Q_1 و Q_0) يغير حالته من 1 إلى 0 عند هذه العدّات، وبالتالي يكون القلاب F_2 منقاداً من القلاب F_0 .

يجب تحديد المداخل J و K لكل قلاب.
ضع "X" في الخلايا الموافقة للعدادات غير المستخدمة. في حالتنا العدّات هي 6 و 7: $Q_2Q_1Q_0:111$ و $Q_2Q_1Q_0:110$.

ضع "X" في الخلايا التي لا يوجد عندها انتقال من 1 إلى 0 عند ورود نبضة الساعة القيادية. في حالتنا وبالرجوع إلى جدول الحالة Present-Next، نجد أن الخرج Q_0 لم يغير حالته من 1 إلى 0 عند العدّات 0, 2, 4 في القلابين F_1 و F_2 . وبالتالي نضع "X" لهذه العدّات $Q_2Q_1Q_0 = 000, 010, 100$.

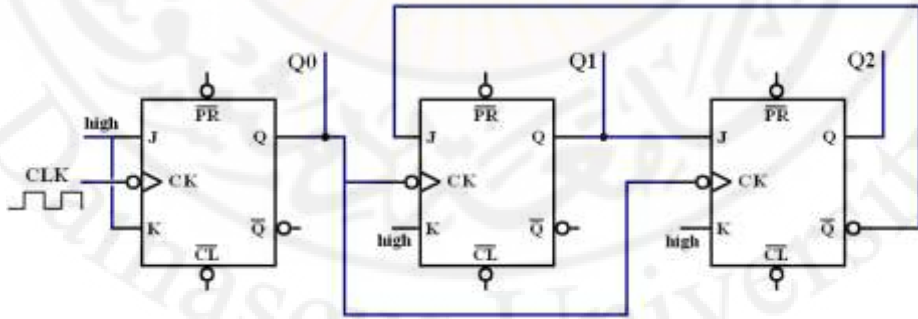
اختر قيمة مناسبة لكل من J و K في جدول الحالة Present-Next من أجل الحصول على الحالة التالية الموافقة.

على سبيل المثال: السطر الثاني في جدول الحالة التالية Present-Next الحالة الراهنة هي $Q_2Q_1Q_0 = 001$ والحالة التالية هي $Q_2Q_1Q_0 = 010$. وهذا يعني أن: Q_0 يغير حالته من 1 إلى 0، وهذا يحتاج إلى $J_0K_0 = X1$.

Q_1 يغير حالته من 1 إلى 0، وهذا يحتاج إلى $J_1K_1 = 1X$.

وأخيراً Q_2 لا يغير حالته: 0 تبقى 0 وبالتالي هذا يحتاج إلى $J_2K_2 = 0X$.

بعد استنتاج معادلات مداخل القلابات وتحديد نبضة قيادة كل قلاب، أصبح بمقدورنا رسم دائرة العداد، فنحصل على:



دائرة عداد غير متزامن بعد ست عدّات

ملاحظة: إذا لم تكن كل العدّات الممكنة مستخدمة، وفي مثالنا هي 110 و 111، يجب أن تتم دراسة السلوك الفعلي لدائرة العداد في حال حدوث العدّات غير المستخدمة.

إذا كانت الحالة الراهنة $Q_2Q_1Q_0=110$ ، فإن ذلك يتيح لنا استنتاج قيم المداخل J و K لكل قلاب، وبناءً على ذلك نستنتج الحالة التالية.

يجب أن نحدد لكل قلاب ما إذا كانت ساعته تسبب انتقالاً من 1 إلى 0: إذا لم يغير القلاب حالته فإن خرج القلاب لن يتغير مهما كانت قيم المداخل J و K. انظر الجدول الآتي:

Stage	Clock (external)	Present Q0	J0K0	Next Q0	Comment
1	$1 \rightarrow 0$	0	1 1	1	J0K0=11 & CLK $1 \rightarrow 0$ for every stage
2	$1 \rightarrow 0$	1	1 1	0	

Stage	Clock (Q0)	Present Q1	J1K1	Next Q1	Comment
1	$0 \rightarrow 1$	1	x x	1	Since no clock Q0 $1 \rightarrow 0$ from prev. table, whatever J1K1 are, Q1 does not change
2	$1 \rightarrow 0$	1	0 1	0	

Stage	Clock (Q0)	Present Q2	J2K2	Next Q2	Comment
1	$0 \rightarrow 1$	1	x x	1	Same case as previous table
2	$1 \rightarrow 0$	1	1 1	0	

في مثالنا، إذا كانت الحالة الحالية لأي سبب هي $Q_2Q_1Q_0=110$ ، بعد نبضة ساعة واحدة ستكون 000، وبالتالي سنعود لواحدة من العدّات المرغوبة ولن نرجع أبداً لتسلسل غير مرغوب.

أجب عن الاسئلة الآتية:

عداد 2-bit غير متزامن تصاعدي. تسلسل العد هو: 00,01,10,11.....

س 1: ما أعظم عدد ممكن للعدادات لعداد ب 2-bit؟
س 2: هل كل العدّات الممكنة مستخدمة؟ إذا كان الجواب لا، فما العدّات غير المستخدمة؟

س 3: ما عدد القلايات المطلوب لبناء عداد 2-bit؟
س 4: ارسم جدول العبور "الحالة الراهنة-التالية" Present-Next لهذا العداد ولا تنس تحديد القلايات التي تغير حالتها عند كل عدّة.
س 5: القلاب رقم صفر (الموافق لـ Q_0) يغير حالته عند العدّات، وبالتالي نختر القلاب لقيادته.

س 6: القلاب الأول (الموافق لـ Q_1) يغير حالته عند العدّات هل يقوم خرج المرحلة السابقة Q_0 بتغيير حالته من 1 إلى 0 عند هذه العدّات؟ أي إشارات يجب أن يتم اختيارها لقيادة هذا القلاب؟

س 7: بالنسبة للقلاب صفر، هل هناك أي عدّة لا يحدث انتقال للساعة من 1 إلى 0 عندها؟ إذا كان الجواب نعم، فما هذه العدّات؟

س 8: بالنسبة للقلاب الأول، هل هناك أي عدّة لا يحدث انتقال للساعة من 1 إلى 0 عندها؟ إذا كان الجواب نعم، فما هذه العدّات؟

س 9: ارسم جدول الحقيقة للمداخل J و K لكل قلاب، واستنتج معادلة كل مدخل.

س 10: ارسم دائرة هذا العداد.

عداد 2-bit غير متزامن تنازلي. تسلسل العد هو 11,10,01,00.....

س 11: ارسم جدول الحالة Present-Next لهذا العداد، وحدد القلايات التي تغير حالتها عند كل عدّة.

س 12: القلاب رقم صفر (الموافق لـ Q_0) يغير حالته عند العدّات، وبالتالي نختر القلاب لقيادته.

س 13: القلاب الأول (الموافق لـ Q_1) يغير حالته عند العدّات

- هل يقوم خرج المرحلة السابقة Q0 بتغيير حالته من 1 إلى 0 عند هذه العدّات؟ أي إشارات يجب أن يتم اختيارها لقيادة هذا القلاب؟
- س 14: بالنسبة للقلاب صفر، هل هناك أي عدة لا يحدث انتقال للساعة من 1 إلى 0 عندها؟ إذا كان الجواب نعم، فما هذه العدّات؟
- س 15: بالنسبة للقلاب الأول، هل هناك أي عدة لا يحدث انتقال للساعة من 1 إلى 0 عندها؟ إذا كان الجواب نعم، فما هذه العدّات؟
- س 16: ارسم جدول الحقيقة للمداخل J و K لكل قلاب، واستنتج معادلة كل مدخل.
- س 17: ارسم دائرة هذا العداد مستخدماً قلابات JK.
- عداد 3-bit غير متزامن تصاعدي. يقوم هذا العداد بالعد من 0 لـ 7:
- 000,001,010,.....,111
- س 18: ما أعظم عدد ممكن للعدادات من أجل عداد 3-bit ؟
- س 19: هل كل العدّات الممكنة مستخدمة؟ إذا كان الجواب لا، فما العدّات غير المستخدمة؟
- س 20: ما عدد القلابات المطلوب لبناء عداد 3-bit؟
- س 21: ارسم جدول الحالة Present-Next لهذا العداد، وحدّد القلابات التي تغير حالتها عند كل عدّة.
- س 22: اختر قيادة الساعة لكل قلاب.
- س 23: حدّد العدّات لكل قلاب والتي عندها لا تقوم الساعة بانتقال من 1 إلى 0.
- س 24: ارسم جدول الحقيقة للمداخل J و K لكل قلاب، واستنتج معادلة كل مدخل.
- س 25: ارسم دائرة هذا العداد مستخدماً قلابات JK.
- لاحظ أن الاختلاف الوحيد بين العداد the modulo-6 وعداد 3-bit هو أن العداد the modulo-6 يعود للعدة 000 بعد 101 بينما عداد 3-bit يستمر بالعد.
- س 26: عدّل العداد 3-bit وذلك لنحصل على عداد the modulo-6.
- تلميح: استخدم العدّة غير المستخدمة الأولى 110 للعودة إلى العدّة الابتدائية 000 باستخدام مدخل CL للقلاب. ارسم دائرة العداد الناتجة.
- عداد BCD أو عشري (modulo-10) غير متزامن.
- س 27: ما عدد القلابات المطلوب لبناء هذا العداد ؟
- س 28: ما أعظم عدد ممكن للعدادات بهذا العدد من القلابات؟

س 29: هل كل العدّات الممكنة مستخدمة؟ إذا كان الجواب لا، فما العدّات غير المستخدمة؟

س 30: ارسم جدول الحالة Present-Next لهذا العداد ولا تنس تحديد القلايات التي تغير حالتها عند كل عدة.

س 31: اختر قيادة الساعة لكل قلاب Q32: ارسم جدول الحقيقة للمداخل J و K لكل قلاب، واستنتج معادلة كل مدخل.

س 32: ارسم دائرة هذا العداد مستخدماً قلايات JK.

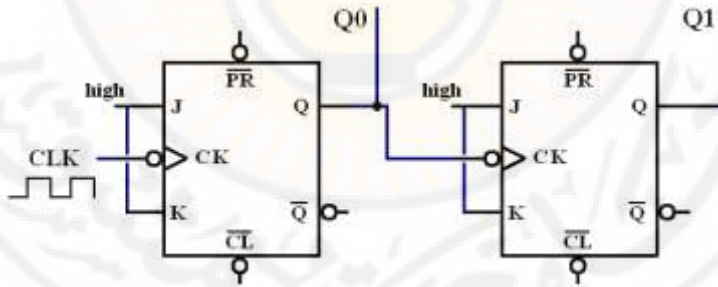


تنفيذ التجربة:

التطبيق العملي 1: عداد 2-bit غير متزامن تصاعدي

قم بتوصيل الدارة الآتية. استخدم إشارة خالية من الارتداد لإشارة الساعة، ووحدة الخرج للمخرجين $Q_1 Q_0$. يمكن استخدام CL و PR لضبط القيمة الابتدائية للعداد بأي قيمة مطلوبة.

اضبط القيمة الابتدائية للعداد $Q_1 Q_0 = 00$.



الشكل 11.3 دائرة عداد غير متزامن بخانتين

س 33: أكمل الجدول الآتي بتوليد نبضات ساعة (بضغط وإفلات زر مولد النبضات).

CLK #	Q ₁ Q ₀
0	0 0
1	
2	
3	
4	
5	
6	

استخدم إشارة الساعة المجهزة من لوحة LC_01 لتزويد مدخل CLK. جرب ترددات الساعة من 1Hz حتى 10Hz.

التطبيق العملي 2: عداد 2-bit غير متزامن تنازلي

قم بتوصيل الدارة الآتية. استخدم إشارة خالية من الارتداد لإشارة الساعة، ووحدة الخرج للمخرجين Q₁Q₀. يمكن استخدام CL و PR لضبط القيمة الابتدائية للعداد حسب القيمة المطلوبة.

اضبط القيمة الابتدائية للعداد Q₁Q₀ = 00

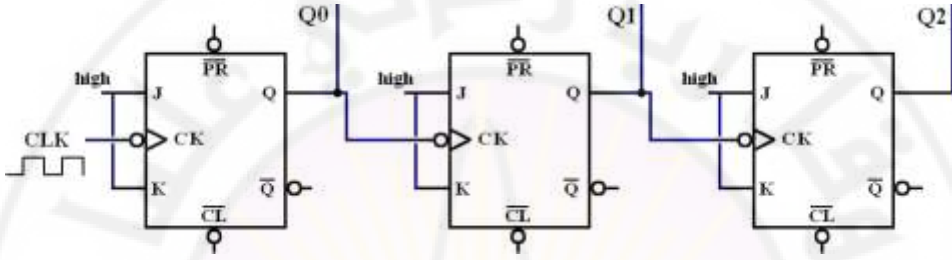
CLK #	Q ₁ Q ₀
0	0 0
1	
2	
3	
4	
5	
6	

س 34: أكمل لجدول الآتي بتوليد نبضات ساعة (وذلك بالقيام بضغط وإفلات الزر على وحدة INPUTS_BF).

استخدم إشارة الساعة المجهزة من لوحة LC_01 لتزويد مدخل CLK. جرب ترددات الساعة من 1Hz حتى 10Hz.

التطبيق العملي 3: عداد بثلاثة 3-bit غير مترامن

قم بتوصيل الدارة الآتية. استخدم إشارة خالية من الارتداد (وحدة INPUTS_BF) لإشارة الساعة، ووحدة الخرج للمخرج Q2Q1Q0. يمكن استخدام CL و PR لضبط القيمة الابتدائية للعداد بأي قيمة مطلوبة. اضبط القيمة الابتدائية للعداد Q2Q1Q0=001.



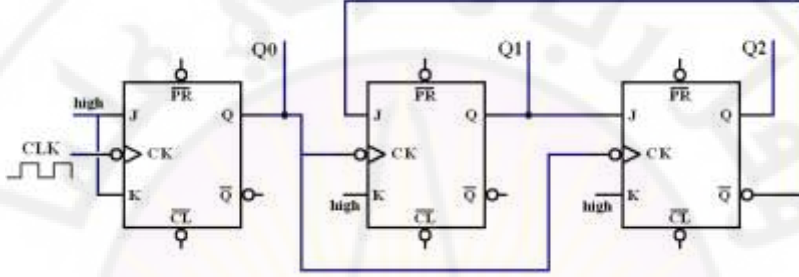
الشكل 11.3 عداد غير مترامن بثلاث خانات 3-bit

س 35: أكمل الجدول الآتي بتوليد نبضات ساعة (وذلك بالقيام بضغط وإفلات الزر على وحدة INPUTS_BF).

CLK #	Q2 Q1 Q0
0	0 0 0
1	
2	
3	
4	
5	
6	
7	
8	
9	
10	

التطبيق العملي 4: عداد غير متزامن يعد ست عدّات Modulo-6

قم بتوصيل الدارة الآتية. استخدم إشارة خالية من الارتداد (وحدة INPUTS_BF) لإشارة الساعة، ووحدة الخرج للمخارج Q2Q1Q0. يمكن استخدام CL و PR لضبط القيمة الابتدائية للعداد بأي قيمة مطلوبة. اضبط القيمة الابتدائية للعداد Q2Q1Q0=000.



عداد غير متزامن بست عدّات Modulo-6

س 36: أكمل الجدول الآتي بتوليد نبضات ساعة (وذلك بالقيام بضغط وإفلات الزر على وحدة INPUTS_BF).

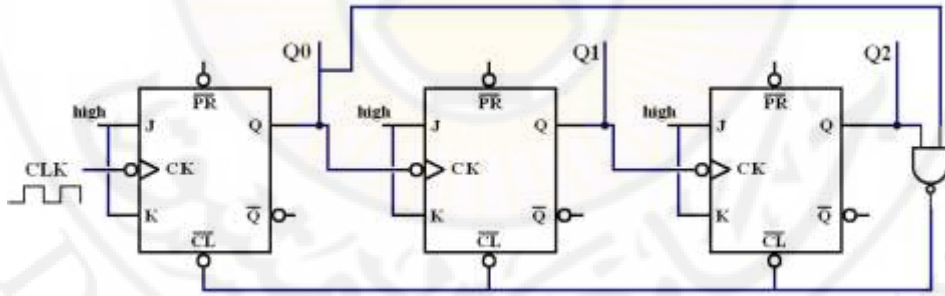
CLK #	Q2 Q1 Q0
0	0 0 0
1	
2	
3	
4	
5	
6	
7	

س 37: استخدم مداخل CL و PR لكل عدة غير مستخدمة (110 و 111) وذلك لضبط مخارج القلايات للعدّات غير المستخدمة. ادرس سلوك القلايات في كل حالة.

CLK #	Q2Q1Q0
0	0 0 0
1	
2	
3	

CLK #	Q2Q1Q0
0	1 1 1
1	
2	
3	

- س 38: هل يعود العداد لوحدة من العدّات المصممة مسبقاً عند ورود عدة غير مستخدمة؟ وبعد كم نبضة ساعة؟
- س 39: بافتراض زمن تأخير للانتشار يساوي 100 ns من أي مدخل لأي مخرج للقلاب JK، ما أعظم تأخير لهذا العداد؟
- قم بتوصيل الدارة الآتية. استخدم إشارة خالية من الارتداد (وحدة INPUTS_BF) لإشارة الساعة، ووحدة الخرج للمخرج Q2Q1Q0. يمكن استخدام CL و PR لضبط القيمة الابتدائية للعداد بأي قيمة مطلوبة. اضبط القيمة الابتدائية للعداد Q2Q1Q0=000.



الشكل 6.11

- س 40: أكمل الجدول الآتي بتوليد نبضات ساعة (وذلك بالقيام بضغط وإفلات الزر على وحدة INPUTS_BF).

CLK #	Q2 Q1 Q0
0	0 0 0
1	
2	
3	
4	
5	
6	
7	

س 41: استخدم مداخل CL و PR لكل عدة غير مستخدمة (110 و 111) وذلك لضبط مخارج القلايات للعدّات غير المستخدمة.

CLK #	Q2Q1Q0
0	1 1 0
1	
2	
3	

CLK #	Q2Q1Q0
0	1 1 0
1	
2	
3	

ادرس سلوك القلاب في كل حالة.

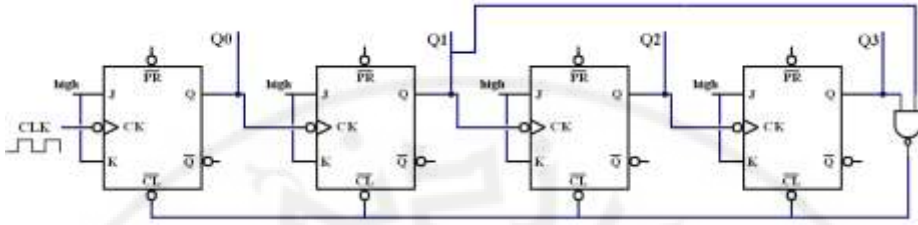
س 42: هل يعود العداد لواحدة من العدّات المصممة مسبقاً عند ورود عدة غير مستخدمة؟ وبعد كم نبضة ساعة؟

س 43: بافتراض زمن تأخير للانتشار يساوي 100 ns من أي مدخل لأي مخرج للقلاب JK (بإهمال زمن التأخير الناتج عن NAND)، ما أعظم تأخير لهذا العداد؟

التطبيق العملي 5: عداد BCD متزامن (اختياري)

قم بتوصيل الدارة الآتية. استخدم إشارة خالية من الارتداد (وحدة INPUTS_BF) لإشارة الساعة، ووحدة الخرج للمخارج $Q_3Q_2Q_1Q_0$. يمكن استخدام CL و PR لضبط القيمة الابتدائية للعداد بأي قيمة مطلوبة.

اضبط القيمة الابتدائية للعداد على $Q_3Q_2Q_1Q_0 = 0000$.



الشكل 7.11 عداد عشري مرمز اثنائياً BCD غير متزامن

س 44: أكمل الجدول الآتي بتوليد نبضات ساعة (وذلك بالقيام بضغط وإفلات الزر على وحدة INPUTS_BF).

س 45: قم بتلخيص النقاط الهامة التي تعلمتها في هذه التجربة بما لا يزيد على 5 أسطر.



التجربة رقم 20 ذاكرة الوصول العشوائي

Random Access Memory (RAM)

هدف التجربة:

- فهم آلية توصيل وعمل ذاكرة الوصول العشوائي (الدارة المتكاملة 6116).
- معرفة كيفية استخدام أي ذاكرة RAM (وكمثال عنها الدارة المتكاملة 6116) لحفظ واسترجاع المعلومات الرقمية.
- استخدام ذاكرة الـ RAM لتحقيق دارات المنطق التركيبي .
- التعرف على كيفية توسعة الذاكرة (عدد الكلمات ، عرض الكلمة).

العناصر الإلكترونية:

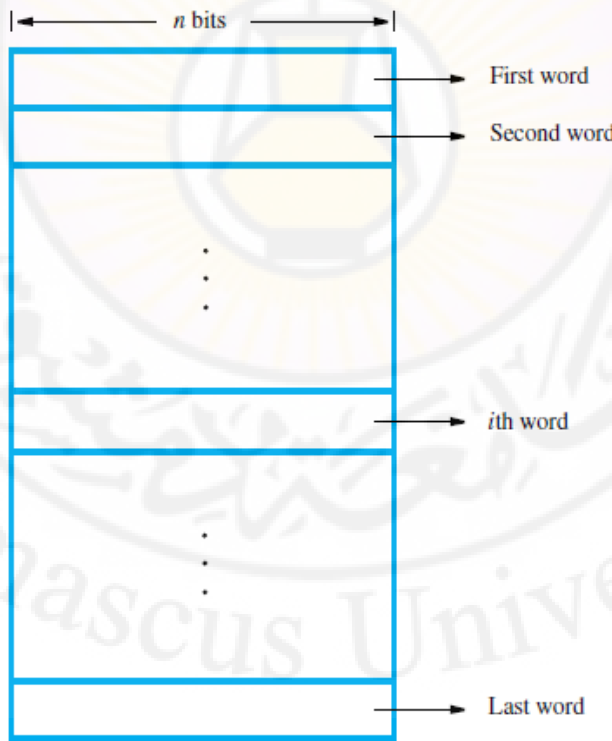
العنصر	البيان	العدد
6116	ذاكرة *2K Byte	2
74LS126	بوابات عازلة غير قابلة للانعكاس	4
LED		16
Micro-Switches	مفاتيح مكروية	2×4 ، 3×8
Power supply	وحدة تغذية مستمرة 5 V	1
أسلاك توصيل من أطوال مختلفة		حسب الحاجة

تمهيد نظري

ذاكرة الوصول العشوائي (Random Access Memory (RAM أو ما يُسمى ذاكرة القراءة والكتابة Read Write Memory R/W وهي ذاكرة متطايرة volatile نظراً لأنها تفقد محتوياتها المخزنة فيها بمجرد انقطاع التيار الكهربائي عنها. يُستخدم هذا النوع من الذاكرات للتخزين المؤقت للمعلومات..

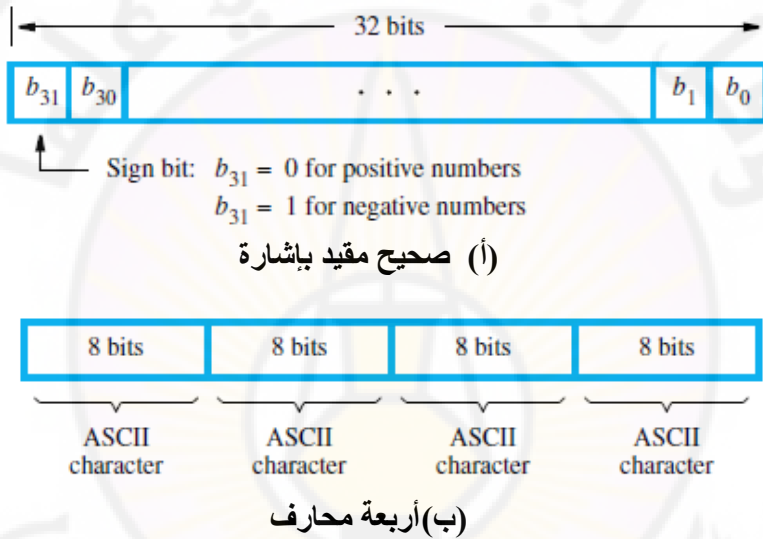
يعود الاسم " ذاكرة النفاذ (الوصول) العشوائي " إلى أن زمن النفاذ إلى أية خلية فيها ثابت ويقدر بالنانو ثانية، ولا يتعلق بمكان وجودها بعكس ذاكرة النفاذ التسلسلي.

تتكون ذاكرة النفاذ من عدة ملايين من خلايا التخزين *storage cells*، يمكن لكل منها تخزين بت واحد (1-bit) من المعلومات، والذي يمكن أن تكون قيمته 0 أو 1. ونادراً ما يتم التعامل مع البتات إفرادياً لأن البت الواحد يمثل كمية صغيرة جداً من المعلومات. النهج المُتَّبَع هو التعامل مع البتات في مجموعات ثابتة الطول، لذلك يتم تنظيم الذاكرة بحيث يمكن تخزين أو استرجاع مجموعة مكونة من n بت بعملية أساسية واحدة. يُشار إلى كل مجموعة مكونة من n بت على أنها كلمة معلومات، ويدعى n طول الكلمة. يمكن تمثيل ذاكرة الحاسوب رسمياً كمجموعة من الكلمات المتتالية المتساوية في الطول، كما هو موضَّح في الشكل 1.2



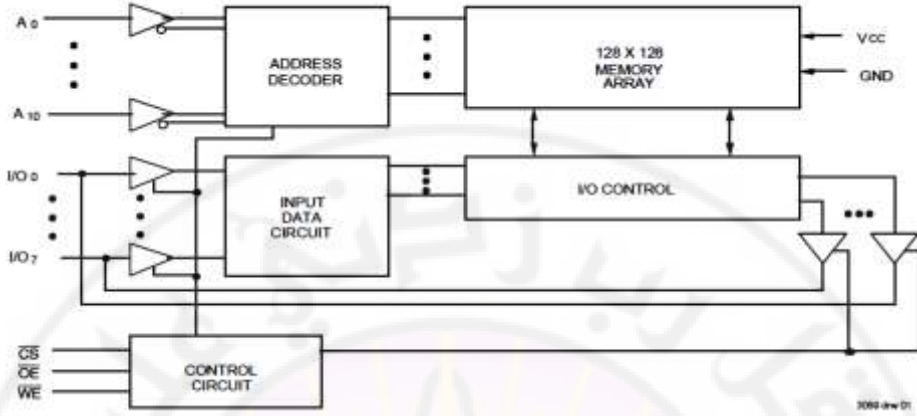
الشكل 1.2 تنظيم الكلمات في الذاكرة

تتراوح أطوال الكلمات في أجهزة الحاسوب الحديثة عادةً من 16 إلى 64-bit. فإذا كان طول الكلمة 32 بتاً، عندها يمكن للكلمة الواحدة تخزين عدد مقيد بإشارة signed number مؤلف من 32 بت، أو أربعة محارف مُرمزة وفق رمّاز ASCII-code، يُشغل كل منها 8 بتات (8-bit)، كما هو موضّح في الشكل 2.2. تسمى الوحدة المؤلفة من 8 بتات "بايت" byte. يمكن أن تحتاج تعليمة الآلة لتمثيلها إلى أكثر من كلمة.



الشكل 2.2

يتطلب النفاذ (الوصول) إلى الذاكرة لتخزين أو استرداد معلومة واحدة من المعلومات "كلمة أو بايت" استخدام اسم أو عنوان مميز لكل موقع. وعادةً تُستخدم الأعداد من 0 إلى $2^k - 1$ ، وهكذا يمكن أن يكون للذاكرة 2^k موقع قابل للعنونة. تُشكل العناوين 2^k فضاء العنونة في الحاسوب. نذكر على سبيل المثال أن فضاء عنوان مؤلف من 24-bit هو (16,777,216) موقع، ويُعبر عنه عادةً بـ 16 M (16 mega)، حيث $2^{20} = 1\text{M}$ وتمثل العدد (1,048,676). ويولد العنوان المؤلف من 32-bit فضاء العنوان (4 G (4giga) $2^{32} = 4\text{G}$. موقعاً، حيث 1G هي 2^{30} . ومن المصطلحات الأخرى المستخدمة الكيلو K، للتعبير عن العدد $2^{10} = 1,024$ و T(tera) للتيرا حيث $2^{40} = 1\text{T}$.



الشكل 3 مخطط صندوقي لدارة الذاكرة 6116 التي اخترناها للتجربة

منافذ الذاكرة:

يوجد في الذاكرة 3 أنواع من المنافذ (الخطوط):

1. خطوط العنوان address lines
2. خطوط المعطيات data lines
3. خطوط التحكم control lines.

خطوط العنوان:

يعتمد عدد خطوط العنوان (k) على سعة الذاكرة (عدد الكلمات M).

$M = 2^k$. اخترنا لتجربتنا الشريحة

(6116)، وفيها $k = 11$ وبالتالي $M =$

$2^{11} = 2K \text{ Byte}$.

خطوط المعطيات:

يعتمد عدد خطوط المعطيات (عدد خطوط الدخل/الخرج I/O) على طول n الكلمة في الشريحة. وفي حالتنا 1-Byte $n = 8$. وتستخدم نفسها مداخل عند الكتابة، ومخارج عند القراءة.

ويرمز إليها في الذاكرة (6116) بـ $I/O_7/I/O_6/I/O_5/I/O_3/I/O_2/I/O_1/I/O_0$

خطوط التحكم:

تحدد نوع العملية المطلوب إنجازها على الذاكرة.

- $\overline{CE}$ (Chip Select) مدخل اختيار الذاكرة، فعال عند (0).
 - $\overline{WE}$ (Write Enable) مدخل تأهيل الذاكرة، لتمكين الكتابة في الذاكرة، فعال عند (0).
 - $\overline{OE}$ (Output Enable) مدخل لتمكين القراءة من الذاكرة، فعال عند (0).
- يوضح جدول الحقيقة الآتي رمّازات ضبط مداخل التحكم لاختيار الذاكرة للقراءة منها أو الكتابة فيها.

Mode	$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	I/O
Standby	H	X	X	High-Z
Read	L	L	H	DATA _{OUT}
Read	L	H	H	High-Z
Write	L	X	L	DATA _{IN}

3099 tbi 02

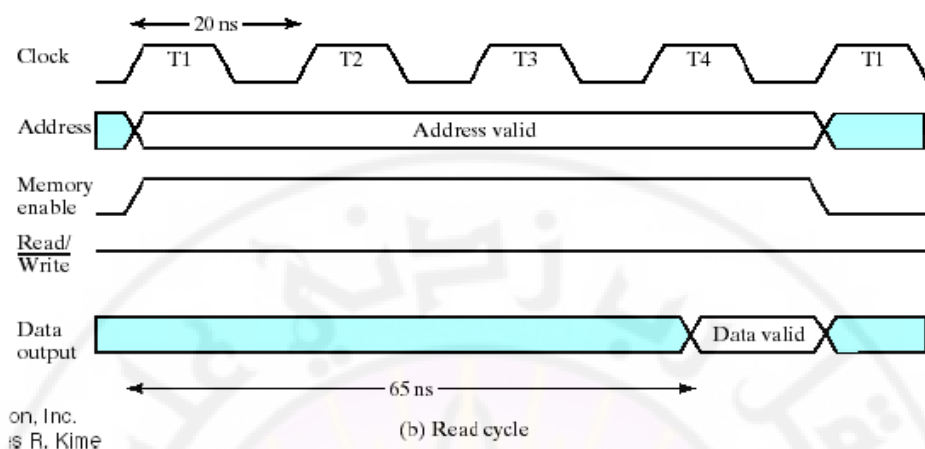
NOTE:

1. H = V_{IH} , L = V_{IL} , X = Don't Care.

دورة القراءة Read Cycle

تُقرأ المعطيات المُخزنة في الذاكرة وفق التسلسل الآتي:

1. تمكين شريحة الذاكرة عن طريق ضبط $\overline{CE} = 0$.
2. وضع عنوان الكلمة المطلوب قراءتها من الذاكرة على خطوط العنوان (Address Input).
3. تنفيذ عملية القراءة بجعل $\overline{OE} = 0$.
4. تظهر محتويات الكلمة المقروءة المحددة بالعنوان على خطوط خرج المعطيات (DataOutput).

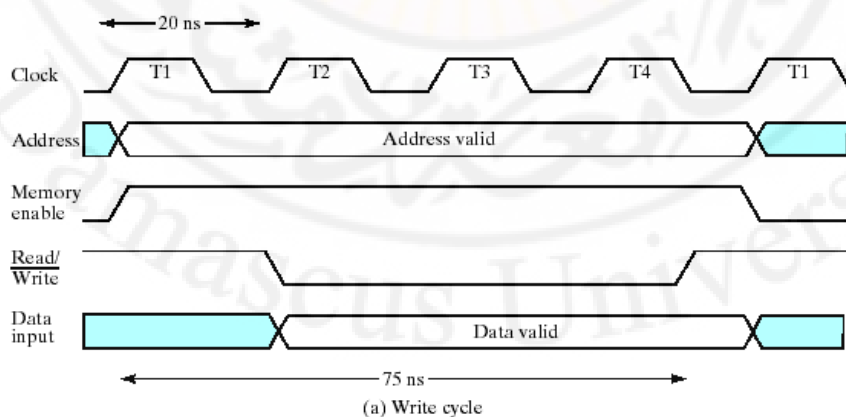


الشكل 4 المخطط الزمني لدورة القراءة من الذاكرة

دورة الكتابة Write Cycle

تُكتب المعطيات في الذاكرة وفق التسلسل الآتي:

- 1- تمكين شريحة الذاكرة عن طريق ضبط $\overline{CE} = 0$.
- 2- وضع عنوان الكلمة المطلوب كتابة (تخزين) المعطيات فيها على مداخل العنوان (Address Input).
- 3- وضع المعطيات المطلوب تخزينها في موقع الذاكرة المحدد بالعنوان على مداخل المعطيات (Data Input).
- 4- تنفيذ عملية الكتابة بجعل $\overline{WE} = 0$.



الشكل 5 المخطط الزمني لدورة الكتابة في الذاكرة



تنفيذ التجربة:

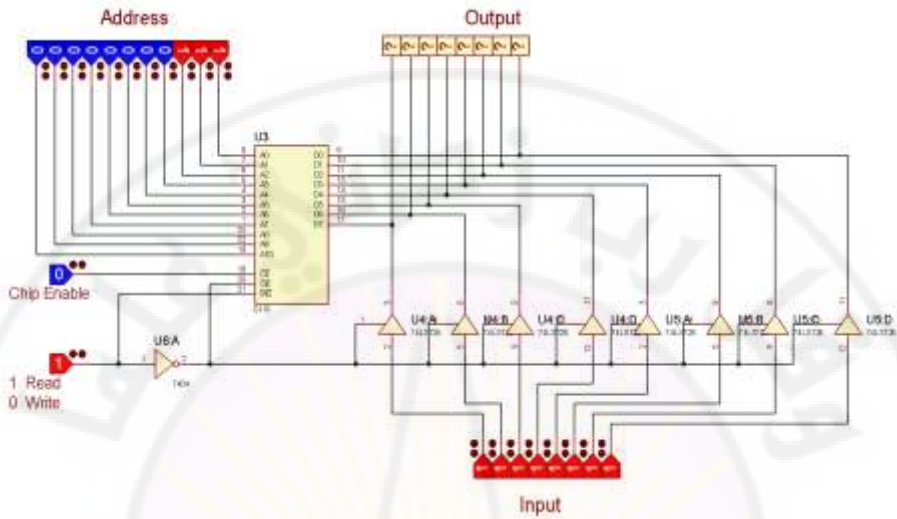
سنقوم باستخدام ذاكرة RAM (النوع 6116 ذات السعة $2K \times$ 8) للقيام بالإجراءات الآتية:

- 1- تخزين معطيات في الذاكرة بظول كلمة 1Byte بقيمة اثنائية تساوي مربع قيمة العنوان، ثم قراءة تلك القيم المُخزنة.
 - 2- تنفيذ دارة تركيبية لتحويل الرمز الاثنائي Binary إلى رمز غراي Gray الموافق وبالعكس، وذلك بتخزين قيم غراي الموافقة للقيم الاثنائية. وفي تجربتنا سنقوم بتخزين قيمة غراي الموافقة للقيمة الاثنائية للعناوين مواقع الذاكرة.
 - 3- الحصول على ذاكرة سعة $4K \times 8$ وذلك من دارتين من (6116).
 - 4- الحصول على ذاكرة سعة $2K \times 16$ وذلك من دارتين من (6116).
 - 5- الحصول على ذاكرة سعة $4K \times 16$ وذلك من أربع دارات من (6116).
- المرحلة الأولى: المحاكاة** باستخدام أحد برامج المحاكاة Multisim أو Proteus.
- 1- نفذ المخطط المنطقي للذاكرة 6116 أو أي نوع من ذواكر الـ RAM التي تختارها على ورقة العمل لبرنامج المحاكاة للتعامل مع الذاكرة (القراءة والكتابة).
 - 2- نفذ تقنية الحصول على (محول من ثنائي إلى غراي وبالعكس)، بتخزين معطيات مناسبة في الذاكرة، وقم بقراءتها كفحص لعملك.
 - 3- استخدم دارتي ذاكرة $(2^K \times 8)$ ، وبوابة عاكس وقم بالتوصيل المناسب للحصول على ضعف السعة $(2^{K+1} \times 8)$.
 - 4- استخدم دارتي ذاكرة $(2^K \times 8)$ ، ودارة 74LS126 إضافية، وقم بالتوصيل المناسب للحصول على ذاكرة بعرض كلمة 16bit أي $(2^K \times 16)$.
 - 5- استخدم أربعة دارات ذاكرة $(2^K \times 8)$ ، ودارة 74LS126 إضافية، وبوابة عاكس، وقم بالتوصيل المناسب للحصول على ذاكرة $(2^{K+1} \times 16)$.

المرحلة الثانية: التنفيذ العملي

5. قم بتوصيل دارة الذاكرة على لوحة الاختبار.
6. تأكد من صحة وسلامة التوصيل قبل تغذية الدارة بالقدرة.

7. نفذ الدارات المطلوبة.



الشكل 6 المخطط المنطقي لتوصيل دارة ذاكرة 6116

المهتزازات Oscillators توليد النبضات Pulse Generation التجربة رقم 21

4. هدف التجربة:

- التعرف على بعض طرائق توليد النبضات.
توليد النبضات بواسطة البوابات المنطقية (عواكس وبوابات).
• اعتماداً على التأخير الزمني لاستجابة البوابات المنطقية (مجموعة العواكس موصولة على التسلسل وبوابة واحدة من البوابات المنطقية المختلفة (AND OR, NOR, NAND).
• اعتماداً على ثابت زمني RC لتحديد عرض النبضة.

العناصر الإلكترونية:

العدد	البيان	العنصر
1	دائرة متكاملة أربع بوابات NAND بمدخلين	74LS00
1	دائرة متكاملة أربع بوابات NOR بمدخلين	74LS02
1	دائرة متكاملة ستة عواكس INVERTER بمدخل ومخرج	74LS04
1	دائرة متكاملة بوابتين NAND بأربعة مداخل قاذح شميت	
1	دائرة متكاملة أربع بوابات OR بمدخلين ومخرج وحيد	74LS32
1	دائرة متكاملة أربع بوابات XOR بمدخلين ومخرج وحيد	74LS86
حسب الجدول	قيم مختلفة عددها وقيمها محدد في الجداول في نص التجربة	مقاومات ومكثفات
2	مفتاح Push-bottom (مفتاح ذو وضعية مستقرة واحدة).	Switch
1	وحدة تغذية مستمرة 5 V	Power supply
حسب الحاجة	أسلاك توصيل.	

5. تمهيد نظري:

Pulsed Circuits الدارات النبضية

تُعرّف الدارة النبضية بأنها كل دارة قادرة على توليد أو نقل النبضات. وهذه الدارات مفيدة جداً في عمليات التوقيت وفي عمليات التحكم بنقل المعطيات ضمن الشبكات الرقمية. يمكن تصنيف هذه الدارات في صنفين رئيسيين:

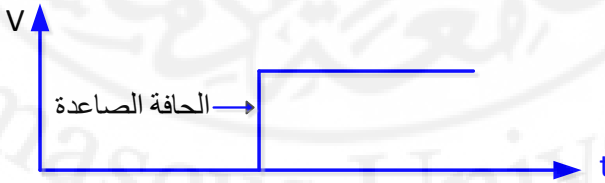
1- الدارات التي تولد نبضة وحيدة ذات عرض محدد نتيجة قدها (تطبيق) إشارة على دخلها.

2- الدارات التي تولد سلسلة من النبضات الدورية والتي يُطلق عليها اسم المهتزات Oscillators.

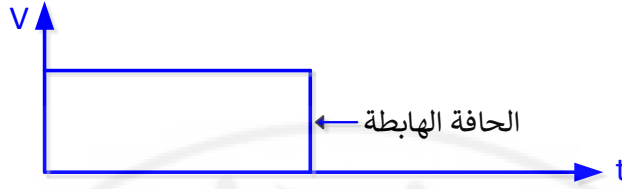
يجب تحديد عرض النبضة مسبقاً التي سيتم توليدها في دارات الصنف الأول، وتحديد حافة نبضة الدخل التي يحدث عندها قده الدارة (لكل نبضة دخل حافتان، حافة صاعدة أو Leading Edge (حافة موجبة Positive Edge)، يُطلق الاسم موجبة على عملية الانتقال من المستوى المنطقي 0 إلى المستوى المنطقي 1 كما هو موضح في الشكل (1)، وحافة هابطة Falling Edge أو (حافة سالبة Negative Edge) عند الانتقال من المستوى المنطقي 1 إلى المستوى المنطقي 0، كما هو مبين في الشكل (2).

يمكن توليد نبضة وحيدة عند حدوث إحدى الحافتين (الحافة الصاعدة أو الحافة الهابطة) بطريقتين مختلفتين:

- بواسطة وحيد الاستقرار MONOSTABLE.
- بواسطة البوابات المنطقية.



الشكل (1)



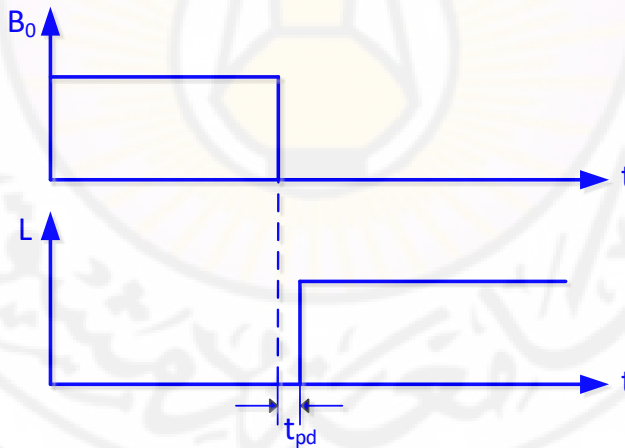
الشكل (2)

سوف تقتصر تجربتنا على الطريقة الثانية في توليد النبضة.

الجزء الأول من التجربة الأولى:

توليد النبضات بواسطة البوابات المنطقية (عواكس وبوابات منطقية):

يمكن توليد نبضة متزامنة عند الحافة الصاعدة أو الهابطة لإشارة منطقية عن طريق توصيل مجموعة من البوابات المنطقية بطريقة مناسبة كما هو موضح في الشكل.



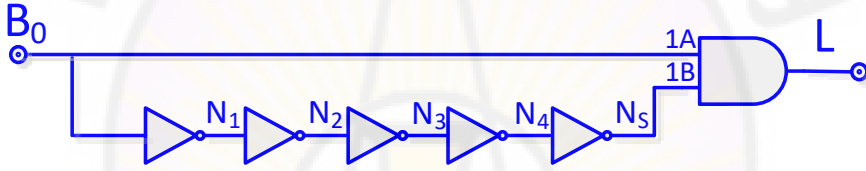
الشكل (3)

تعتمد هذه الطريقة على التأخير الزمني لاستجابة البوابات. ونقصد بالتأخير الزمني أو زمن الانتشار، الفترة الزمنية التي تفصل بين التغيير الذي يحدث في الدخل (الحافة الصاعدة أو الهابطة لنبضة الدخل) والتغيير الذي يحصل في خرج البوابة نتيجة التغيير الذي حصل على دخلها. تتراوح قيمة زمن الانتشار بين

10ns إلى 30ns، وهذا يعتمد على مدى تعقيد البوابة وعلى التقنية المستخدمة في تحقيقها. يُرمز لزمن الانتشار بـ "tpd"، فمثلاً في بوابة العاكس علينا الانتظار فترة زمنية قصيرة جداً بعد تطبيق مستوى منطقي على الدخل لنحصل على تغير في الخرج. يوضّح المخطط الزمني المبين في الشكل (3) هذه العملية.

زمن التأخير tpd لبوابة واحدة صغير جداً ومن الصعب قياسه أو ملاحظته عملياً لأنه من مرتبة 10ns، لكن إذا وصلنا عدة عواكس على التوالي يكون زمن التأخير الكلي الذي نحصل عليه هو مجموع أزمان التأخير للعواكس. فإذا كان tpd هو زمن التأخير للعاكس الواحد، وإذا كان n عدد العواكس الموصولة على التسلسل يكون زمن التأخير الكلي $T = tpd \times n$.

يمكن ملاحظة زمن التأخير الكلي بواسطة الدارة المنطقية المبينة في الشكل (4).

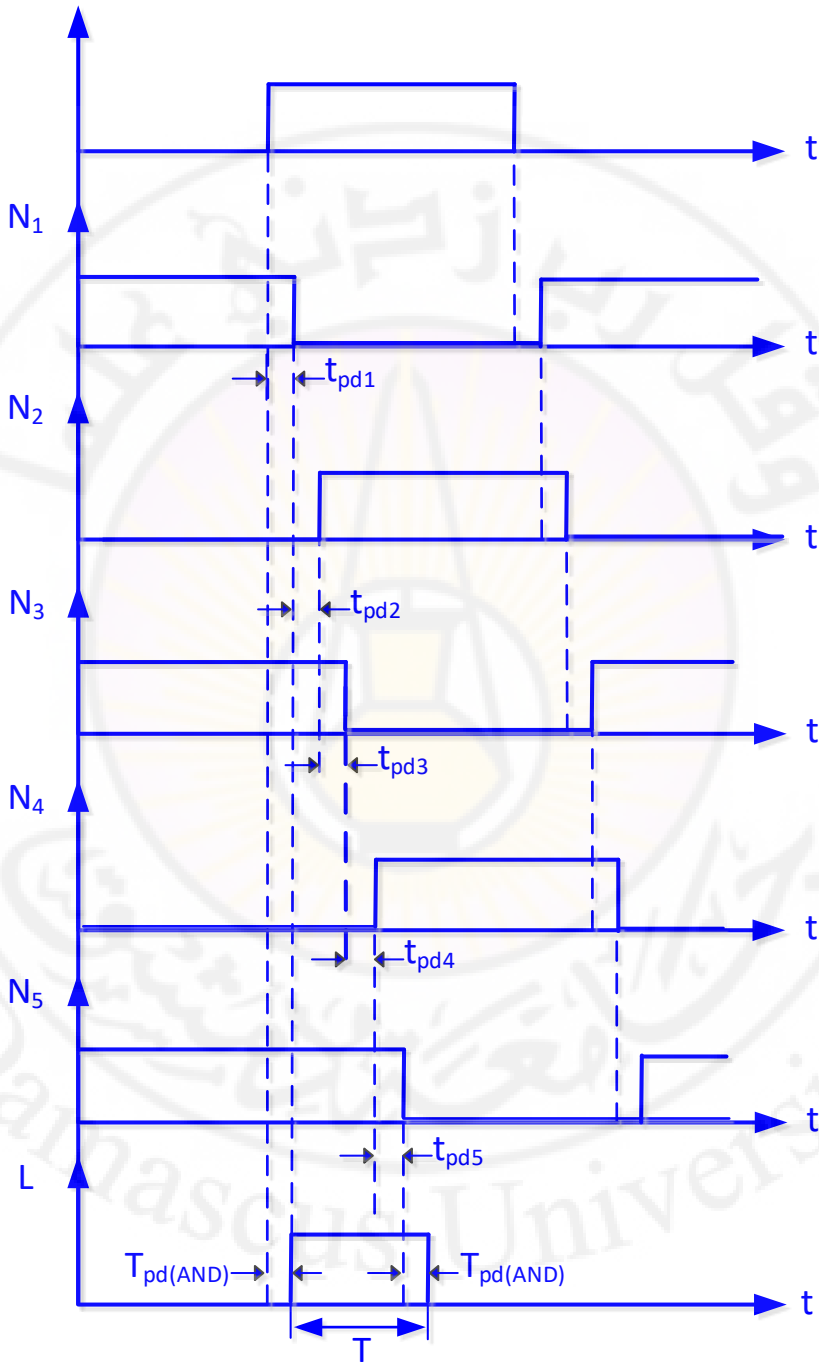


الشكل (4) توليد نبضة باستخدام بوابة وعواكس

اعتماداً على هذه الدارة يمكن كتابة الدالة المنطقية في الخرج

$$L = (1A). (1B) = B0. \overline{B0}$$

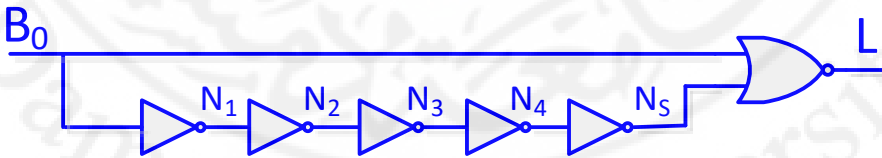
واضح من الدارة ومن علاقتها المنطقية أنّ الخرج $L = 0$ ما دام الدخل $B0 = 0$. يجب أن يكون عدد العواكس المستخدمة الموصلة على التوالي في الدارة فردياً، وبالتالي عندما يكون الدخل $B0 = 0$ في الحالة المستقرة، يكون خرج العاكس $N5 = 1$. يبين الشكل (5) حالة مخارج العواكس وحالة مخرج بوابة الـ AND في الحالة المستقرة (قبل وصول الحافة الصاعدة لإشارة الدخل)، إذا انتقل الدخل $B0$ من المستوى المنطقي 0 إلى المستوى المنطقي 1 وبقي كذلك لفترة أكبر من مجموع أزمان التأخير لجميع عناصر الدارة ومن ثم عاد من المستوى المنطقي 1 إلى المستوى المنطقي 0 وبقي كذلك لفترة زمنية أكبر من مجموع أزمان التأخير لجميع عناصر الدارة ثم عاد إلى المستوى المنطقي 0 كما هو موضح في الشكل (5).



الشكل (5) المخطط الزمني لإشارة الدخل وإشارات خرج العواكس والدارة

بالرجوع إلى الشكل (4) نلاحظ أن $1A = B0$ أي أن إشارة الدخل تطبق في نفس اللحظة على كل من مدخل العاكس الأول وعلى المدخل $1A$ لبوابة الـ AND لأنهما موصولان ببعضهما بعضاً وصلاً مباشراً، وبذلك يصبح $1A = 1$ ، وبما أن $N5 = 1B = 1$ فإن خرج البوابة AND ينتقل من المستوى المنطقي 0 إلى المستوى المنطقي 1 بعد انقضاء زمن الانتشار (زمن التأخير) الخاص بهذه البوابة، ولنعتبر أنه يساوي هو الآخر tpd للعاكس. وعلى اعتبار أن التغير يحصل على خرج كل عاكس من العواكس بعد تأخير زمني قدره tpd بعد حدوث التغير على مدخل ذلك العاكس فإن التغير في مخرج العاكس الخامس $N5$ الموصول إلى المدخل $1B$ لبوابة الـ AND يحصل بعد تأخير زمني قدره $5 tpd$ ، بعد انقضاء هذه الفترة تصبح حالة مداخل البوابة AND على النحو التالي: $1B = 1A = 1$ (لقد فرضنا منذ البداية أن المدخل $1A = B0$ يبقى في مستواه المنطقي 1 لفترة أطول بكثير من مجموع أزمان التأخير لجميع عناصر الدارة). إلا أن بوابة الـ AND لا تستجيب هي الأخرى حتى يعود خرج هذه البوابة إلى المستوى المنطقي 0 ($L = 0$).

يبين الشكل (5) المخطط الزمني لتغيرات إشارة الدخل وإشارات الخرج وتدل النبضة T التي تظهر على الخرج L على زمن التأخير الكلي في هذه الدارة. باستبدال بوابة الـ AND في دارة الشكل (4) ببوابة NOR نحصل على دارة الشكل (6) ويمكن بواسطتها الحصول على نبضة موجبة T في خرج الدارة تبدأ عند الحافة الهابطة لنبضة الدخل أما فترة دوام هذه النبضة فتساوي زمن التأخير الكلي في الدارة.

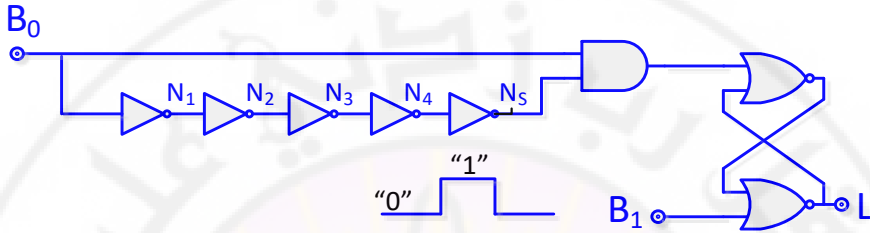


الشكل (6)

تنفيذ التجربة:

أصبح معروفاً لدينا أن فترة دوام النبضة الموجبة T التي تظهر على الخرج L في دارة الشكل (4) أو في دارة الشكل (6) تساوي زمن التأخير الكلي للدارة $T = n$

tpd ×، لكن يبقى عرض هذه النبضة صغيراً جداً ومن الصعب جداً ملاحظته عن طريق إضاءة ثنائي ضوئي LED موصول إلى الخرج L الذي تظهر عليه هذه النبضة. لكن وللتأكد من ظهور مثل هذه النبضة على المخرج L لا بد من استخدام دائرة مساعدة (Latch). وهذا موضح في الشكل (8).



الدائرة المساعدة (ماسك S_R)

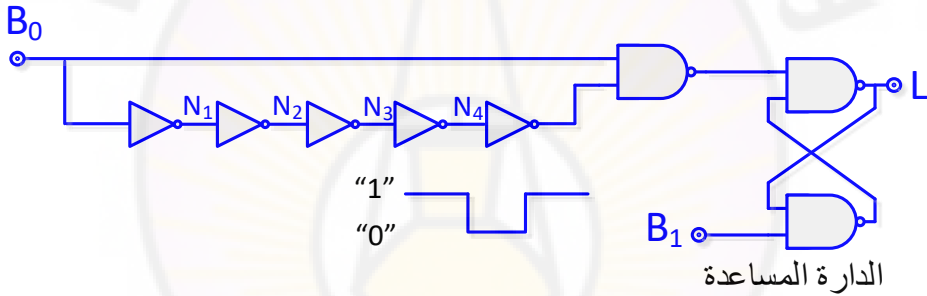
التنفيذ العملي:

- 1- قم بتوصيل المخطط المنطقي للدائرة المنطقية المبينة في الشكل (8) على لوحة الاختبار.
- 2- تأكد من صحة وسلامة التوصيل قبل تغذيتها بالطاقة الكهربائية.
- 3- اضبط خرج الدارة L على القيمة المنطقية 0 بتطبيق نبضة موجبة بوساطة المفتاح B1 الموصول إلى مدخل الماسك Latch (الدائرة المساعدة) B1. الكشف عن ظهور نبضة موجبة على الخرج L.
- بدل وضعية المفتاح B0 من المستوى المنطقي 0 إلى المستوى المنطقي 1 (حافة صاعدة)، عندها يجب أن يضيء الثنائي الضوئي LED المربوط على المخرج L فوراً. يبقى هذا الثنائي مضاءً إلى أن يتم إرجاع الخرج L إلى القيمة المنطقية 0 عن طريق تطبيق نبضة موجبة أخرى بوساطة المفتاح B1.
- 4- استبدل بوابة الـ AND في دارة الشكل (8) ببوابة NOR ، ثم أعد تنفيذ الخطوات 2 و 3 كما في السابق. بين متى يضاء الثنائي: عند الحافة الصاعدة ؟ أم عند الحافة الهابطة ؟
- 5- استبدل بوابة الـ AND في دارة الشكل (4) ببوابة NAND وارسم شكل إشارة الخرج L التي تحصل عليها من الشكل (9).
- 6- استبدل بوابة الـ AND في دارة الشكل (4) ببوابة OR وارسم شكل إشارة الخرج L التي تحصل عليها من الشكل (10).

وكما في الدارات السابقة لا يمكن إظهار نبضة الخرج عن طريق إضاءة أو إطفاء ثنائي ضوئي بوصله مباشرة إلى خرج الدارة الأساسية التي تولد النبضة T. يمكن لهذه النبضة أن تكون موجبة كما هو الحال في دارات الأشكال 4 و 6 ، ويمكن أن تكون سالبة كما هو الحال في دارات الأشكال المعدلة التي نحصل عليها بالخطوات (6 و 9).

ونظراً لقصر فترة دوام النبضة (صغر عرضها)، لذلك، يجب استخدام دارة مساعدة Latch تمكّننا من الكشف عن ظهور مثل هذه النبضة على الخرج L في الدارة الأساسية.

يبين الشكل (11) المخطط المنطقي الكامل للدارة الواجب تحقيقها.



الشكل (11)

- 7- نفذ الدارة المنطقية المبينة في الشكل (11).
- 8- تأكد من صحة وسلامة توصيل الدارة قبل تغذيتها بالطاقة الكهربائية.
- 9- اضبط خرج الدارة L على القيمة المنطقية 0 بتطبيق نبضة سالبة تامة بواسطة المفتاح B1 الموصول إلى مدخل الدارة المساعدة B1.

الكشف عن ظهور نبضة سالبة على خرج بوابة الـ NAND .

بدّل وضعية المفتاح B0 من المستوى المنطقي 0 إلى المستوى المنطقي 1 (حافة صاعدة) ولاحظ ظهور نبضة سالبة على خرج بوابة الـ NAND وإضاءة الثنائي الضوئي LED المربوط على المخرج L فوراً. يبقى الثنائي مضاءً إلى أن يتم إرجاع الخرج L إلى القيمة المنطقية 0 بتطبيق نبضة سالبة أخرى بواسطة المفتاح B1 على مدخل الدارة المساعدة.

10- استبدال بوابة الـ NAND في الدارة الأساسية في الشكل (11) ببوابة OR، ثم أعد تنفيذ الخطوة 8 كما في السابق (في الوقت الذي يكون فيه المفتاح B0 = 0).

11- بعد أن أصبحت الدارة جاهزة للكشف عن ظهور نبضة سالبة على خرج بوابة الـ OR العائدة للدارة الأساسية، بذّل وضعيّة المفتاح B0 من المستوى المنطقي 0 إلى المستوى المنطقي 1 (حافة صاعدة)، هل يضاء الثنائي ؟ ☐ نعم ☐ لا

12- اعد المفتاح B0 إلى المستوى المنطقي 0 (حافة هابطة) ما الذي يحدث في الخرج؟

13- ماذا تستنتج ؟ هل تحصل النبضة السالبة في خرج الدارة الأساسية عند الحافة الصاعدة ؟ أم عند الحافة الهابطة ؟

ملاحظة:

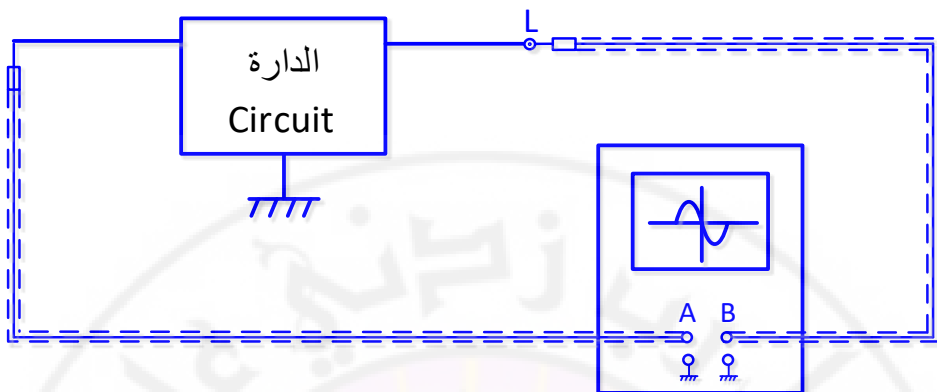
يمكن إظهار النبضة T باستخدام راسم الإشارة من دون الحاجة إلى الدارة المساعدة.

لإجراء هذه العملية استخدم راسم إشارة oscilloscope بقناتين A و B وقم بإجراء التوصيلات كما هو موضح في المخطط الصندوقي المبين في الشكل (12).

ونظراً لأن عرض نبضة الخرج صغير (بحدود 50 ns) يجب اختيار أصغر تدريج في القاعدة الزمنية.

بعد إظهار النبضة على شاشة راسم الإشارة قم بقياس عرضها.

$$T = \dots\dots\dots$$

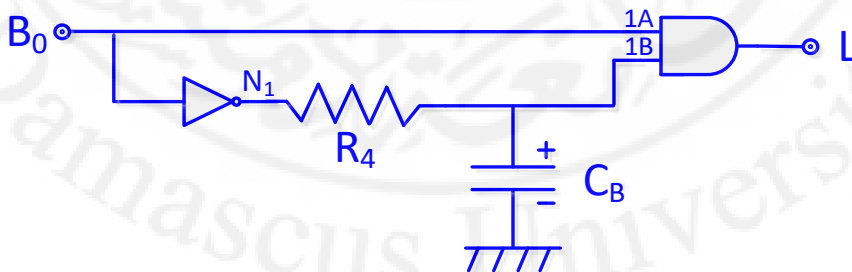


الشكل (12)

الجزء الثاني من التجربة الأولى

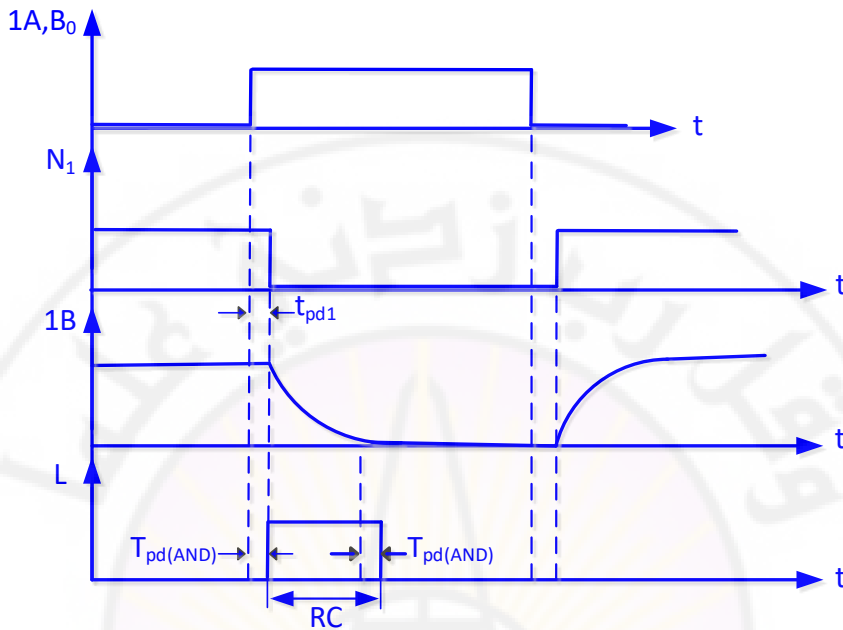
التحكم بعرض النبضة باستخدام مقاومة ومكثف

يعتمد عرض النبضة المولدة في الخرج L في التجربة السابقة بشكل أساسي على زمن الانتشار t_{pd} للعكس الواحد وعلى عدد العواكس الموصلة على التوالي (يجب استخدام عدد كبير من العواكس). طبعي أن هذه الطريقة غير عملية، لذلك لابد من التفكير بطريقة أبسط يمكننا من التحكم بعرض النبضة. يبين الشكل (13) مخططاً منطقياً يمكننا من تحقيق المطلوب، استخدمنا فيه مقاومة ومكثفاً يمكن بواسطتهما التحكم بمقدار التأخير الزمني.



الشكل (13)

عندما يكون الدخل $B0 = 0$ يكون الخرج $L = 0$ ، في حين يكون خرج العاكس $N1 = 1$ ، وبالتالي يكون المكثف C مشحوناً تماماً أي $1B = 1$ ، والآن إذا تغير الدخل $B0$ إلى المستوى المنطقي 1 يصبح المدخل $1A = 1$ نتيجة الوصل المباشر بين $B0$ و $1A$. ونتيجة تغيير قيمة الدخل $B0$ تغير البوابة AND حالة خرجها L فيصبح $L = 1$ بعد انقضاء زمن الانتشار tpd لهذه البوابة، يُطبق المستوى المنطقي 1 على مدخل العاكس في الوقت ذاته الذي يُطبق فيه على المدخل $1A$ لبوابة الـ AND ، وبالتالي، ينتقل خرج العاكس $N1$ إلى المستوى المنطقي 0 بعد انقضاء زمن الانتشار tpd_1 للعاكس، ويبدأ المكثف C بتفريغ شحنته عبر المقاومة R ، وكما هو معروف يتناقص الجهد على طرفي المكثف C إلى المستوى المنطقي 0، عندها يعود الخرج L إلى المستوى المنطقي $L = 0$ بعد انقضاء زمن الانتشار tpd_1 لبوابة الـ AND ، وبهذا الشكل نحصل على نبضة موجبة يرتبط عرضها T في الخرج L بشكل مباشر بقيمة الثابت الزمني RC . لا يتأثر الخرج L عند عودة المدخل $B0$ إلى المستوى المنطقي 0 إنما يغير خرج العاكس $N1$ حالته فينتقل إلى المستوى $N1 = 1$ بعد زمن قدره tpd ويبدأ المكثف C بالشحن عبر المقاومة R إلى أن يصبح الجهد على طرفيه مساوياً 1، أي يصبح $1B = 1$ إلا أن هذا الوضع لا يغير من حالة خرج الدارة ويبقى الخرج $L = 0$ طالما أن $B0 = 0$. يبين الشكل (14) المخطط الزمني لدارة الشكل (13).



الشكل (14)

تنفيذ التجربة:

المرحلة الأولى: المحاكاة باستخدام أحد برامج المحاكاة Multisim أو Proteus.

الجزء الأول من التجربة:

1. نفذ المخططات المنطقية الموضحة في الأشكال (4, 6, 8, 11) على صفحة عمل البرنامج المستخدم.
2. تأكد من صحة التوصيل.
3. تأكد من أن كلا من الدارتين يحقق العمل الوظيفي الموصوف اعلاه لكل منهما.
4. استبدل بوابة الـ AND في دائرة الشكل 13 بالبوابات التالية :
 - a. بوابة NOR.
 - b. بوابة NAND.
 - c. بوابة OR.
5. ارسم في كل مرة المخطط الزمني الموافق.
6. كرر الخطوات السابقة من أجل كل بوابة.

الجزء الثاني من التجربة باستخدام ثابت زمني لتحديد عرض النبضة:

1. نفذ المخطط المنطقي المبين في الشكل (13) على صفحة عمل البرنامج.
2. كرر الخطوات 2 و 3.
3. دون نتائج القياس لكل دائرة من الدارتين وقارن القيم المقاسة بالقيم المحسوبة حسابياً في الجدول التالي.
4. احسب الثابت الزمني.
5. قس عرض النبضة T على الخرج L وقارن القيمة المقاسة بالقيمة المسحوبة $T = \dots\dots$.

التنفيذ العملي:

1. نفذ المخططات المنطقية للجزء الأول والثاني التي سبق محاكاتها على لوحة الاختبار.
2. تأكد من صحة وسلامة التوصيل قبل تغذية الدارة بالطاقة.
3. تأكد من أن الدارة تحقق الوظيفة المناطة بها.
4. قس عرض النبضة ودون نتائج القياس من أجل قيم مختلفة للثابت الزمني RC بتغيير قيمة R أو C.
5. قارن النتائج المقاسة بالنتائج المحسوبة حسابياً.
6. دَوّن استنتاجاتك وملاحظاتك.
7. علل سبب وجود فرق بين القيم المقاسة والقيم المحسوبة حسابياً.



التجربة رقم 22

توليد النبضات Pulse Generation

وحيد Monostable وعديم الاستقرار Astable

1. هدف التجربة:

- فهم مبدأ عمل كل من وحيد الاستقرار Monostable وعديم الاستقرار Astable.
- تنفيذ واختبار عمل كل من وحيد وعديم الاستقرار.

العناصر الإلكترونية:

العدد	البيان	العنصر
1	وحيد استقرار غير قابل لإعادة القذح nonretreggerable	74LS121
1	وحيد استقرار قابل لإعادة القذح Retreggerable	74LS122
1	1 K Ω , 2.2 K Ω , 3.3 K Ω , 10 K Ω , 39 K Ω 47 K Ω ,	مقاومات 1/4 Watt
1	1 μ F, 3.3 μ F, 10 μ F , 68 μ F	مكثفات
حسب الحاجة	مفاتيح عادية أو مفاتيح مكروية	Switches
1	وحدة تغذية مستمرة 5 V	Power supply
حسب الحاجة	أسلاك توصيل.	

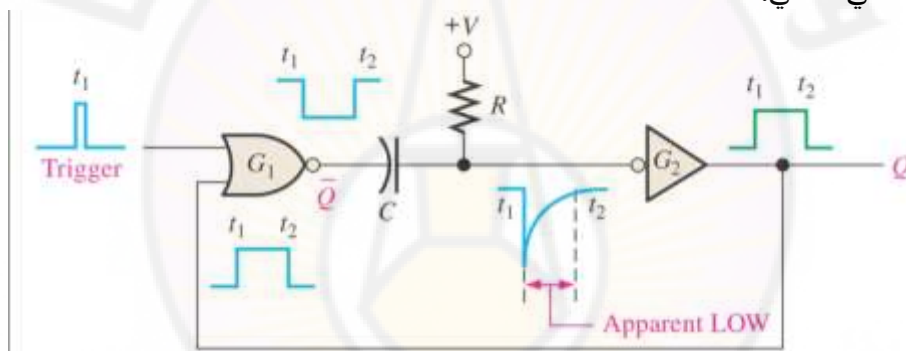
2. تمهيد نظري:

وحيد الاستقرار Monostable أو وحيد الطلقة One-Shots

يُطلق الاسم وحيد الطلقة على متعدد الاهتزاز وحيد الاستقرار. في وضع الراحة يكون وحيد الاستقرار مستقرًا في حالته المستقرة، وينتقل عند قذحه بنبضة خارجية إلى حالة غير مستقرة لفترة محددة من الزمن تُحدَّد مسبقاً، يعود في نهايتها

ذاتياً إلى حالته المستقرة. يُحدّد الزمن الذي يكون فيه وحيد الطلقة في حالته غير المستقرة عرض نبضة الخرج.

يبين الشكل (44.7) الدارة الأساسية لوحيد الطلقة. تتركب هذه الدارة من بوابة NOR وعاكس، ينتقل خرج هذه البوابة إلى المستوى المنخفض عند تطبيق نبضة على مدخل القدح، ينتقل التغير من المستوى المنطقي العالي 1 إلى المستوى المنخفض 1 إلى مدخل العاكس G_2 عبر مكثف الربط C . يؤدي ظهور المستوى المنخفض على مدخل العاكس إلى نقل خرجه الموصول إلى المدخل الثاني لبوابة NOR إلى المستوى العالي، ويحافظ خرجه على مستواه المنخفض، وهكذا تكون نبضة القدح الموجبة قد تسببت في انتقال خرج وحيد الطلقة إلى المستوى المنطقي العالي.

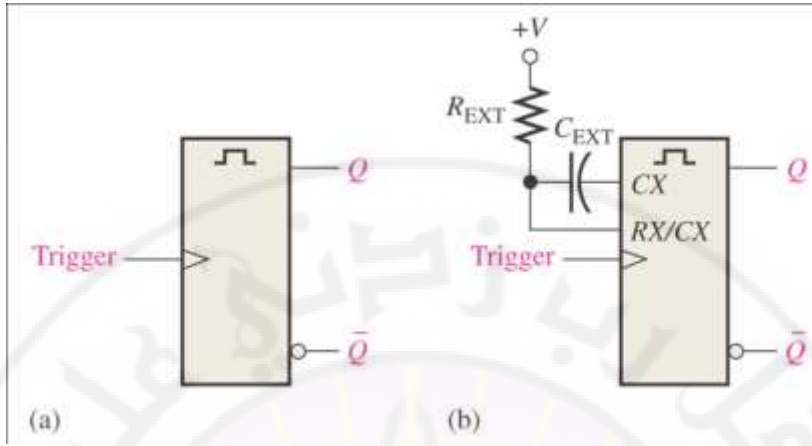


الشكل 44.7 وحيد الاستقرار (الطلقة)

تبدأ عملية شحن المكثف C عبر المقاومة R باتجاه المستوى العالي للجهد فوراً، ويُحدّد ثابت الزمن RC معدل شحن المكثف. تستمر عملية الشحن إلى أن يبلغ مستوى شحن المكثف الحد الذي يفهمه مدخل العاكس مستوىً عالياً، عندها فقط يعود خرج العاكس إلى المستوى المنخفض.

بالنتيجة، ينتقل خرج العاكس إلى المستوى المنطقي العالي استجابةً إلى تطبيق نبضة قدح على مدخل القدح في دائرة وحيد الطلقة، ويبقى خرج العاكس في المستوى العالي لمدة يحددها الثابت الزمني RC ، يعود بعدها خرج العاكس إلى المستوى المنخفض. وبالتالي، تُنتج نبضة القدح الوحيدة الضيقة، نبضة وحيدة في الخرج تعتمد فترة دوامها على قيمة الثابت الزمني RC .

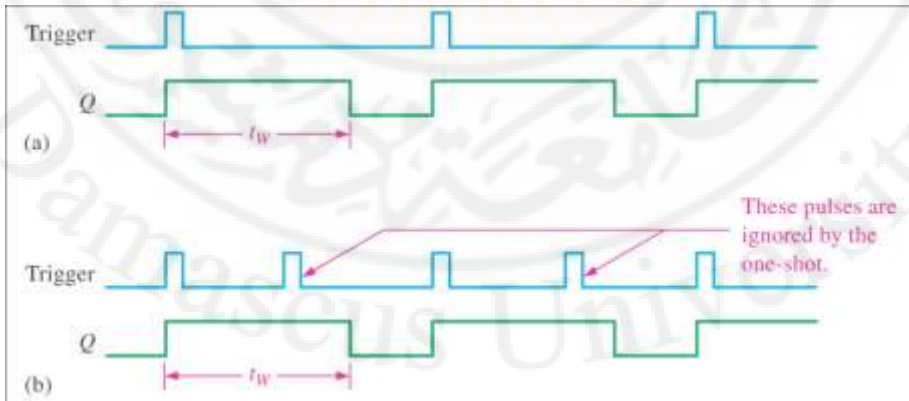
يبين الشكل (45.7 أ) الرمز الرسومي لدائرة وحيد الطلقة، ويبين الشكل (45.7 ب) الرمز ذاته مع مقاومة ومكثف خارجيين.



الشكل 45.7 وحيد الاستقرار (وحيد الطلقة) غير القابل لإعادة القدح
(أ) الرمز المنطقي الرسومي (ب) المخطط المنطقي

وحيد الاستقرار غير القابل إعادة القدح Nonretriggerable one-shot

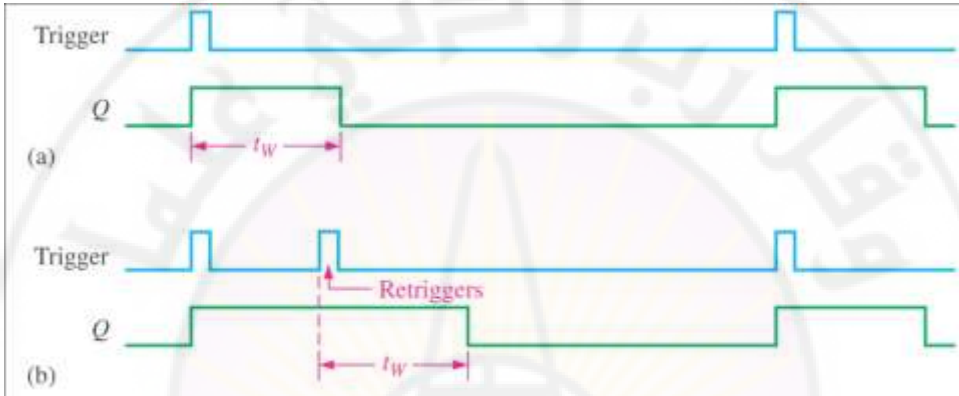
لا يستجيب وحيد الاستقرار غير القابل لإعادة القدح إلى أي نبضة تظهر على مدخل القدح قبل عودة خرجة إلى حالته المستقرة. يوضح الشكل (46.7) استجابة وحيد استقرار يقدح بنبضات تقع خارج وداخل مجال عرض النبضة التي يولدها. لاحظ عدم تأثير نبضات القدح في الحالة التي تقع فيها هذه النبضات داخل مجال عرض النبضات المولدة.



الشكل 46.7 وحيد الاستقرار غير القابل إعادة القدح

وحيد الاستقرار القابل إعادة القذح Retriggerable one-shot

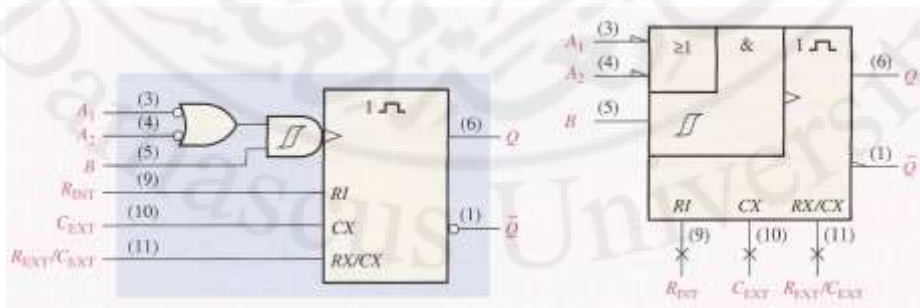
يمكن إعادة قذح هذا النوع قبل انتهاء زمن نبضة الخرج، وهكذا يُمدّد زمن نبضة الخرج فترة زمنية إضافية بدءاً من لحظة القذح الجديدة كما يوضحها الشكل (47.7).



الشكل 47.7 وحيد الاستقرار القابل إعادة القذح

وحيد الاستقرار غير القابل إعادة القذح 74121 Nonretriggerable one-shot

تعد الدارة المتكاملة 74121 مثالاً لدارة وحيد استقرار مهيأة لربط مقاومة R ومكثفة C خارجيتين كما هو مبين في الشكل (48.7)، تُشكّل المداخل A_1 و A_2 و B مداخل القذح في وحيد الاستقرار. المدخل R_{INT} موصول داخلياً إلى مقاومة توقيت $2\text{ K}\Omega$.



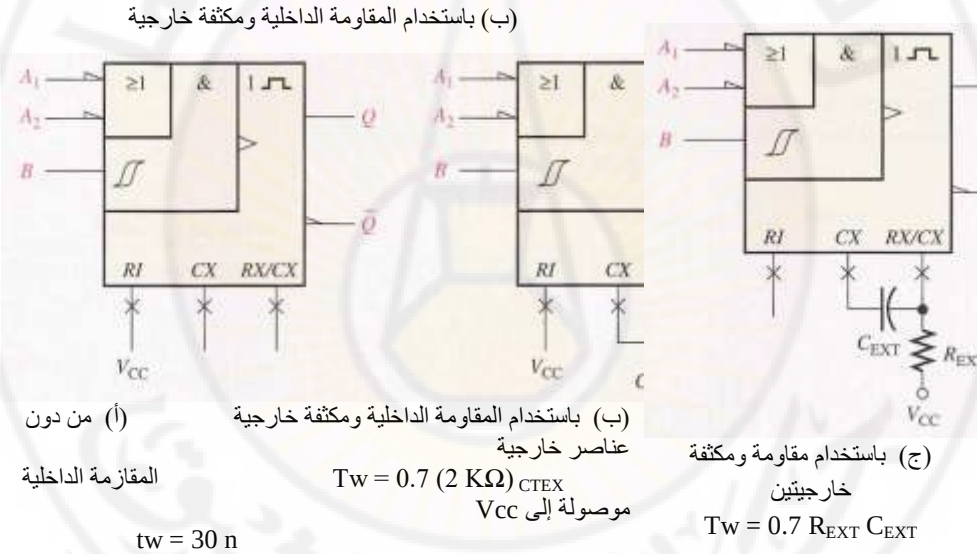
(ب) الرمز المنطقي

(أ) الرمز المنطقي التقليدي

الشكل 48.7 لوحيد الاستقرار غير القابل لإعادة القذح

تحديد عرض النبضة : Setting pulse width

تُنتج دارة وحيد الاستقرار 74121 نبضة خرج عرضها 30 ns عند عدم استخدام عناصر خارجية تحدّد عرض نبضة الخرج عند وصل المقاومة الداخلية R_{INT} إلى جهد التغذية مباشرة كما هو موضح في الشكل (49.7 أ). يمكن توليد نبضات يتراوح عرضها بين 30 ns و 28 s باستخدام عناصر خارجية، ويوضح الشكل (49.7 ب) كيفية توصيل الدارة باستخدام المقاومة الداخلية ومكثفة خارجية. على حين يوضح الشكل (49.7 ج) طريقة التوصيل عند استخدام مقاومة R_{EXT} ومكثفة C_{EXT} خارجيتين.



الشكل 49.7

يتحدد عرض نبضة خرج وحيد الاستقرار بدلالة المقاومة المستخدمة ($R_{INT} = 2 K\Omega$ أو R_{EXT}) وفقاً للعلاقة الآتية:

$$T_w = 0.7 R C_{EXT}$$

حيث R هي إحدى المقاومتين R_{INT} أو R_{EXT} ، ويقدر زمن عرض النبضة t_w بال-ns والمقاومة R بال- $K\Omega$ وال- C_{EXT} بال-pF.

رمز قاذح شميت The Schmitt-Trigger Symbol

يُشير الرمز إلى مدخل قاذح شميت. يستخدم نوع الدخل هذا دائرة عتبة خاصة تنتج خاصية الإبطاء المغناطيسي hysteresis الذي يحول دون حدوث خطأ التبديل بين الحالات عندما يتأرجح تغير جهد القذح ببطء حول المستوى الحرج للدخل، وهذا يسمح بحدوث قذح موثوق حتى لو كان معدل تغير الدخل من مرتبة 1 Volt / second.

تنفيذ التجربة:

أ- الجزء الأول: وحيد الاستقرار غير القابل لإعادة القذح

المرحلة الأولى: المحاكاة باستخدام أحد برامج المحاكاة Multisim أو Proteus.

1. نفذ المخططات المنطقية الثلاثة على صفحة العمل للبرنامج المستخدم:

- من دون عناصر خارجية.
 - باستخدام المقاومة الداخلية ومكثفة خارجية.
 - باستخدام مقاومة ومكثف خارجيتين.
2. قس كل من عرض النبضة t_w والدور T والتردد f من أجل المقاومات والمكثفات الواردة في الجدول.
3. دَوِّن نتائج القياس في الجدول.
4. تأكد من أن الدارة تحقق العمل الوظيفي المطلوب.
5. قارن نتائج القياس بالنتائج الحسابية.
6. علق على النتائج التي حصلت عليها في الحاليتين.

المرحلة الثانية: التنفيذ العملي

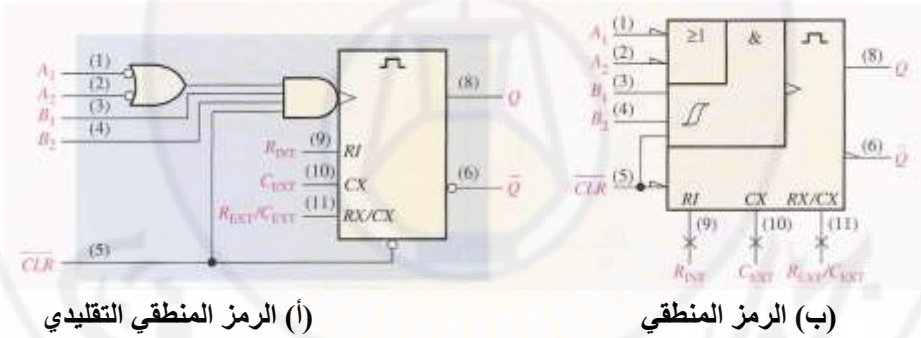
5. نفذ على لوحة الاختبار المخططات المنطقية الثلاثة التي اختبرتها في مرحلة المحاكاة

- من دون عناصر خارجية.
 - باستخدام المقاومة الداخلية ومكثفة خارجية.
 - باستخدام مقاومة ومكثف خارجيتين.
6. تأكد من سلامة التوصيلات قبل تغذية الدارة بالطاقة.

7. غذي الدارة بالطاقة وقس كلاً من عرض النبضة t_w والدور T والتردد f من أجل مختلف قيم المقاومات والمكثفات الواردة في الجدول.
8. دون نتائج القياس في الجدول.
9. قارن نتائج القياس التي حصلت عليها مع النتائج الحسابية.
10. دوّن ملاحظاتك واستنتاجاتك.
11. علل أسباب اختلاف النتائج التي حصلت عليها عملياً عن تلك المحسوبة حسابياً.

ب- وحيد الاستقرار (وحيد الطلقة) القابل لإعادة القذح Retreggerable one-shot 74LS122

يبين الشكل (50.7) دارة وحيد استقرار متكاملة يقبل إعادة القذح، وقد لُحظ فيها مغارز لوصل مقاومة R_{EXT} ومكثفة C_{EXT} خارجيتين. مداخل قذح الدارة هي: A_1 و A_2 و B_1 و B_2 .



الشكل 50.7 وحيد الاستقرار (وحيد الطلقة) القابل لإعادة القذح

القيمة الدنيا لعرض النبضة التي نحصل عليها في خرج وحيد الاستقرار في الحالة التي لا تُستخدم فيها عناصر خارجية 45 ns تقريباً. على حين يتم الحصول على نبضات أكثر عرضاً عند استخدام عناصر خارجية. العلاقة العامة لحساب قيم العناصر للحصول على نبضة عرضها t_w .

$$t_w = 0.32 R C_{EXT} \left(1 + \frac{0.7}{R}\right)$$

حيث 0.32 ثابت، R مقاومة بالـ $K\Omega$ ويمكن لهذه المقاومة أن تكون داخلية أو خارجية، C_{EXT} مكثفة خارجية بالـ pF ، وعرض النبضة t_w بالـ ns ، وقيمة

المقاومة الداخلية $10\text{ K}\Omega$ ، يمكن استخدامها بدلاً من المقاومة الخارجية (لاحظ الاختلاف بين هذه العلاقة وتلك التي للدائرة 74121).

مثال:

صمم باستخدام متعدد الاهتزاز 74121 دائرة وحيد استقرار يولد نبضة عرضها $t_w = 100\text{ ms}$ تقريباً. ارسم مخطط توصيل العناصر وقيمها.

الحل:

افترض أننا اخترنا قيمة معيارية للمقاومة الخارجية ولتكن $39\text{ K}\Omega$ ولنحسب الآن قيمة المكثفة.

$$T_w = 0.7 R_{EXT} C_{EXT}$$

$$C_{EXT} = \frac{t_w}{0.7 R_{EXT}} \quad \text{ومنه}$$

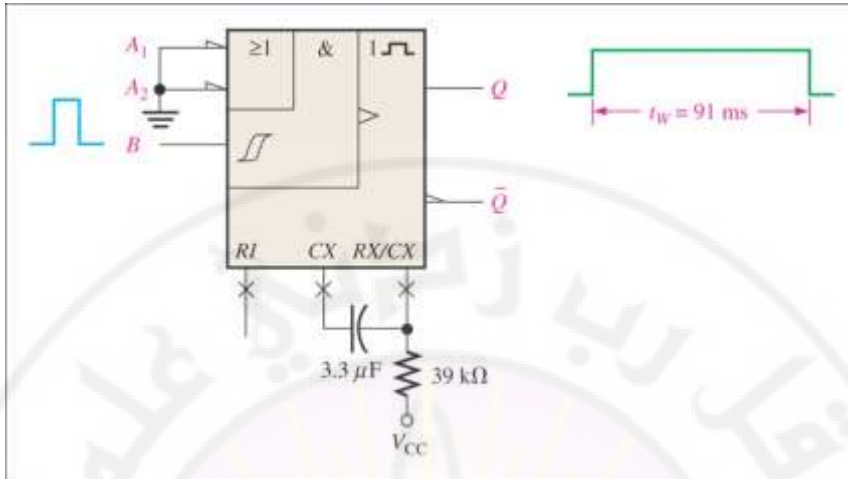
حيث تقدر C_{EXT} بالـ pF و R بالـ $\text{K}\Omega$ و t_w بالـ ns.

$$C_{EXT} = \frac{1 \times 10^8 \text{ ns}}{0.7 (39 \text{ K}\Omega)} = 3.66 \times 10^{-6} \text{ pF} = 3.66 \mu\text{F}$$

من الطبيعي أنه لا يمكن إيجاد مكثفة تساوي القيمة المحسوبة كون الشركات المصنعة للعناصر تنتج قيماً معيارية، فمثلاً إذا اخترنا القيمة المعيارية $3.3 \mu\text{F}$ نحصل على نبضة عرضها قريب من $t_w = 91\text{ ms}$.

يوضح الشكل (51.7) مخطط توصيل الدارة.

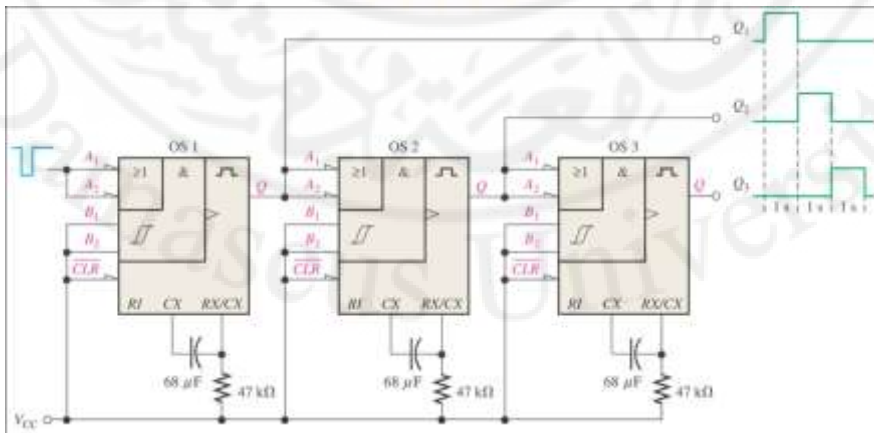
بالطبع توجد عدة تراكيب من قيم R_{EXT} و C_{EXT} يمكن استخدامها. مثلاً من أجل $C_{EXT} = 2.2 \mu\text{F}$ نحصل على نبضة عرضها 105 ms .



الشكل 51.7 مخطط توصيل الدارة

التطبيقات:

أحد التطبيقات العملية لوحيد الاستقرار هو استخدامه كموقت زمني متابعي للتحكم في سلسلة من الأضواء. يبين الشكل (52.7) ثلاثة وحيدات استقرار 74LS122 موصولة بحيث تحقق موقتاً متتابعياً. تنتج هذه الدارة تتابعاً مؤلفاً من ثلاث نبضات (ثلاثة وحدات). يُقدح وحيد الاستقرار الأول عند إغلاق المفتاح فينتج نبضة خرج عرضها 1 s. يقدح خرج وحيد الاستقرار الأول عند عودته إلى المستوى المنخفض وحيد الاستقرار الثاني فينتج في خرجة هو الآخر نبضة عرضها 1 s تقدح في نهايتها وحيد الاستقرار الثالث منتجاً في خرجة نبضة عرضها 1 s. ويبين الشكل نبضات مخارج وحيدات الاستقرار الناتجة.



الشكل (52.7)



تنفيذ التجربة:

المرحلة الأولى: المحاكاة باستخدام الدارات أحد برامج المحاكاة
Multisim أو Proteus.

1. نفذ المخطط المنطقي كما هو وارد في الشكل (52.7) على صفحة عمل البرنامج المستخدم وقم بوصل ثنائيات ضوئية على مخارج وحيدات الاستقرار الثلاث.
2. قم بمحاكاة الدارة من أجل مختلف قيم المقاومات والمكثفات الواردة في الجدول.
3. تأكد من أن الدارة تحقق العمل الوظيفي لها.
4. دوّن نتائج القياس.
5. قارن نتائج القياس بالنتائج الحسابية.
6. دوّن ملاحظاتك واستنتاجاتك.

المرحلة الثانية: التنفيذ العملي

1. نفذ المخطط المنطقي الذي اختبرته في مرحلة المحاكاة على لوحة الاختبار.
2. تأكد من سلامة التوصيلات قبل تغذية الدارة بالطاقة.
3. غذي الدارة بالطاقة وقس كلاً من عرض النبضة t_w والدور T والتردد f .
4. غيّر قيم المقاومات والمكثفات حسب ما هو وارد في الجدول ودوّن نتائج القياس في الجدول الآتي.
5. قارن نتائج القياس التي حصلت عليها بالنتائج الحسابية.
6. دوّن ملاحظاتك واستنتاجاتك.

Rx	Cx	نتائج المحاكاة			النتائج التجريبية		
		tw	T	f	tw	T	F
1 K Ω	0.1 μ F						
2.2 K Ω	0.1 μ F						
3.3 K Ω	1 μ F						
4.7 K Ω	1 μ F						
5.6 K Ω	1 μ F						
10 K Ω	10 μ F						
39 K Ω	68 μ F						

ملاحظة هامة:

يمكن إضافة مقاومة متغيرة قيمتها 50 K Ω على التسلسل إلى المقاومة Rx حيث يمكن بواسطتها التحكم بعرض النبضة tw وبالتردد f. ما قيمة التردد الأعظمية والأصغرية التي تحصل عليها تجريبياً وما قيمة المقاومة المتغيرة في كل حالة؟



التجربة 23

توليد نبضات الساعة بدارة بسيطة باستخدام بوابة NAND ومقاومة ومكثف

7. هدف التجربة:

- فهم مبدأ توليد نبضات مربعة بطريقة سهلة باستخدام عدد قليل من المكونات: بوابة NAND وحيدة مداخلها مجهزة بقوادح شमित مع مقاومة ومكثف.
- تنفيذ واختبار دارة مولد النبضات (نبضات ساعة).

العناصر الإلكترونية:

العدد	البيان	العنصر
1	دارة متكاملة ببوابتين NAND بأربعة مداخل قادح شमित	74LS
1	$R \leq 1 K\Omega$	مقاومة 1/4 watt
1	100 pF, 1 kpF, 10 kpF, 100 kpF, 1 μF , 10 μF , 100 μF , 470 μF	مكثفات
حسب الحاجة		أسلاك توصيل
1	وحدة تغذية مستمرة 5 V	Power supply

8. تمهيد نظري:

يوضح الشكل (1) المخطط المنطقي لدارة مولد نبضات (مهتز) استخدمنا في تحقيقه بوابة NAND وحيدة مداخلها مجهزة بقوادح شमित، مع مقاومة ومكثف كعناصر توقيت.

بالرجوع إلى مخطط الدارة نجد حلقة تغذية خلفية تصل الخرج L بمدخل بوابة الـ NAND عن طريق المقاومة R، وبهذه الطريقة تعمل التغيرات المنطقية التي تحصل على خرج بوابة الـ NAND على شحن وتفريغ المكثف C عبر المقاومة R وبشكل مستمر.

تقع تغيرات الجهد التي تحصل على طرفي المكثف C نتيجة عمليات الشحن والتفريغ المستمر ما بين جهد العتبة العلوي V_t^+ وجهد العتبة السفلي V_t^- . تسبب عمليات الشحن والتفريغ المستمرة المتتالية للمكثف C التغيرات المنطقية التي يمكن ملاحظتها على خرج بوابة الـ $NAND$.

يمكن حساب تردد إشارة الخرج (تردد الاهتزاز) بدقة جيدة من العلاقة:

$$f \approx \frac{1}{2RC \log(V_t^+ / V_t^-)}$$

$$f \approx 0.7 / RC$$

ومن الجدير بالذكر أنَّ التباين بين القيم الفعلية والاسمية للمقاومات والمكثفات تؤثر بشكل ملموس على قيمة التردد.

تنفيذ التجربة:



المرحلة الأولى: المحاكاة باستخدام الدارات أحد برامج المحاكاة Multisim أو Proteus.

1. نفذ المخطط المنطقي المبين في الشكل (3) على صفحة عمل البرنامج.
2. قم بمحاكاة الدارة من أجل مختلف قيم المقاومات والمكثفات الواردة في الجدول.
3. تأكد من أن الدارة تحقق العمل الوظيفي لها.
4. دوّن نتائج القياس.
5. قارن نتائج القياس بالنتائج الحسابية.
6. دوّن ملاحظاتك واستنتاجاتك.

المرحلة الثانية: التنفيذ العملي

1. نفذ على لوحة الاختبار المخطط المنطقي الذي اختبرته في مرحلة المحاكاة.
2. تأكد من سلامة التوصيلات قبل تغذية الدارة بالطاقة.
3. غذي الدارة بالطاقة وقس كلاً من عرض النبضة t_w والدور T والتردد f .
4. تأكد من أن الاهتزاز لا يحصل إلا إذا كان المفتاح $B0 = 1$.

5. تأكد من أن تردد إضاءة وإطفاء الثنائي الضوئي L بحدود $f = 1.5 \text{ Hz}$ عند استخدام مقاومة R قيمتها

$$R = 680 \Omega \text{ ومكثف } C \text{ قيمته } C = 470 \mu F$$

6. باستخدام راسم الإشارة أوجد الترددات من أجل $R = 680 \Omega$ في كل قيم المكثفات المذكورة في الجدول (1).

7. ارسم بدقة شكل الموجة التي تشاهدها على طرفي المكثف C وعلى خرج بوابة الـ $NAND$. من أجل القيم $R = 680 \Omega$ و $C = 1 \mu F$.

8. قارن نتائج القياس التي حصلت عليها بالقياس مع النتائج الحسابية.

9. دوّن ملاحظاتك واستنتاجاتك.

1. نفذ على لوحة الاختبار دائرة المخطط المنطقي المبينة في الشكل (3)

2. تأكد من أن الاهتزاز لا يحصل إلا إذا كان المفتاح $B0 = 1$.

3. تأكد من أن تردد إضاءة وإطفاء الثنائي الضوئي L بحدود $f = 1.5 \text{ Hz}$ عند استخدام مقاومة R قيمتها:

$$R = 680 \Omega \text{ ومكثف } C \text{ قيمته } C = 470 \mu F$$

4. باستخدام راسم الإشارة أوجد الترددات من أجل $R = 680 \Omega$ في كل قيم المكثفات المذكورة في الجدول (1).

5. ارسم بدقة شكل الموجة التي تشاهدها على طرفي المكثف C وعلى خرج بوابة الـ $NAND$. من أجل القيم

$$R = 680 \Omega \text{ و } C = 1 \mu F$$

ملاحظة: لكي تعمل الدارة بشكل صحيح يجب ألا تزيد قيمة المقاومة R على $1 \text{ K}\Omega$.

$$R \leq 1 \text{ K}\Omega$$

يمكن التحكم بتردد الساعة باستبدال المقاومة R بمقاومة متغيرة قيمتها 500Ω على التسلسل مع مقاومة ثابتة قيمتها 500Ω .

الجدول -1 جدول الترددات المقاسة من أجل قيم مختلفة للمكثف C

C	470 μF	100 μF	10 μF	1 μF	100 kpF	10 kpF	1kpF	100 pF
f								

1. قارن النتائج المقاسة بالنتائج التي حصلت عليها بالمحاكاة وتلك المحسوبة حسابياً وعلل أسباب الفروقات بينها.
2. دوّن ملاحظاتك واستنتاجاتك.

التجربة رقم 24

استخدام دائرة المؤقت 555 في توليد النبضات

هدف التجربة:

1. فهم مبدأ عمل المؤقت 555 واستخدامه لتوليد النبضات.
- كوحيد استقرار monostable، وكعديم استقرار Astable،
2. تنفيذ واختبار كل من وحيد وعديم الاستقرار في توليد النبضات.

العناصر الإلكترونية:

العدد	البيان	العنصر
1	دائرة مؤقت متكاملة	555
1		Diode
1	1K Ω , 2.2 K Ω , 3,3 K Ω , 4,7 K Ω , 5 K Ω , 10 K Ω	مقاومات 1/4 watt
1	100 pF, 1 kpF, 10 kpF, 0.01 μ F, 1 μ F, 10 μ F, 100 μ F, 470 μ F	مكثفات
حسب الحاجة		أسلاك توصيل
1	وحدة تغذية مستمرة 5 V	Power supply

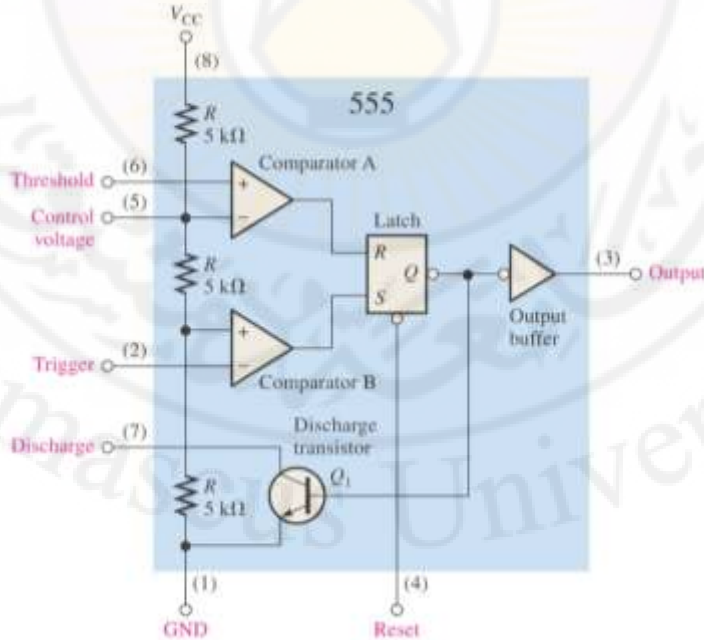
تمهيد نظري:

يمكن توصيل دائرة المؤقت 555 المتكاملة متعددة الاستعمالات للعمل وفق واحد من نمطين مختلفين: كوحيد استقرار Monostable أو عديم استقرار Astable، ففي نمط عديم الاستقرار لا توجد حالات مستقرة أي تتغير حالة الخرج على التناوب (يهتز) بين حالتين غير مستقرتين ولا يحتاج إلى نبضة قرح خارجية.

العمليات الأساسية:

يبين الشكل (53.7) مخططاً توضيحياً للمكونات الداخلية للمؤقت 555. يكون خرج المقارن في المستوى العالي عندما يكون جهد المدخل غير العاكس (+) أكبر من جهد المدخل العاكس (-) وفي المستوى المنخفض عندما يكون جهد المدخل

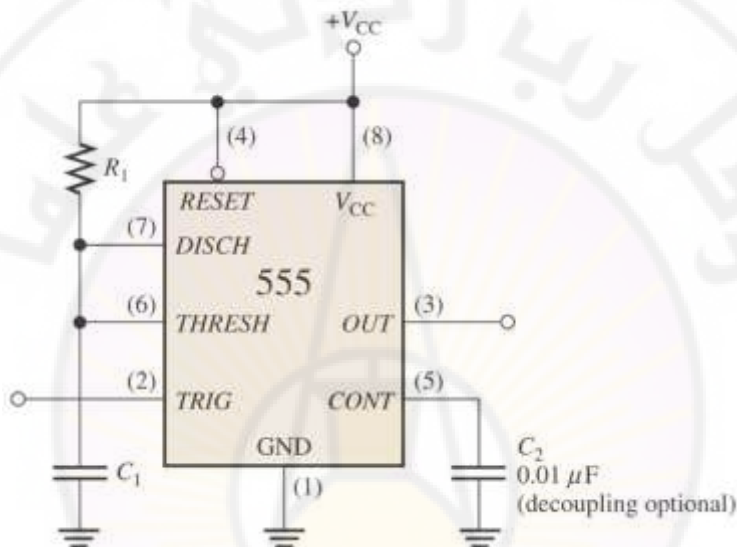
العاكس (-) أعلى من جهد المدخل (+). ويتألف مجزئ الجهد من ثلاث مقاومات متساوية، قيمة كل منها $5\text{ K}\Omega$ توفر مستوى قدح $1/3\text{ V}_{CC}$ ومستوى عتبة $2/3\text{ V}_{CC}$. يمكن ضبط كل من مستوى القدح ومستوى العتبة خارجياً عند قيم أخرى عند الحاجة عن طريق مدخل جهد التحكم (الرجل 5). عندما ينتقل لحظياً دخل القدح العالي عادة إلى أقل من $1/3\text{ V}_{CC}$ ، يبدل خرج المقارن B من المستوى المنخفض إلى المستوى العالي ناقلاً خرج الماسك S-R (الرجل 3) إلى المستوى العالي ($Q = 1$)، الذي يؤدي بدوره إلى نقل ترانزستور التفريغ Q_1 إلى حالة القطع. ويبقى الخرج عند مستواه العالي إلى أن ينتقل مدخل العتبة المنخفض عادة إلى قيمة تزيد على $2/3\text{ V}_{CC}$ مسبباً في ذلك انتقال خرج المقارن A من المستوى المنخفض إلى المستوى العالي، وهذا يُرجع الماسك مسبباً عودة الخرج إلى المستوى المنخفض وينقل ترانزستور التفريغ إلى حالة التوصيل. ويمكن استخدام مدخل الإرجاع الخارجي لإرجاع الماسك بصورة مستقلة عن دارة العتبة. ويتم التحكم بكل من مدخل القدح ومدخل العتبة (المغرز 2 والمغرز 6) بواسطة مكونات خارجية موصلة بطريقة تحقق معها دارة وحيد استقرار أو دارة عديم استقرار.



الشكل (53.7) وحيد الاستقرار Monostable (وحيد الطلقة one-shot)

توضح طريقة توصيل المقاومة والمكثفة الخارجيتين المبينة في الشكل (54.7) دائرة وحيد استقرار غير قابل لإعادة القدح باستخدام مؤقت 555. يحدّد الثابت الزمني R_1 و C_1 عرض نبضة الخرج وفقاً للعلاقة الآتية:

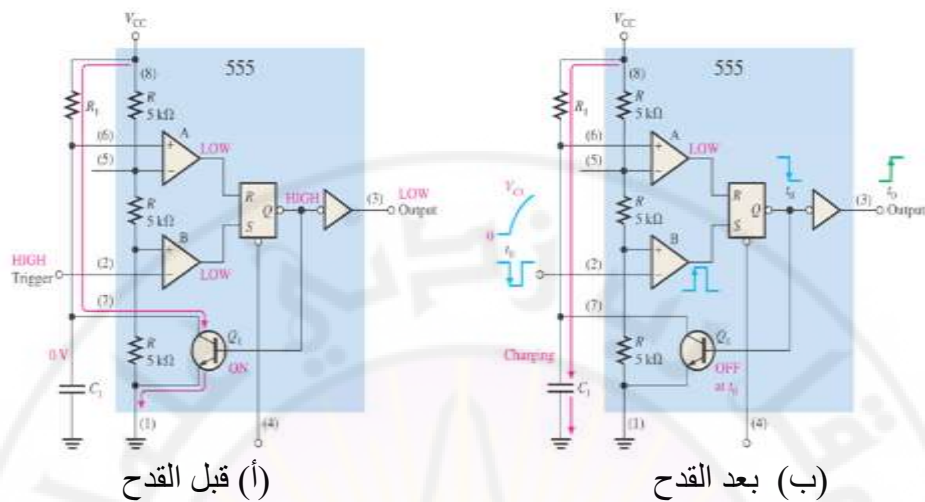
$$t_w = 1.1 R_1 C_1$$



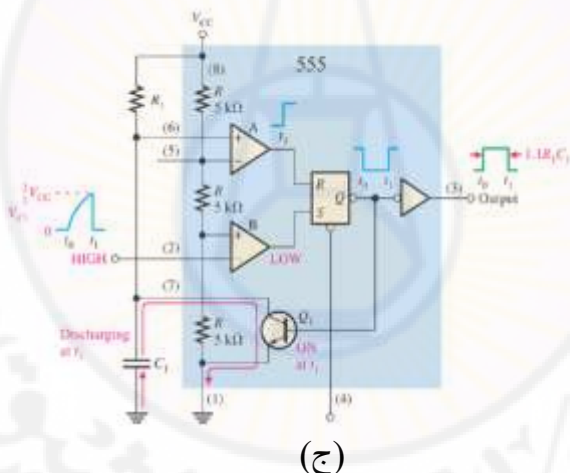
الشكل (54.7) مؤقت موصل كوحيد استقرار وحيد الطاقة

مدخل جهد التحكم لم يستخدم ووصل إلى مكثفة الفصل C_2 لمنع الضجيج من التأثير على مستويات القدح والعتبة.

قبل تطبيق نبضة القدح يكون الخرج في المستوى المنخفض ويكون ترانزستور تفريغ الشحن Q_1 في حالة التوصيل ON، ويحافظ بذلك على المكثف C_1 مفرغاً كما هو موضح في الشكل (55.7 أ). وعند تطبيق الحافة الهابطة لنبضة القدح في اللحظة t_0 ، ينتقل الخرج إلى المستوى العالي وينتقل ترانزستور تفريغ الشحن إلى حالة القطع، سامحاً بذلك للمكثف C_1 بدء عملية الشحن عبر المقاومة R_1 كما هو موضح في الجزء (ب). وعندما يُشحن المكثف إلى القيمة $1/3 V_{CC}$ يعود الخرج في اللحظة t_1 إلى المستوى المنخفض وينتقل الترانزستور Q_1 مباشرة إلى حالة التوصيل مفرغاً شحنة المكثف C_1 كما هو موضح في الجزء (ج).



الشكل (55.7)



الشكل (55.7) في نهاية مجال الشحن

مثال:

ما عرض نبضة خرج دائرة وحيد الاستقرار من أجل $R_1 = 2.2 \text{ K}\Omega$ و $C_1 = 0.01 \mu\text{F}$ ؟

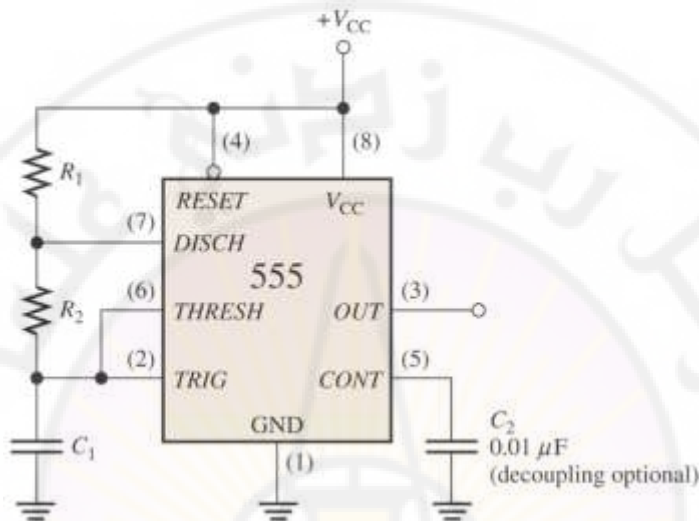
الحل:

$$t_w = 1.1 R_1 C_1 = 1.1 (2.2) (0.01 \mu\text{F}) = 24.2 \mu\text{F}$$

عديم الاستقرار Astable

يوضح الشكل (56.7) مؤقتاً زمنياً 555 موصلاً ليعمل كمحدد اهتزاز عديم الاستقرار (مهتز غير جيبي). لاحظ وصل مدخل العتبة (THRESH) إلى مدخل

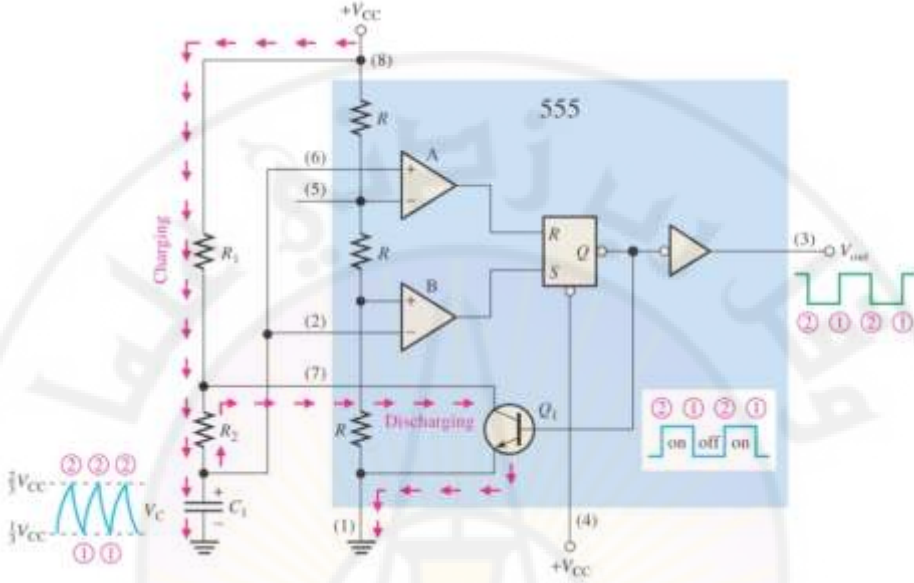
القدح (TRIGG). تشكل العناصر الخارجية R_1 و R_2 و C_1 شبكة التوقيت وهي التي تحدد تردد الاهتزاز. تعمل المكثفة C_2 ($0.01 \mu F$) الموصولة إلى مدخل التحكم (CONT) كمكثفة فصل وليس لها تأثير على العمل، ويمكن أحياناً إهمالها.



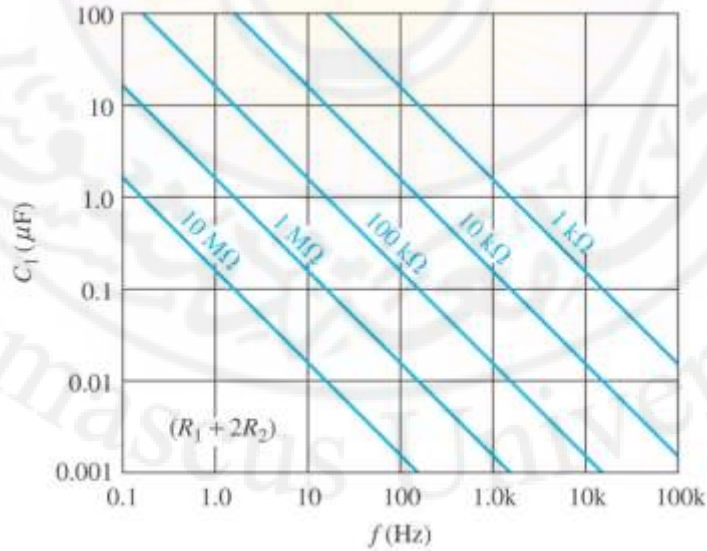
الشكل (56.7) المؤقت موصل كمهتز عديم الاستقرار Astable

في البدء عند وصل التغذية يكون المكثف C_1 غير مشحون، وهكذا يكون جهد القدح (الرجل 2) $0 V$ ، وهذا يؤدي لأن يكون خرج المقارن B في المستوى العالي، وخرج المقارن A في المستوى المنخفض، وبذلك يكون خرج الماسك عند المستوى المنخفض، والترانزستور Q_1 بحالة القطع. الآن تبدأ المكثفة C_1 الشحن عبر R_1 و R_2 كما هو موضح في الشكل (57.7). وعندما يصل مستوى الشحن القيمة $1/3 V_{CC}$ يبدل المقارن B حالة خرجة إلى المستوى المنخفض، وعندما يبلغ جهد المكثف القيمة $2/3 V_{CC}$ يبدل المقارن A حالة خرجة إلى المستوى العالي، وهذا يُرجع الماسك مسبباً انتقال قاعدة Q_1 إلى المستوى العالي ليصبح الترانزستور موصلاً. ويخلق بذلك ممراً لتفريغ المكثف عبر R_2 والترانزستور كما هو موضح، ويبدأ المكثف تفريغ شحنته مسبباً انتقال خرج المقارن A إلى المستوى المنخفض، وعند هذه المرحلة وفي الوقت الذي يفرغ المكثف فيه شحنته إلى $1/3 V_{CC}$ يبدل المقارن B حالة خرجة إلى المستوى العالي، وهذا ينقل الماسك إلى حالة الوضع ويجعل جهد قاعدة Q_1 منخفضاً وبذلك ينتقل الترانزستور إلى حالة القطع، وتبدأ دورة شحن جديدة وتكرر العملية كاملةً، وهكذا نحصل في الخرج على موجة مستطيلة تعتمد دورة العمل فيها على قيمة R_1 و R_2 ، ويعطى تردد الاهتزاز بالعلاقة الآتية:

$$f = \frac{1.44}{(R_1 + R_2)C_1}$$



الشكل (57.7) عمل المؤقت 555 في نمط عديم الاستقرار
أو يمكن إيجاده من المخطط في الشكل (58.7).



الشكل (58.7) تردد الاهتزاز كتابع لـ C_1 و $R_1 + 2R_2$. الخطوط المائلة هي قيم $R_1 + 2R_2$

يمكن ضبط دورة العمل باختيار R_1 و R_2 ، وبما أن شحن المكثف C_1 يتم عبر R_1 و $R_2 +$ ويفرغ عبر R_2 فقط، فإنه يمكن لدورات العمل الاقتراب إلى 50% إذا كانت $R_2 \gg R_1$ وهكذا يتساوى تقريباً زمن الشحن من زمن التفريغ. يمكن إيجاد علاقة دورة العمل كالآتي: يرتبط الزمن الذي يكون فيه الخرج عالياً (t_H) بالفترة التي يحتاجها المكثف C_1 ليشحن من $1/3 V_{CC}$ إلى $2/3 V_{CC}$ ، والذي يُعبر عنه بـ:

$$t_H = 0.7(R_1 + R_2)C_1$$

ويرتبط الزمن الذي يكون فيه الخرج منخفضاً بالفترة الزمنية التي يحتاجها المكثف C_1 ليفرغ شحنته من $2/3 V_{CC}$ إلى $1/3 V_{CC}$ ويُعبر عن ذلك بـ:

$$T_L = 0.7R_2C_1$$

الدور T لموجة الخرج هو ناتج جمع t_H مع T_L وبذلك نحصل على:

$$T = t_H + t_L = 0.7(R_1 + 2R_2)C_1$$

ومنه دورة العمل:

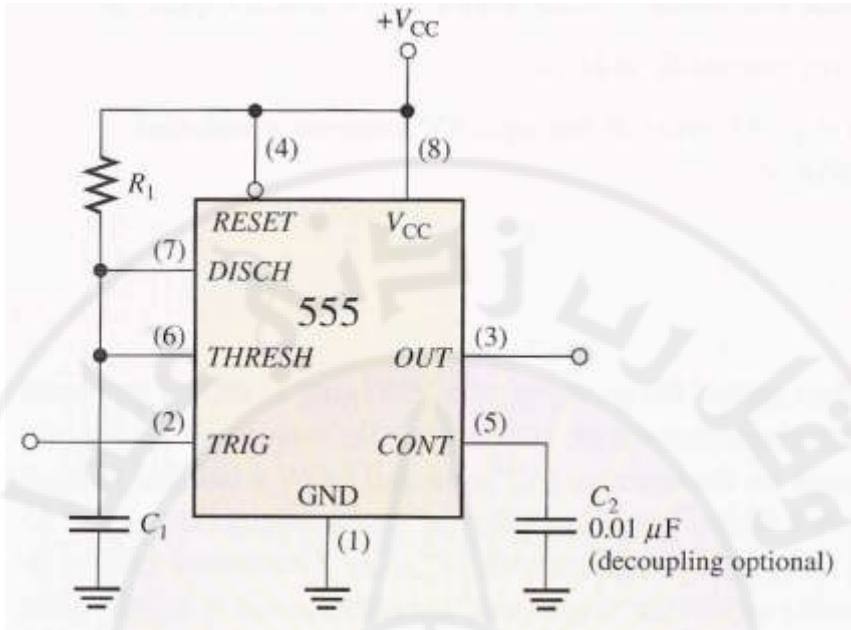
$$Duty Cycle = \frac{t_H}{T} = \frac{t_H}{t_H + t_L}$$

وللوصول إلى دورة عمل أقل من 50% يمكن تعديل دائرة الشكل (56.7) حيث يُشحن المكثف C_1 عبر R_1 ويفرغ عبر R_2 . يمكن بلوغ هذا الهدف بوضع ثنائي D_1 كما هو موضح في الشكل (59.7). يمكن جعل دورة العمل أقل من 50% بجعل R_1 أصغر بكثير من R_2 ، وعند هذا الشرط يعبّر عن دورة العمل بـ:

$$Duty Cycle = \left(\frac{R_1}{R_1 + R_2} \right) 100\%$$

مثال 14.7

ما هو عرض نبضة خرج المؤقت 555 المبين في الشكل 54.7 مع $R_1 = 2.2 \text{ k}\Omega$ و $C_1 = 0.01 \mu\text{F}$ ؟



الشكل 54.7

الحل:

من العلاقة 3.7 يكون عرض النبضة:

$$T_w = 1.1 R_1 C_1$$

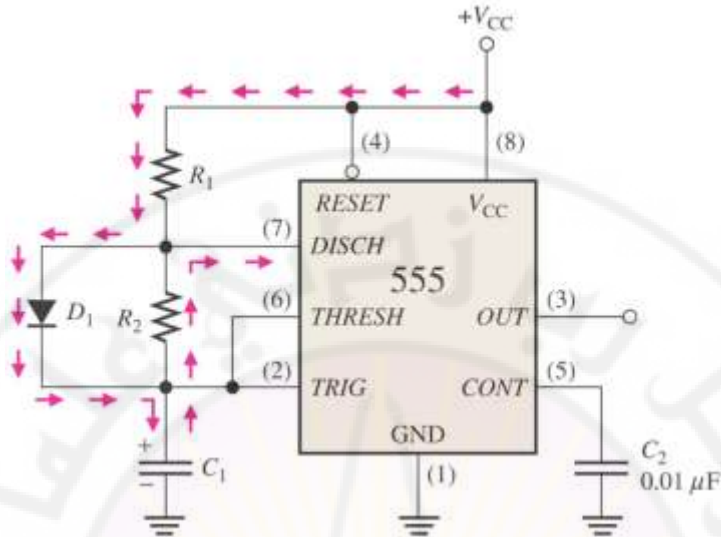
$$T_w = 1.1 (2.2 \text{ k}\Omega \times 0.01 \text{ }\mu\text{F}) = 24.2 \text{ }\mu\text{S}$$

افترض أن $C_1 = 0.01 \text{ }\mu\text{F}$ وأننا نرغب أن يكون عرض النبضة $t_w = 1 \text{ mS}$

احسب قيمة R_1 .

$$1 \times 10^{-3} = 1.1 (R_1 \times 0.01 \times 10^{-6})$$

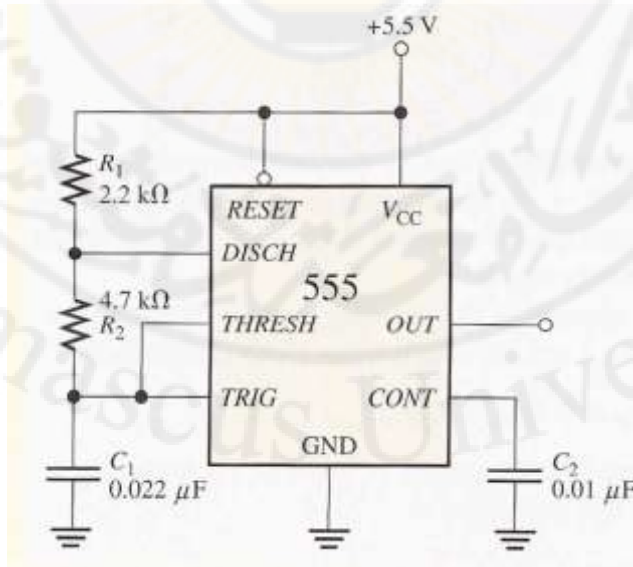
$$R_1 = 10^{-3} / 1.1 \times 0.01 \times 10^{-6} = 10^{-3} / 1.1 \times 10^{-8} = 10^5 / 1.1 = 90.9 \text{ k}\Omega$$



الشكل (59.7) تسمح إضافة الثنائي D1 بضبط دورة التشغيل لأن تكون أقل من 50% بجعل $R_1 < R_2$

مثال 15.7

يوضح الشكل 60.7 مخطط توصيل المؤقت 555 ليعمل كعديم استقرار. احسب تردد الخرج ودورة التشغيل.



الشكل 60.7

1. اشرح الفرق في بنية وحيد الاستقرار وعديم الاستقرار
2. إذا كان $t_H = 15 \text{ mS}$ و $T = 20 \text{ mS}$. ما دورة تشغيل الخرج ؟
3. عيّن دورة التشغيل في الشكل 60.7 إذا وصل ثنائي على طرفي المقاومة R_2 كما هو موضح في الشكل 59.7.

الحلّ

باستخدام المعادلتين:

$$f = \frac{1}{T} = \frac{1}{T_1 + T_2} = \frac{1.4}{C_1(R_1 + 2R_2)}$$

$$D = \frac{R_1 + R_2}{R_1 + 2R_2} \times 100\%$$

$$f = \frac{1.44}{(2.2 \text{ k}\Omega + 9.4 \text{ k}\Omega)0.022 \mu\text{F}} = 5.64 \text{ KHz}$$

$$\text{Duty Cycle} = \left(\frac{2.2 \text{ k}\Omega + 4.7 \text{ k}\Omega}{2.2 \text{ k}\Omega + 9.4 \text{ k}\Omega} \right) \times 100\% = 59.5\%$$

1. تنفيذ التجربة:

المرحلة الأولى: المحاكاة باستخدام أحد برامج المحاكاة Multisim أو Proteus.

1. نفذ المخطط المنطقي على صفحة العمل للبرنامج المستخدم لكل من دارتي وحيد الاستقرار وعديم الاستقرار.
2. أجر المحاكاة من أجل قيم مختلفة لكل من R_1 و R_2 و C_1 حسب ما هو محدد في الجدول.
3. تأكد من أن كلاً من الدارتين تحقق العمل الوظيفي لكل منهما.
4. دوّن نتائج القياس لكل دائرة من الدارتين وقارنها بالقيم المحسوبة حسابياً في الجدول التالي.

5. إذا كانت قيمة المقاومة $R2 = 20 \text{ K}\Omega$ عند التردد 100 KHz ودورة التشغيل 60 % . أوجد قيمة $R1$.

R1	R2	C1	T_H	T_L	T_w	f	Duty Cycle
3.3 $\text{K}\Omega$	4.7 $\text{K}\Omega$	0.1 μF					
5 $\text{K}\Omega$	10 $\text{K}\Omega$	10 μF					
2.2 $\text{K}\Omega$	10 $\text{K}\Omega$	10 μF					

نتائج المحاكاة

المرحلة الثانية: التنفيذ العملي

1. نفذ دائرة عديم الاستقرار على لوحة الاختبار المخطط المنطقي الذي اختبرته في مرحلة المحاكاة لدائرة عديم الاستقرار.
2. تأكد من سلامة التوصيلات قبل تغذية الدارة بالقدرة.
3. ضيّن تقريرك رسم المخطط المنطقي المستخدم بعملية المحاكاة.
4. غير قيم المقاومات $R1$ و $R2$ والمكثف $C1$ حسب القيم المحددة في الجدول ودون نتائج مشاهداتك التجريبية المقاسة لكل من T_L ، T_H ، T ، التردد f ودورة التشغيل Duty Cycle وقارنها بالقيم المحسوبة حسابياً.

النتائج التجريبية:

R1	R2	C1	T_H	T_L	T_w	F	Duty Cycle
3.3 $\text{K}\Omega$	4.7 $\text{K}\Omega$	0.1 μF					
5 $\text{K}\Omega$	10 $\text{K}\Omega$	10 μF					
2.2 $\text{K}\Omega$	10 $\text{K}\Omega$	10 μF					

1. قارن بين النتائج التي حصلت عليها بطريقة المحاكاة والنتائج التجريبية والنتائج الحسابية.
2. كيف تفسر الاختلافات بينها ؟
3. ما تأثير إضافة الثنائي D1 على طرفي المقاومة R2 كما في الشكل 59.7 ؟



المراجع references

1. Moris Manno Digital Design
2. Thomas l. Floyd DIGITAL FUNDAMENTALS Ninth Edition
3. Lab Volt
4. Feed Back



اللجنة العلمية :

د. نديم شاهين

د. طلال حمود

د. نضال زيدان

المدقق اللغوي :

د. منى الحمد

حقوق الطبع والترجمة والنشر محفوظة لمديرية الكتب والمطبوعات